

刘丹,冯毅,党向磊,佟冬,程旭,王克义.降低系统芯片中跨时钟域设计和验证复杂度的方法[J].通信学报,2012,(11):151~158

降低系统芯片中跨时钟域设计和验证复杂度的方法

DOI:

中文关键词:

英文关键词:

基金项目:

作者

单位

[刘丹](#)

[冯毅](#)

[党向磊](#)

[佟冬](#)

[程旭](#)

[王克义](#)

摘要点击次数: **386**

全文下载次数: **252**

中文摘要:

在系统芯片设计中,直接采用现有的跨时钟域信号处理方法不仅设计复杂度高而且验证难度大。为了解决这个问题,将跨时钟域设计与功能设计完全分离,在每个通信接口部件中采用独立的、专用的跨时钟域处理模块统一解决跨时钟域信号的传输问题,并通过封装点对点通信接口和合并处理同一方向的跨时钟域信号,将需要处理的跨时钟域信号的数量减少为方向相反的2组。实验结果表明,该方法能够有效降低跨时钟域设计的验证难度和系统芯片的设计复杂度,并且不会明显增加功能部件的传输延迟和面积开销。

英文摘要:

[查看全文](#) [查看/发表评论](#) [下载PDF阅读器](#)

关闭

版权所有:《通信学报》

地址:北京市丰台区成寿寺路11号邮电出版大厦8层 电话:010-81055478, 81055479
81055480, 81055482 电子邮件: xuebao@ptpress.com.cn

技术支持:北京勤云科技发展有限公司