

文章编号:1001-5132 (2008) 02-0195-06

低功耗互补传输门绝热逻辑和时序电路的设计

邬杨波, 李宏, 胡建平

(宁波大学 信息科学与工程学院, 浙江 宁波 315211)

摘要: 研究了采用二相非交叠功率时钟的绝热触发器及时序电路的设计, 介绍了采用二相无交叠功率时钟的互补传输门绝热逻辑(CPAL)电路, 并分析了其工作原理. 该电路利用 nMOS 管自举原理对负载进行全绝热驱动, 从而减小了电路整体功耗, 且 CPAL 能耗几乎与工作频率无关. 提出了性能良好的低功耗绝热 D、T 和 JK 触发器, 并与其他几种绝热触发器进行功耗比较, 给出了绝热时序电路的一般设计方法, 并作为实例采用应用绝热 D 触发器设计了十进制计数器. SPICE 程序模拟表明: 设计的电路具有正确的逻辑功能及低功耗的优点.

关键词: 低功耗技术; 能量恢复; 绝热触发器; 时序逻辑; CPL 电路

中图分类号: TP331.2

文献标识码: A

随着 CMOS 电路集成密度与速度的不断提高, 功耗已成为集成电路设计中除速度、面积之外需要考虑的第三维度. 近年来, 研究人员在电路中引入物理学中的绝热原理, 从而产生了采用交变电压供电的低功耗绝热电路^[1-6]. 此类电路在对输出节点电容充放电时, 总是使 MOS 开关器件两端保持较低的电压, 因此在 MOS 器件沟道电阻上产生的能耗是极小的一部分, 而节点电容上的大部分能量将被恢复至电源, 以便在下一周期重新使用, 实现能量恢复, 从而使电路表现出明显的低功耗特点.

由于绝热电路的输出只在特定的时钟相位上才有效, 电路在级联时往往需要采用多相功率时钟. 而多相功率时钟的要求不仅会增加时钟网络的功耗及设计难度, 而且也不利于实现复杂的逻辑功能. 现有的绝热电路多使用四相功率时钟, 如 ECRL、2N-2N2P 和 PAL-2N 电路^[3-6], 尽管 PAL 电路可以

使用二相功率时钟, 却存在输出悬空的缺点, 只能应用于速度较低场合^[5]. 虽然这些电路的功耗比传统的 CMOS 电路低, 但在输出负载电容上存在着与输出节点电容成正比的非绝热能耗.

文献[7]提出了一种新的互补传输门绝热逻辑 (Complementary Pass-transistor Adiabatic Logic, CPAL). 而在文献[8]中, 则使用三相功率时钟, 将 CPAL 电路应用于加法器的设计. 本文则提出了一种使用二相无交叠功率时钟的 CPAL 绝热逻辑作为构成触发器的基本单元, 该电路使用 2 个传输门用于逻辑赋值和能量恢复, 将输出节点的能量恢复, 因此, 在输出负载上是全绝热的, 不存在非绝热能耗, 故与其他同类电路相比, 其具有更低的能耗. 此外, 所提出的二相 CPAL 电路没有 ECRL 以及 PAL 等电路输出悬空的缺点, 并且具有非常简单而规则的电路形式, 有利于简化版图设计.

1 采用二相无交叠功率时钟 CPAL 绝热逻辑^[7]

CPAL 反相器的基本结构如图 1 所示. 电路由组合逻辑电路和负载驱动电路 2 部分构成. 组合逻辑电路由 4 个 nMOS 管(N1~N4)构成的互补传输逻辑实现. 负载驱动电路由一对传输门(N5,P1和N6,P2)组成. 为避免输出端悬空, 引入一对由输出交叉控制的 nMOS 管(N7,N8)实现低电平的箝位. 图 1 的电路在级联时要求前后级采用二相无交叠功率时钟驱动, 后级电路的功率时钟必须滞后于前级电路的功率时钟 180°, 如图 2 所示. 二相功率时钟可以是正弦波, 但为了便于分析, 本文采用梯形波分析电路的工作原理.

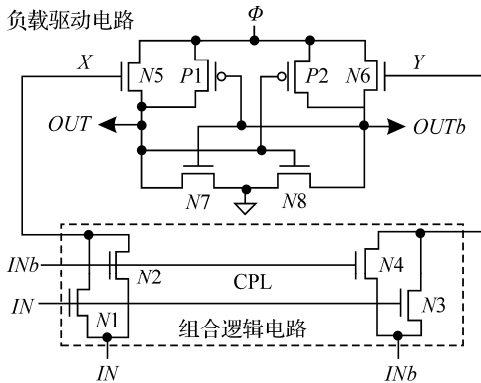


图 1 CPAL 反相器电路结构

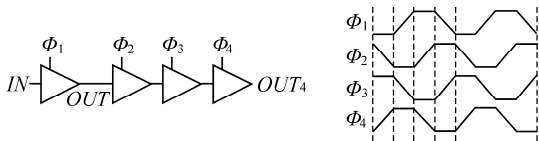


图 2 CPAL 反相器链和二相功率时钟

采用峰值为 2.5 V 的 100 MHz 功率时钟, 输入信号 IN 为“101...” , INb 为“010...” 时, 采用 TSMC 0.25 μm CMOS 工艺参数的 CPAL 反相器的 SPICE 模拟波形如图 2 所示. CPAL 反相器中使用晶体管的尺寸为: N5 与 N6 宽长比取 1.08/0.24, 其他 nMOS 管宽长比取 0.36/0.24, pMOS 管宽长比取 1.08/0.24.

下面以 CPAL 反相器为例, 并结合图 3 的波形分析 CPAL 电路的工作原理.

在 t_1 期间: 输入 IN 为低电平, INb 为低电平,

则 nMOS 管 N1~N4 均截止, 输出保持低电平.

在 t_2 期间: 当输入 IN 由低电平变为高电平, INb 为低电平, 则 N1 与 N3 导通, N2 与 N4 截止. IN 通过 N1 对结点 X 充电至 $V_{DD}-V_{TN}$, 此时的 V_{TN} 为 nMOS 的阈值电压. 同时, 结点 Y 通过 N3 放电至低电平(0 V).

在 t_3 期间: 输入 IN 由高电平变为低电平, INb 为低电平, 则 N1~N4 均截止. 结点 X 仍保持在 $V_{DD}-V_{TN}$.

在 t_4 期间: 功率时钟 ϕ 从 0 V 上升至 V_{DD} , 由于 N5 导通, 输出 OUT 跟随 ϕ 上升. 当输出结点 OUT 电压大于 V_{TN} 时, N8 导通使 OUTb 箝位至地. 同时, 当 ϕ 上升到 V_{TP} 时, P1 导通, 这样输出结点 OUT 通过传输门(N5, P1)充电至 V_{DD} . 同时在 t_4 期间 N5 栅电容和结点 X 的电容将起到自举电容的作用, 使结点 X 的响应为 1 个与功率时钟 ϕ 同相的脉冲信号.

在 t_5 期间: 随着 ϕ 从 V_{DD} 下降至 0 V, 存储在输出结点 OUT 的电荷通过导通的传输门(N5, P1)回收至电源 ϕ , 实现能量恢复.

从图 3 波形可以看出, CPAL 电路在输出节点上没有产生失真, 对负载的驱动是完全绝热的, 非绝热操作仅发生在内部节点(X, Y).

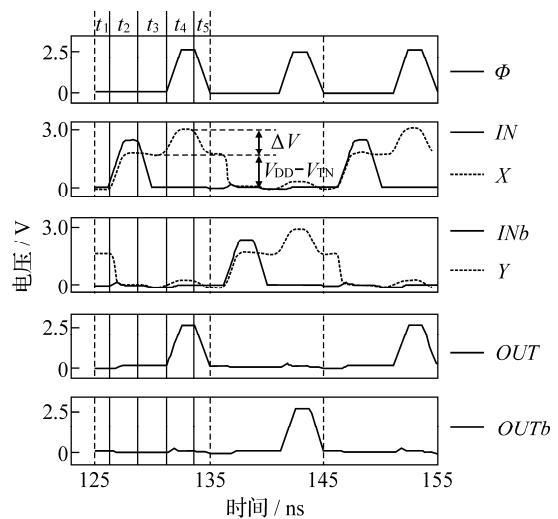


图 3 CPAL 反相器的 SPICE 模拟波形

在 t_4 期间, 当 ϕ 从 0 V 上升至 V_{DD} 时, 结点 X

(或 Y) 的自举电压增量由下式决定:

$$\Delta V = \frac{C_G}{C_{DB1} + C_{DB2} + C_G} V_{DD}, \quad (1)$$

其中, C_{DB1} 和 C_{DB2} 分别为 $N1$ 和 $N2(N3$ 和 $N4)$ 的漏极等效电容; C_G 为 $N5$ (或 $N6$) 的栅电容, $C_G = W_5 \cdot L_5 C_{OX}$, W_5 与 L_5 分别为 $N5$ (或 $N6$) 的沟道宽度和长度, C_{OX} 为每平方单位栅电容.

2 绝热触发器设计与能耗分析

在绝热电路中, 采用不同的逻辑结构使输出信号与输入信号之间具有不同的相位. 例如, ECRL 电路的输出信号相位滞后输入信号相位 $T/4$ (T 为功率时钟周期), 而 PAL 电路的输出与输入信号的相位差为 $T/2$. 绝热电路的这种移相特性及钟控信号的表现形式使绝热触发器的设计应采用与传统 CMOS 触发器不同的形式.

2.1 绝热 D 触发器设计

如果把具有移相功能的绝热电路级联起来, 则可构成绝热 D 型触发器. 绝热 D 触发器可由二级 CPAL 反相器经级联构成, 如图 4 所示. 采用 TSMC 的 $0.25 \mu\text{m}$ CMOS 工艺参数, 对绝热 D 触发器进行 SPICE 模拟, 结果如图 5 所示. 采用峰值为 2.5 V 的 100 MHz 二相功率时钟, 输入信号为“1010...”. 由模拟的波形图可看出每一级反相器的输出信号的相位依次相差 180° . 而输出信号 Q 与输入信号 D 正好相差 1 个时钟周期, 这正是传统 D 触发器的功能.

2.2 绝热 T 和 JK 触发器设计

在介绍 T 和 JK 触发器之前, 先说明基本 CPAL 绝热门电路的设计. 由第 1 节可知, CPAL 电路由组合逻辑电路和负载驱动电路 2 部分构成, 电路的逻辑功能取决于组合逻辑电路中信号的连接关系. CPAL 中的组合逻辑部分就是所熟知的 CPL 电路, 因此只要改变 $N1 \sim N4$ 输入端的接法就可以实现各种基本 CPAL 绝热门电路. 图 6 给出了 3 种门电路:

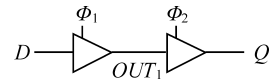


图 4 绝热 D 触发器

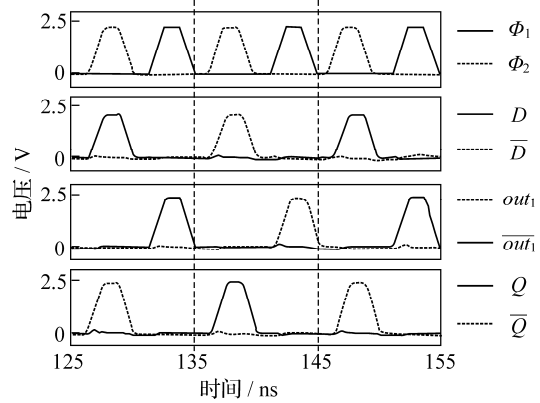


图 5 绝热 D 触发器 PSPICE 模拟波形

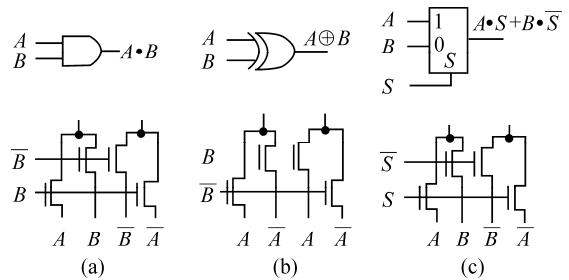


图 6 CPAL 逻辑门单元

CPAL 与门、CPAL 异或门和 CPAL 一位多路选择器. 而图 6 电路相应省略了 CPAL 的负载驱动电路 ($N5 \sim N8, P1 \sim P2$).

设触发器当前状态为 Q , 次态为 Q' , 那么 T 触发器和 JK 触发器的特征方程可以分别表示为:

$$Q' = T\bar{Q} + \bar{T}Q, \quad (2)$$

$$Q' = J\bar{Q} + \bar{K}Q. \quad (3)$$

由(2)式和(3)式可以看出, T 和 JK 触发器可以用异或门和多路选择器实现. 因此, 在 D 触发器结构的基础上略作修改, 将 D 触发器的第一级缓冲器实现异或、多路选择的逻辑功能就可以构造出 T 和 JK 触发器. 据此设计思想的 T 和 JK 触发器的电路如图 7 和图 8 所示.

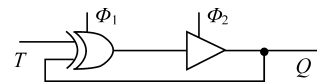


图 7 绝热 T 触发器

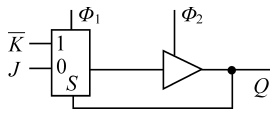


图8 绝热 JK 触发器

使用 TSMC 的 $0.25\mu\text{m}$ CMOS 工艺参数,对绝热 T 触发器和 JK 触发器进行 SPICE 模拟.在以前的分析中我们用梯形功率时钟,由于正弦波更容易产生^[10],此时用峰值为 2.5V 的 100MHz 二相无交叠正弦功率时钟^[11]对电路进行模拟,输出波形如图 9 所示,由波形图可知所设计电路完全实现了 T 触发器和 JK 触发器的逻辑功能.

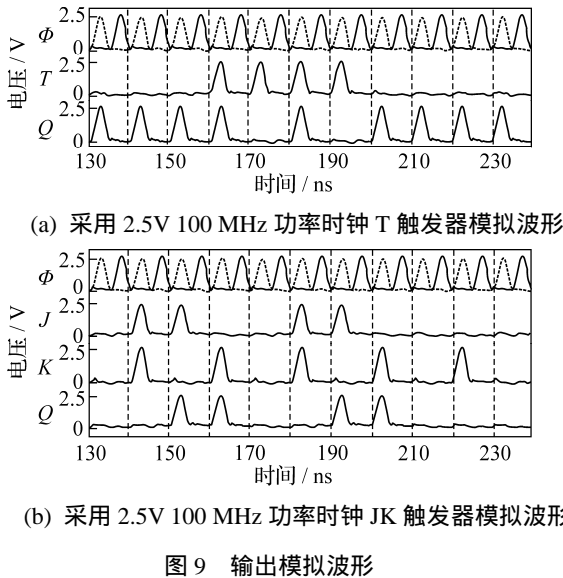


图9 输出模拟波形

2.3 触发器能耗分析与比较

由于 CPAL 绝热触发器是由 CPAL 反相器构成,因此可通过对 CPAL 反相器的能耗分析研究触发器的能耗情况. CPAL 反相器的能耗由二部分组成:功率时钟对输出结点全绝热驱动时引起的能耗,输入信号对内部结点充放电时发生的损耗.

功率时钟 ϕ 通过传输门 (N_5, P_1) 或 (N_6, P_2) 对输出结点充放电, OUT 或 $OUTb$ 从 0V 上升至 V_{DD} , 然后下降到 0V , 按照绝热计算原理^[1], 这部分能耗可表示为:

$$E_{\text{output}} = 2(RC_L/T)C_L V_{DD}^2, \quad (4)$$

其中, R 为传输门的导通电阻; T 为功率时钟的上升或下降时间; C_L 为输出负载电容, 包括本级电

路的输出电容、下一级电路的输入电容及互连线电容. 如果 T 远大于 RC_L , 则 E_{output} 远小于采用直流电源时静态 CMOS 电路的能耗.

由于输入信号对内部结点充放电历经 3 个时期. 在 t_2 期间, 结点 X 从 0V 充电至 $V_{DD}-V_{TN}$, 设 i 为充电电流, N_1 的栅漏电压近似为常数 V_{TN} , 则此过程的能量损耗为:

$$E_{X, \text{pre-charge}} = \int_0^{T_1} V_{TN} i dt = \int_0^{C_X(V_{DD}-V_{TN})} V_{TN} dq = C_X(V_{DD}-V_{TN})V_{TN}, \quad (5)$$

其中, C_X 为结点 X (或 Y) 的电容. 在 $t_4 \sim t_5$ 期间, 结点 X 随着 ϕ 的变化而被自举, 其处于绝缘状态, 由于漏电流引起的能耗很小, 因此这段期间的能耗可以忽略不计. 在 t_5 以后, 存储在结点 X (或 Y) 的电荷通过 N_2 被放电至地, 因此, 在该期间的能量损失为:

$$E_{X, \text{discharge}} = C_X(V_{DD}-V_{TN})^2/2. \quad (6)$$

因此对内部结点充放电引起的每周期能耗为:

$$E_X = C_X(V_{DD}-V_{TN})V_{TN} + C_X(V_{DD}-V_{TN})^2/2. \quad (7)$$

由(7)式可见, E_X 与工作频率无关, 与内部结点电容成正比. CPAL 反相器每周期总能耗为:

$$E_{\text{total}} = E_X + E_{\text{output}}. \quad (8)$$

因此, CPAL 绝热触发器每周期的能耗为(8)式的 2 倍.

由(1)式可知, 增加 N_5 和 N_6 的尺寸将提高内部节点的自举电压, 从而使传输门 (N_5, P_1 和 N_6, P_2) 的导通电阻减小, 将有利于减小绝热能耗, 但由(7)式可知, 这将增加内部节点 (X, Y) 的非绝热能耗.

在相同的电路参数以及输入信号条件下, 用 PSPICE 模拟程序对 CPAL 触发器与静态基于传输门边沿触发器^[9]及 2N-2N2P 和 PAL-2N 绝热触发器的能耗进行比较. 传统的边沿触发器采用 2.5V 的直流电源, CPAL 触发器采用峰值为 2.5V 的二相正弦功率时钟, 而其他 2 种绝热触发器采用峰值为 2.5V 的四相正弦功率时钟. 图 10 则为每周期能耗与工作频率的变化关系.

在时钟频率为 100MHz 时, CPAL 电路每周期

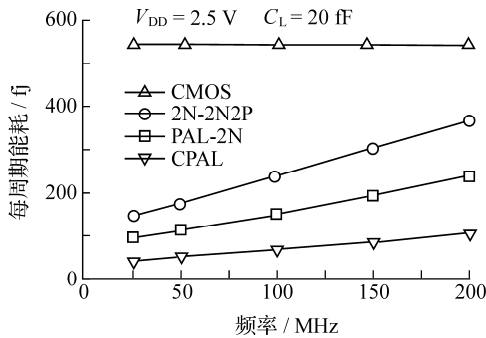


图 10 CPAL, 2N-2N2P, PAL-2N 触发器和静态边沿触发器能耗比较

能耗为 70 fJ, 大约是 PAL-2N 电路^[6]的 1/2, 2N-2N2P 电路^[4]的 1/3, 静态边沿触发器的 1/8. 模拟结果表明: CPAL 电路能耗几乎与工作频率无关, 而能耗远小于传统的静态 CMOS 电路.

3 CPAL 绝热逻辑的时序电路设计

基于绝热触发器, 可以构建更复杂的时序电路. 绝热逻辑时序电路的设计可以借鉴传统时序电路设计方法, 其步骤如下:

- (1) 先画出状态图进行状态化简和状态编码, 此步骤仍可按常规方法进行;
- (2) 选定触发器类型, 求出电路的状态方程、驱动方程和输出方程;
- (3) 根据得到的方程式画出逻辑图.

下面以十进制加法计数器为例, 说明设计过程, 由于十进制加法计数器已为大家所熟知, 故省略了步骤(1)和(2). 若采用 D 型触发器, 则驱动方程可表示为:

$$Q_0^+ = \bar{Q}_0, \tag{9}$$

$$Q_1^+ = (Q_0 \oplus Q_1)\bar{Q}_3, \tag{10}$$

$$Q_2^+ = (Q_0 \cdot Q_1) \oplus Q_2, \tag{11}$$

$$Q_3^+ = (Q_1 \cdot Q_2)Q_0 + Q_3\bar{Q}_0. \tag{12}$$

由(9)式~(12)式可设计出同步十进制加法计数器的电路结构如图 11 所示. 图 11 中每个 D 触发器由 2 级 CPAL 逻辑组成, 其中第 1 级 CPAL 逻辑用来实现驱动方程的组合逻辑功能. 图中组合逻辑

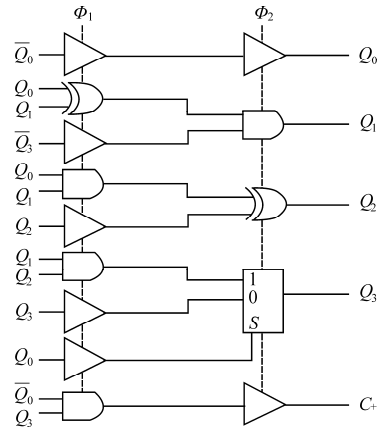


图 11 十进制加法计数器电路结构和二相功率时钟逻辑的实现电路已在图 6 中给出.

同样使用 TSMC 的 0.25 μm CMOS 工艺参数, 用峰值为 2.5 V 的 100 MHz 二相无交叠正弦功率时钟对绝热十进制计数器进行 SPICE 模拟, 输出波形如图 12 所示, 结果显示电路具有正确的逻辑功能. 在这个实例中, 测得计数器在 10 个时钟周期内消耗的能量为 1.2 pJ. 作为比较, 相同参数下采用直流电源的十进制加法计数器的能耗为 22 pJ, 因此绝热电路对能耗的节省十分显著.

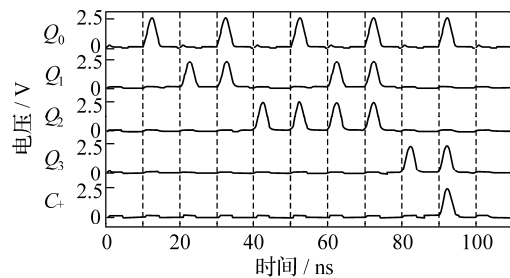


图 12 十进制计数器输出 PSPICE 模拟波形

4 结论

采用交流能源的绝热电路具有可观的能量节省, 为实现低功耗 VLSI 设计提供了一条可供选择的崭新途径. 本文根据绝热电路的工作特点给出了采用二相无交叠功率时钟的互补传输门绝热电路, CPAL 电路使用 nMOS 管自举电压完全消除了输出结点的非绝热能耗, 降低了电路的整体功耗. 由于 CPAL 电路具有非常简单而规则的电路形式,

可以简化版图设计. 提出的 CPAL 绝热 D、T 和 JK 触发器, 经 SPICE 模拟证实具有正确的逻辑功能及低功耗特性. 且与同类绝热电路相比, CPAL 能耗几乎与工作频率无关, 在节省功耗方面有较为明显的优势. 最后以十进制加法计数器的设计为例给出了绝热时序电路的一般设计方法, 表明本文提出的绝热触发器可方便地应用于时序电路设计.

参考文献:

- [1] Rabaey J M, Pedram M. Low power design methodologies[M]. Boston: Kluwer Academic Press, 1996.
- [2] Lim J, Kim D G, Chae S I. A 16-bit Carrylookahead adder using reversible energy recovery logic for Ultralow-energy systems[J]. IEEE J of Sol Sta Circ, 1999, 34(6): 898-903.
- [3] Moon Y, Jeong D K. An efficient charge recovery logic circuit [J]. IEEE J Sol Sta Circ, 1996, 31(4):514-522.
- [4] Kamer A, Denker J S, Flower B, et al. Second-order adiabatic computation with 2N-2P and 2N-2N2P logic circuits[C]//Proc of the International Symposium on Low Power Design. Canada: Dana Point, 1995:191-196.
- [5] Oklobdzija V C, Maksimovic D, Lin F. Pass-transistor adiabatic logic using single power-clock supply[J]. IEEE Trans Circuits and Systems II: Analog and Digital Signal Processing, 1997; 44(10):842-846.
- [6] Liu F, and Lau K T. Pass-transistor adiabatic logic with NMOS pull-down configuration[J]. Electronics Letters, 1998, 34(8):739-741.
- [7] 胡建平, 岑理章, 刘晓. A new type of Low-power adiabatic circuit with complementary pass-transistor logic [C]//5th International Conference on ASIC Proceeding. 中国: 北京, 2003:1235-1238.
- [8] 胡建平, 邬杨波, 张卫强. Complementary pass-transistor adiabatic logic circuit using three-phase power supply [J]. 半导体学报, 2004, 25(8):918-924.
- [9] Rabaey J M. Digital integrated circuits: a design perspective[M]. New York: Prentice Hall, 1996.
- [10] Maksimovic D, Oklobdzija V G, Nikolic B, et al. Clocked CMOS adiabatic logic with integrated single-phase power-clock supply[J]. IEEE Trans Very Large Scale Integration Systems, 2000, 8(4):460-463.
- [11] Tzartzanis N, Athas C. Clock-powered logic for a 50 MHz Low-power RISC Datapath[C]//ISSCC. Canada: San Francisco, 1997:338-339, 482.

Low-power Complementary Pass-transistor Adiabatic Logic and Sequential Circuits

WU Yang-bo, LI Hong, HU Jian-ping

(Faculty of Information Science and Technology, Ningbo University, Ningbo 315211, China)

Abstract: We present a complementary pass-transistor adiabatic logic (CPAL) for low-power design, which is driven by two-phase AC power supply. The bootstrapped nMOS switch is employed to eliminate non-adiabatic loss on output loads. Its energy dissipation is in less dependency on power-clock frequency. The adiabatic D, T and JK flip-flops are proposed. A synthesis method for adiabatic synchronous sequential circuits is proposed. A practical sequential system based on the proposed adiabatic D flip-flop is verified. SPICE simulations demonstrate that the designed circuits have correct logic function and considerable power saving.

Key words: low-power; energy recovery; adiabatic flip-flop; sequential circuit; complementary pass-transistor logic

CLC number: TP331.2

Document code: A

(责任编辑 章践立)