

文章编号:1001-5132(2007)03-0324-05

基于 CPLD 的倒数计数器

胡盈盈, 周宇

(宁波大学 信息科学与工程学院, 浙江 宁波 315211)

摘要: 用 VHDL 在 CPLD 器件上实现一种数字频率计测频系统, 能够用十进制数码管显示被测信号的频率及其他多种物理量. 整个频率计设计在 1 块 CPLD 芯片上, 与其他方法做的频率计相比, 具有体积小、可靠性高、功耗低的特点.

关键词: 低频频率计; 倒数; CPLD; Max+plus II

中图分类号: TN702

文献标识码: A

数字频率计是计算机、通讯设备、音频视频等科研生产领域不可缺少的测量仪器, 而频率测量是电子学测量中最为基本的测量之一. 传统的频率计一般由分离元件搭建而成, 系统布线复杂、体积功耗大、可靠性差, 其频率测量范围、测量精度和测量速度都受到很大的限制. 虽然单片机的发展与应用改善了这一缺陷, 但由于单片机本身也受到工作频率及内部计数器位数等因素的限制, 无法在此领域取得突破性的进展. 随着新型可编辑逻辑器件 FPGA/CPLD 技术的发展, 能够将大量的逻辑功能集成于一个单个器件中, 根据不同的需要所提供的门数可以从几百门到上百万门, 从根本上解决了单片机的先天性限制问题.

低频频率计的设计方法目前有很多种, 主流的主要由单片机或者 FPGA 实现. 本文设计在 CPLD 的基础上采用特殊的“倒数”运算思想, 关键的问题就是解决测周与测频的连接, 即“倒数”的实现, 采用了定标器的设计, 即 N 分频器的设计; 设计选用 FPGA 的可编程逻辑器件实现, 采用 VHDL

编程设计. 各个功能模块在 Max+plus II 环境下通过 VHDL 编程并仿真结果, 然后再通过相连, 搭建成整个倒数式数字低频频率计的系统结构图, 除被测信号的整形部分、键输入部分和数码显示部分以外, 其余全部在一片 FPGA 芯片上实现, 整个系统精简, 具有灵活的现场可更改性, 设计成本也相对较低.

1 设计方案

常用的频率测量方法, 主要有测频法和测周期法. 计数器直接测频的误差主要有 2 项: ± 1 误差和标准频率误差. 一般, 总误差可采用分项误差的绝对值合成, 即 $\Delta f_x / f_x = \pm(1/Tf_x + |\Delta f_c / f_c|)$, 可得当测量低频时, 由于 ± 1 误差产生的测频误差大得惊人, 不符合低频测量的误差标准. 测周模式时误差有 ± 1 误差、标准频率误差、转换误差. 在考虑了以上 3 项误差的情况下, 采用多周期测量的方法, 其合成误差为: $\Delta T_x / T_x = \pm(k/10^n T_x f_c + V_n / \sqrt{2} \times 10^n \cdot$

$\pi V_m + |\Delta f_c / f_c|$, 当 f_x 比较小时, ± 1 误差对于测量结果的影响相对于测频模式时小得多, 但是利用测周期法测得的频率不能直接读出。

综合上述的优缺点, 可以设计低频测量时的特殊方法, 测频 + 测周 = 误差小 + 直读性强, 即先通过测周计数器测量, 减少测量误差, 然后再通过 1 个测频计数器, 将测得的周期倒过来得到最终被测的频率, 解决了误差与直读性这对矛盾。在设计中运用了数学中的“倒数”运算, 因此将这个简易的低频计数器称作倒数计数器, 可以在整个测频范围内同时获得高测试精度和高分辨率。

本设计研究的是在低频 0.100 ~ 100.0 Hz 的情况下的计数器, 主要强调其直读性, 用单片机做虽然成本低, 但是有干扰大, 低速性、程序易跑飞和低可靠性的缺点。而 FPGA 易集成, 可靠性高。因此, 本次设计选用 FPGA 的可编程逻辑器件实现。

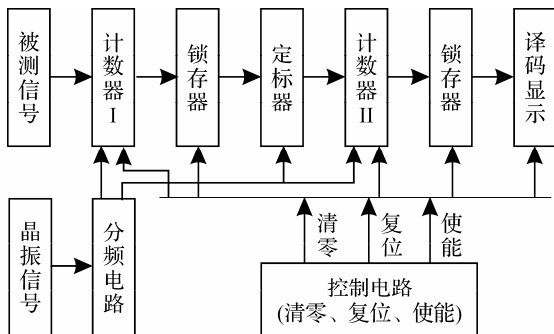


图 1 倒数计数器的总体设计原理图

根据图 1 所示倒数计数器的总体结构, 可得各模块实现的数学运算。下面是设计时所涉及的一些数学运算以及一些符号注释。

(1) 时钟分频出来的信号:

$$f_c = f_0 / k \quad (k \text{ 为 } 10^n);$$

(2) 计数器 I 测周:

$$f_c = f_0 / k10^n N = T_x / T_c = f_c / f_x;$$

(3) 定标器 N 分频:

将 f_0 进行 N 分频, 输出 f_0 / N ;

(4) 计数器 II 测频:

将闸门时间固定为 1 Hz, $N_f = f_0 / N = f_0 / (f_0 / kf_x) = kf_x$ 。

2 各模块基于 CPLD 的设计实现

根据图 1 的设计原理, 采用 VHDL 语言设计一个复杂的电路系统, 运用自顶向下的设计思想, 将系统按功能逐层分割的层次化设计方法进行设计。在顶层对内部各功能块的连接关系和对外的接口关系进行了描述, 而功能块的逻辑功能和具体实现形式则由下一层模块来描述。设计流程如图 2 所示。

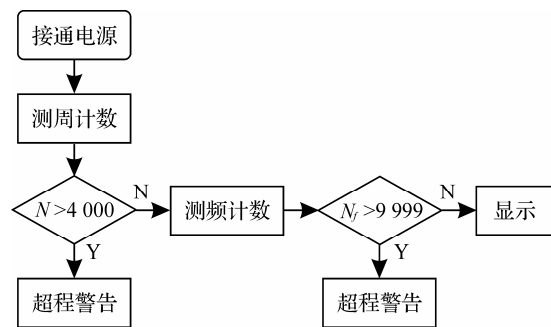


图 2 数字频率计设计的流程

将被测信号先通过测周计数器, 此测周计数器还增加了一个超程警告的功能, 根据设计要求, 被测频率可能会不属于被测范围, 所以当被测频率小于测量范围时, 即 $N > 4000$ 时, 测周计数器显示超程警告。若 $N < 4000$, 则进入下一个计数器—测频计数器, 此时进入测量的频率还有可能大于测量范围, 相应地在测频计数器上增加一个超程警告量, 经计算当 $N_f > 9999$ 时, 被测频率大于测量范围, 此时计数器有一个超程警告输出, 判断测量频率不符合测量范围, 最后, 当测量频率属于测量范围时通过 LED 数码管显示。

2.1 分频模块

采用稳定性好的 4 M 晶振 f_0 作为时钟输入, 根据在电路中不同基准时间的需要, 通过分频电路对系统输入的时钟进行分频操作, 即设计一个分频器, 获得 40 kHz、4 kHz、400 Hz 以及 1 Hz 的信号, 应用于计数模块和控制模块中作为时钟信号或者闸门信号, 用另一个分频模块作为定标器实现设计中的“倒数”功能。

2.1.1 时钟分频

考虑到后面计数器的计数量,计数值越大所需要的门阵列也就越大,将导致耗材和耗时,所以将待测信号范围分成 0.1~1 Hz, 1~10 Hz, 10~100 Hz 3 档,则需将时钟信号也分成 3 档,对应为 400 Hz, 4 kHz, 40 kHz, 实现 $f_c = f_0 / k$ 运算.

2.1.2 定标器分频

定标器的分频是此次设计的特色和关键. 被测频率首先通过测周计数器,计得的数值是正比于待测频率的倒数,不能直接通过 LED 显示出来,所以要通过一个“倒数”器,使计数值正比于待测频率. 根据各门阵列的特性,在设计上可以采用一个定标器,即分频值可变的分频器,实现“倒数”的特色功能,输出 f_0 / N (正比于待测频率),作为测频计数时的待测频率.

2.2 计数模块

2.2.1 测周计数模块

将低频信号先通过测周模式计数,实现 $N = T_x / T_c$ 运算,减少低频测量时的误差. 计数器除了一般的功能外再增加 1 个 OVER 超程警告输出信号,考虑到输入的频率值可能不在测量范围内,当计数值超过 4 000 时警告显示,此时可以得到输入的频率小于被测频率范围(当输入频率值大于被测范围时,将在测频计数器中设置).

2.2.2 测频计数模块

通过测周计数模块得到待测频率的倒数,然后通过该测频模块可以将频率值直接显示出来,实现 $N_f = f_0 / N = f_0 / (f_0 / kf_x) = kf_x$ 运算,此外再增加 1 个 OVER 超程警告信号,若输入待测信号过大,则显示超程警告. 具体设计中设置为当计数 > 9 999 时,显示超程警告.

2.3 锁存器模块

当计数器输出计数值时需要 1 个寄存器来对数值进行寄存,所以在设计中需要 1 个寄存器,即数字锁存器来存储计数值. 当计数器计数时间结束,锁存器便开始储存计数值,当计数器的闸门信

号下降,锁存此时计数模块的各项输出.

2.4 显示模块

显示模块则由数码管组成,在 7 段数码管片选信号控制下,将锁存器保存的 BCD 码数据动态扫描、译码,以十进制形式显示.

2.5 控制模块

控制模块控制其他模块工作状态和清零复位等功能,实为一个状态机,联系各个模块,产生各个模块的清零、使能、闸门信号等,调控整个电路.

2.5.1 小数点控制模块

根据设计要求将测量范围分成 3 档,最后输出都是显示在 4 位数码显示管上,可能有相同的数值输出不同的只是小数点位置的变化. 根据分析,当输入为 0.100~0.999 Hz 时,由于输出到显示管时首位 0 实现比较困难,所以考虑此时将单位换算,可以省去考虑首位是 0 的麻烦,那么当待测频率值不同的时候相应的小数点标志位和单位也会随之改变. 同时此模块中还增加了测周计数器的输入时钟 f_c 根据选择范围不同有不同的输出,此时小数点和输出单位也有对应输出.

2.5.2 状态机控制模块

在整个电路中需要有一个控制各个模块的信号发生先后顺序的状态机,处理系统中其他模块的时钟、清零等控制信号的输入次序,根据实际的需要,分别将脉冲信号、闸门信号、使能信号和清零信号作为 4 个先后状态输出,如图 3 所示.

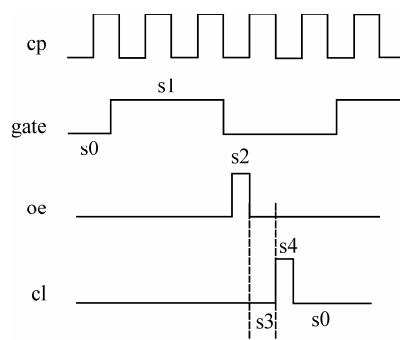


图 3 信号关系示意图

2.6 程序说明

(1) 上述这些程序由 5 类模块连接在一起而组

成, 5 类模块分别是分频模块、计数模块、锁存器模块、显示模块和控制模块。

(2) 程序组将程序钟分到 40 kHz, 4 kHz, 400 Hz, 1 Hz, 分别通过测周、测频计数器, 其中测周计数器信号的闸门时间为待测频率, 时钟信号为可选的 3 档频率, 测频计数的闸门时间固定为 1 Hz, 时钟信号为定标器输出的频率。对于输入信号小于被测范围时通过测周计数器检测发出警告, 然后通过小数点控制模块输出 little 信号, 大于被测信号范围时, 通过测频计数器检测发出警告, 输出 large 信号。

(3) 为满足题意, 被测信号为几十赫兹时, 显示###.### Hz; 被测信号为 0.1 ~ 1 Hz 时, 显示####.## MHz; 被测信号为几赫兹时, 显示#.### kHz。

(4) 采用根据扫描信号控制 4 个数码管的显示。

(5) 设定进入的信号为方波, 其他信号的波形要先通过整形等步骤, 本次设计中不作讨论。

3 Max+plus II 系统仿真

将生成的整体模块通过 Max+plus II 仿真, 由于输入晶振信号 4 MHz 频率很高, 系统仿真大概需要耗时 4 h, 所以在不影响系统的条件下去除了显示和晶振分频模块, 进行仿真, 如图 4 所示。

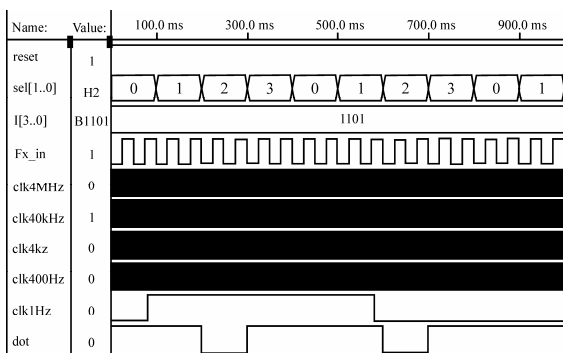


图 4 $f_x=20$ Hz 时小数点标志位的选择

由图 4 可得, 当 $f_x = 20$ Hz 时, 选择 I[3..0] 为 1101 输入, 即 40 k 量程档, 可得输出的单位选择为 Hz, 且小数点 dot 在扫描信号 sel 为 B10(即 2 时)的值为 0, 即小数点显示为 XX.XX Hz。

由图 5 可得, $kf_x = 100f_{x_in}$, $k = 100$, 即对晶振进行了 100 分频, 输出时钟信号为 40 k, 验证了编程的正确性。

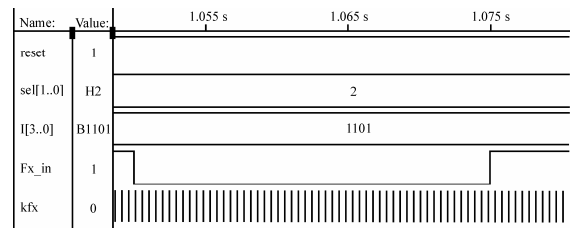


图 5 $f_x=20$ Hz 时分频器的输出

由图 6 可得, 当 $f_x = 20$ Hz 时, 输出的频率值为 19.99 Hz, 从实验结果可以看到, 误差率为 $(20 - 19.99) / 20 = 0.05\%$, 大大减少了直接由测频法产生的误差, 也解决了测周法不能直接显示频率的缺点。整个软件部分的编程和仿真正确。将顶层文件通过管脚编译可以下载到 GW48 系统进行硬件仿真系统, 最后用 CPLD 器件搭建成型。

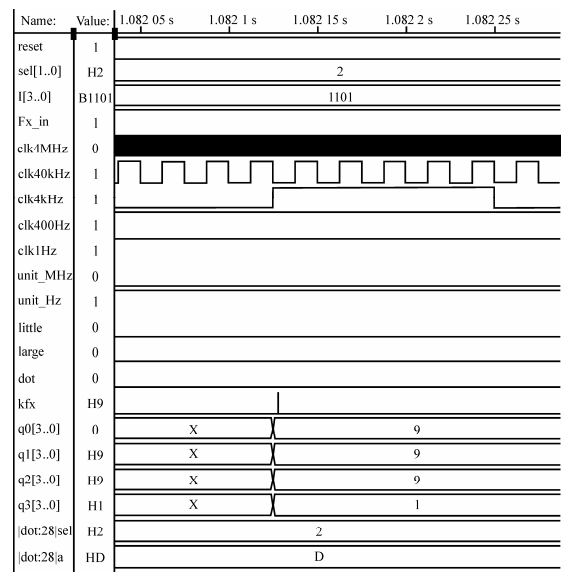


图 6 $f_x=20$ Hz 时输出的测量值

4 结束语

可根据需求不同对本次设计进行一些改进, 如为了加强其精度要求、减小误差, 可设置显示为 6 位或者 8 位的 LED 显示管; 为了扩大其测量范围, 可将量程增大, 编程时就是将各个模块的容量变大, 相应的系统仿真时间就需要更长时间, CPLD

的容量资源需要也更大;为了能测量各种波形的频率,可在前端增加波形放大整形的步骤,将各种波形转化为方波,再进行测量,扩大频率测量的种类.

参考文献:

- [1] 杨刚, 龙海燕. 现代电子技术—VHDL 与数字系统设计[M]. 北京: 电子工业出版社, 2004.
- [2] 顾斌, 赵明忠, 姜志鹏, 等. 数字电路 EDA 设计[M]. 西安: 西安电子科技大学出版社, 2004.
- [3] 王道宪. CPLD/FPGA 可编程器件应用与开发[M]. 北京: 国防工业出版社, 2003.
- [4] 谢煌, 黄为. 基于 VHDL 语言设计频率计[J]. 现代电子技术, 2003, 14:78-84.
- [5] 武卫华, 陈德宏. 基于 EDA 技术的数字频率计芯片化的实现[J]. 电测与仪表, 2004(4):52-55.

CPLD-based Design for Measuring Low Frequency

HU Ying-ying, ZHOU Yu

(Faculty of Information Science and Engineering, Ningbo University, Ningbo 315211, China)

Abstract: Direct-reading and amount of error are always in conflict with each other in measuring low frequency. In this article, it adopts a “count-down” design method to solve this collision. A digital frequency measure system can be implemented using VHDL in the CPLDs, and this system can demonstrate the measured frequency in the form of decimal system. Other than the frequency, the proposed system can also measure many other physical signals. The whole cymometer is designed on a CPLD and embedded with a decimal system. Compared with other existing cymometers, the proposed system is smaller in volume, more reliable in functioning and lower in power consumption.

Key words: low-frequency cymometer; reciprocal; CPLD; Max+plus II

CLC number: TN702

Document code: A

(责任编辑 史小丽)