



我国学者在忆阻器存算一体领域取得新进展

日期 2023-10-16 来源: 信息科学部 作者: 唐华 高滨 施刚 【大中小】 【打印】 【关闭】

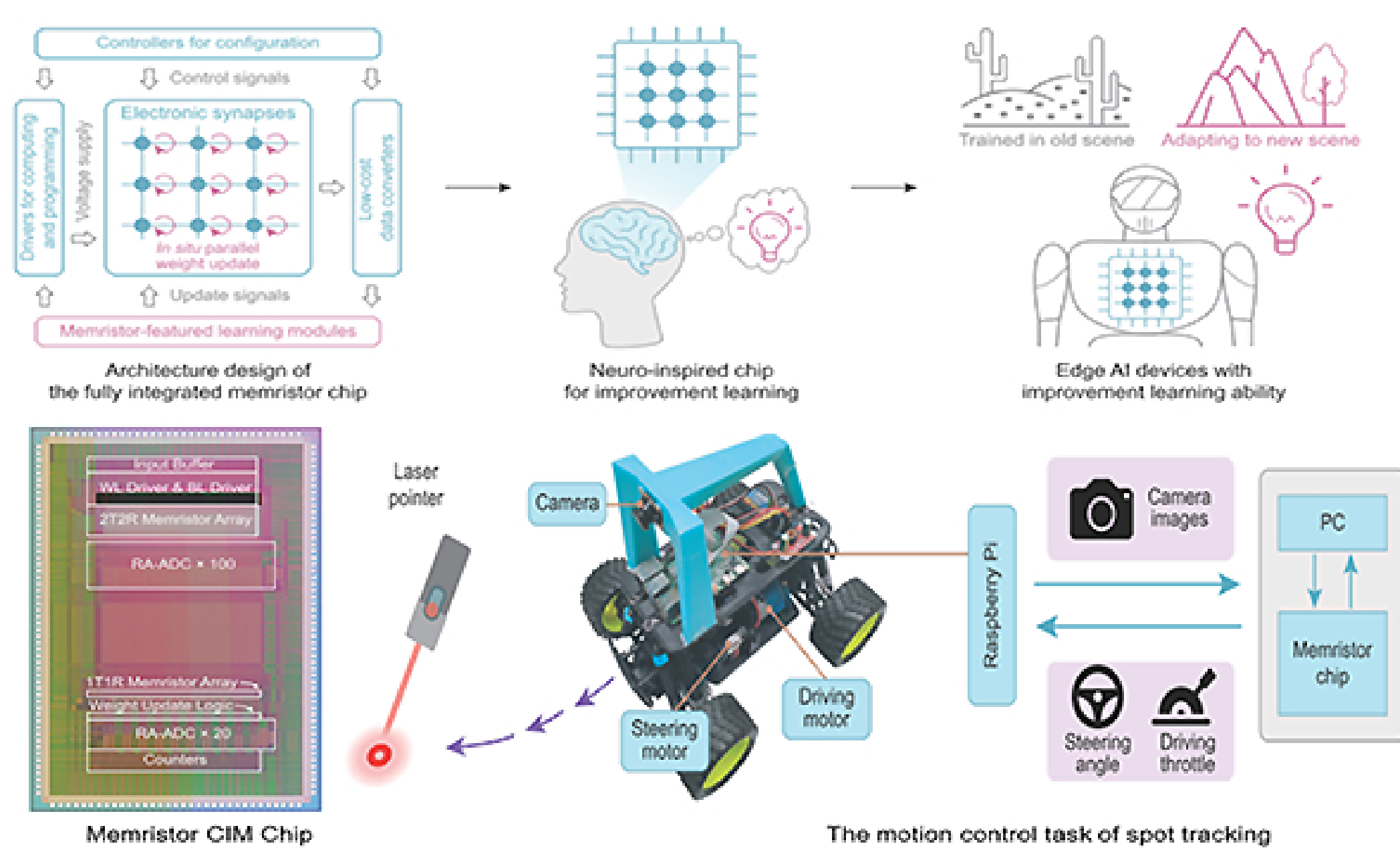


图 忆阻器存算一体学习芯片实现小车自动追踪等边缘计算任务

在国家自然科学基金项目(批准号: 92064001、62025111)等资助下,清华大学集成电路学院钱鹤教授、吴华强教授和高滨副教授在基于忆阻器的存算一体智能芯片领域取得进展。研究成果以“面向边缘学习的全集成类脑忆阻器芯片(Edge Learning Using a Fully Integrated Neuro-Inspired Memristor Chip)”为题,于2023年9月14日在线发表于《科学》(Science)杂志上。论文链接: <https://www.science.org/doi/full/10.1126/science.ade3483>。

传统计算系统在进行神经网络模型训练时,数据在计算单元和存储单元间来回搬运,由此导致的高能耗问题限制了边缘设备在复杂场景下的智能处理能力。忆阻器通过本征的存储与计算融合,可以节省数据移动开销,突破传统计算架构的性能瓶颈。忆阻器存算一体芯片的能效、算力突破使得高效边缘学习成为可能。然而,要实现低能耗的忆阻器存算一体片上学习芯片仍面临器件和电路具有多尺度物理误差、系统缺乏适配的高效训练架构等问题。

针对上述挑战,钱鹤、吴华强团队首先提出面向忆阻器存算一体片上学习的STELLAR通用算法架构。该架构充分考虑了忆阻器存算一体新范式的硬件特征和多尺度误差来源,具体创新如下:该架构采用无校验的符号更新,可以避免权重更新对忆阻器的反复编程操作,降低学习过程的能耗开销,提高了器件使用寿命;采用二值化更新计算电路,可以避免传统方法中高精度梯度计算导致的硬件开销,同时降低了电路的设计复杂度;提出输出偏差的阈值过滤机制,避免不必要的更新操作,克服了忆阻器非理想特性(如非线性,写噪声)对学习精度的影响。另外,提出了并行交替的电导调制策略,以行为单位对权重进行并行更新,提高了权重的更新速度。通过充分仿真和深入分析,团队论证了该架构可以有效地克服存算一体系统的非理想特性,还能够降低电路、系统的设计复杂度以及硬件开销。团队通过算法、架构、集成方式的全流程协同创新,有效实现大规模模拟型忆阻器阵列与CMOS的单片三维集成,研制出全球首颗全系统集成的、支持高效片上学习的忆阻器存算一体芯片。

该芯片包含支持完整片上学习所必需的全部电路模块,并通过小车自动追踪边缘计算任务进行验证(图)。芯片顺利完成图像分类、语音识别和自动追踪等多种增量学习任务的演示,片上实现了智能处理相关的参数存储、前向推理和权重更新,展示出芯片高适应性、高能效、高通用性、高准确率等特点,有效强化了智能设备在实际应用场景下的学习适应能力。经测试,相同任务下,该芯片的能耗仅为先进工艺下专用集成电路(ASIC)系统的3%,展现出卓越的能效优势。该成果揭示了人工智能时代下存算一体芯片边缘学习的新范式,为突破冯·诺依曼传统计算架构下的能效瓶颈提供了一种创新发展路径。

机构概况: 概况 职能 领导介绍 机构设置 规章体系 专家咨询 评审程序 资助格局 监管工作

政策法规: 国家科学技术相关法律 国家自然科学基金条例 国家自然科学基金规章制度 国家自然科学基金发展规划

项目指南: 项目指南

申请资助: 申请受理 项目检索与查询 下载中心 代码查询 常见问题解答 科学基金资助体系

共享传播: 年度报告 中国科学基金 大数据知识管理服务云平台 优秀成果选编

国际合作: 通知公告 管理办法 协议介绍 进程简表

信息公开: 信息公开制度 信息公开管理办法 信息公开指南 信息公开工作年度报告 信息公开目录 依申请公开