



测试插座尺寸缩小到0.4 mm以下

2008-11-04 | 编辑: | 【大】 【中】 【小】 【打印】 【关闭】

作者: Sally Cole Johnson, Contributing Editor

随着封装间距尺寸缩小到0.4 mm以下, 测试插座行业遇到了电学和机械方面的问题。主要的挑战包括封装尺寸增大, 这意味着有更多的I/O要测试。增加了测试要求, 且信号完整性问题进入了混合状态。可见新材料、设计和接触技术对于继续缩小至更小间距的测试插座是必须的。

作为参照点, 现在测试插座接触比活动铅笔中的铅笔芯还细, 铅笔芯直径一般为0.5 mm。0.4 mm的测试插座中用的弹簧柱销约为铅笔芯直径的一半。更令人惊叹的是这些弹簧柱销是手工组装的。

现在从机械和电气角度如形状因子、间距、高速和RF驱动器来看, 测试插座市场以比过去快得多的速度向前发展。“随着电气需求以更快的速度增加, 机械封装迅速缩小。这给测试插座供应商们开发新技术带来了巨大压力。” Antares Advanced Test Technologies 的工程经理Ila Pal指出, “从1.0 mm间距缩小到0.5 mm的间距很容易实现, 但从0.5 mm间距缩小到0.3或0.2 mm间距并不简单。这是目前测试插座行业面临的最大挑战之一, 我们需要开发新技术。”

向更小间距发展也是Aries Electronics Inc. 需要实现的课题。该公司的客户需要不仅适用于球形栅阵列(BGA)器件, 而且适合表面安装型器件的测试插座, 且间距越来越小。“我们提供五种不同的外部壳封装, 管脚间距具有从0.8 mm到0.3 mm多种选择。这些封装包括基座框架、罩子、压力板, 都具有不同的闭合机制。它们所缺少的正是插座的‘核心’——为适应客户的专用器件而设计的中央部件。” Airies的全国销售经理Frank Folmsbee介绍。插座核心包括内插条组, 该插条插在器件的封装中, 随后将一个阳探头和阴弹簧嵌入这些洞中。



▣ 科普首页

▣ 微电子历史

▣ 行业动态

▣ 术语解释

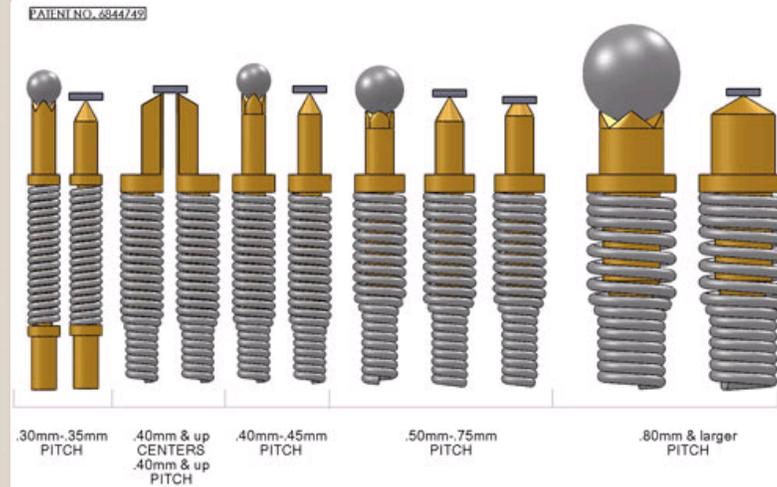
▣ 无微不至

▣ 芯片制程

▣ 科普创意

1. 间距为0.4 mm的插座已经变得越来越普遍。(来源: Antares Advanced Test Technologies)

尽管对0.2 mm间距插座的需求还未启动, 间距为0.4 mm的插座已经变得越来越普遍, 测试插座行业已经预见到慢慢向0.3 mm转移的迹象。“0.3 mm和0.2 mm仍然处于样机测试的初始阶段, 目前这种封装还没有大批量生产的动力。” Pal表示, “对于0.4 mm间距, 我们有可靠的解决方案。但我们还不能将该技术缩小至0.3 mm, 预计也不能达到和0.5 mm间距插座相同的性能。我们对0.25 mm插座的解决方案还处于原型阶段。”



2. This is an example of spring probe outer shell housings available in a variety of pitches. (来源: Aries Electronics Inc.)

据Antares的CTO James Forster介绍, 间距缩小和0.4 mm成为主流的一个最大挑战是, 封装尺寸实际上变得比最初预期要大。“人们开始认为0.4 mm间距的封装尺寸应该是12或14 mm², 而现在它们已增大到了24至25 mm², ”他解释道, “这就意味着在很小的空间内有大量I/O, 这样小的空间给测试和老化插座供应商带来了挑战。随着间距越来越细, 弹簧和接触针头可用的空间便减少了。有种解决方案不断普及, 即采用具有Z轴导电性的合成橡胶。部分不是特定间距, 并且没有预装载, 这意味着用合成橡胶插座支持接触的机械强度不是问题。不过, 有人担心生产线上合成橡胶的可靠性和寿命, 以及材料在较高测试温度下的性能。”

另一个挑战是进入0.2 mm可能需要新的接触技术。0.2 mm时有接触技术, 但Forster指出, 这些技术不能达到预期频率或成本点。“比如, 现在用常规方法测试间距为0.2 mm的倒装器件。我们将看到探头上的技术与用于测试技术的合并。”他补充道, “但这些技术将在晶圆级别结合, 而晶圆级别、芯片级别封装还不确定。不过现在这些技术已有部分可以利用, 有些制作薄膜探头的公司将供应0.2 mm的测试方案。问题在于每个插座的成本要高好几个数量级。”

其它问题

鉴于欧盟RoHS的无铅管制, 现在材料成为了测试插座的一个问题。“还有一个挑战是封装产商从组装角度进行了无铅优化, 这是他们应该做的。” Pal介绍, “但组装前的主要步骤是用测试插座测试封装。这些封装并未进行测试优化, 因此我们遇到了大量问题。测试产业中经过组装优化的封装表现完全不同。”

据Pal介绍，具有较多管脚数目（4000-5000）的封装也是问题，因为已有的测试插座材料不能承受施加的力量和压力。“这是对测试插座的巨大挑战，正在促使材料供应商们进行创新，如在材料中嵌入纳米管来加强强度。”他说，“显然最好用较薄的插座，但是它要能承受四千到五千个针脚而不歪斜，采用塑料来实现这一点需要进行更多创新。”

还要进行电气变化？Forster认为将出现信号整合。“我们将看到同轴型插座或采用创新方式的插座，这将带来一些高频信号。”他表示，“我们已看到新型封装，而测试PoP（封装上封装）需要插座供应商们制作不仅可以接触封装底部还能接触顶部的插座。这有点困难。若出现较高频率的测试，需要考虑更多的设计元素。”

最后但并不唯一的是功率问题。随着插座上的I/O间距减小，芯片电压下降而总体功能在增加，这就出现了功率问题。“我们已经经历过电源问题，这意味着较小的接触系统必须比过去处理更大的功率。”Forster介绍，“这就有两种对立的要求——更小的间距和增大的功率。由于只有更少的空间，因此接触的横截面在缩小，但它必须承担更多电流。运输更多电流的唯一方法是增大横截面积，而不是缩小横截面积。现在我们遇到了I²R生热的难题，由于接触的自加热效应，出现了多余的热负载。为解决这个难题，芯片设计人员放入更多管脚来传输输入和输出电流。而插座工程师们在研究现在所做的不同方法。若是外围引线器件，则可以将接触做得足够大。利用面积阵列封装，如BGA或多行QFN，将那么多功率送进来可能是个难题。”

由于现在器件承担更多任务，它们也消耗更多功率。“它们在测试时发出更多热量，因此不仅需要监测热负载，还必须控制它。”Forster表示，“我们将看到对测试板或测试仪的温度监测、传感和控制，以及采用热控制部件，来将被测试器件的温度保持在特定温度。”

未来几年的测试插座行业应该很有趣，因为引入了新封装且间距在不断缩小，未来将有大量创新出现。

（来源：半导体国际 2008年10月1日）



中国科学院微电子研究所版权所有 邮编：100029

单位地址：北京市朝阳区北土城西路3号，电子邮件：webadmin@ime.ac.cn

京公网安备110402500036号