

## PCI9054芯片接口设计中若干问题的深入研究

童 鹏, 吴新建

华中光电技术研究所, 湖北 武汉 430073

2008-08-05

**摘 要:** PCI9054芯片是目前主流的PCI总线接口芯片之一。从厂家提供的开发资料以及公开发表的论文来看,有相当多的内容都过于简单,甚至有不合理或错误的地方。针对在实际开发过程中遇到的问题(芯片工作模式选择、总线仲裁、存储器和I/O操作、DMA传输和突发数据传输、PCI中断等)和解决方法进行了总结,希望对从事PCI9054芯片应用的设计人员有一定的参考价值。

**关键词:** PCI9054芯片 DMA I/O 总线仲裁 中断

随着ISA总线逐步被淘汰,基于PCI总线的扩展板越来越被广泛地应用于各种高速、大数据量的处理系统中。尽管有许多供应商提供了各种通用的PCI总线扩展板,但在较多应用场合,用户还必须自行设计满足自己特殊需求的PCI扩展板,这就不可避免地会遇到PCI总线接口问题。对于绝大多数用户而言,选择专用PCI接口芯片进行PCI接口设计是必然的选择。

PCI9054是PLX公司推出的一种32位33MHz的PCI总线主控I/O加速器。它采用多种先进技术,使复杂的PCI接口应用设计变得相对简单。该芯片是目前主流的PCI接口芯片之一,其功能和性能如下<sup>[1~5]</sup>:

- 符合PCI V2.2规范,包含PCI电源管理特性;
- 支持PCI双地址周期,地址空间高达4GB;
- 提供两个独立的可编程DMA控制器,每个通道均支持块和分散/集中的DMA方式;
- PCI与Local Bus之间数据传输速率高达132MB/s;
- 支持复用或非复用的32位局部总线操作,本地总线支持8位、16位和32位外围设备和存储设备,本地总线有三种工作模式:M模式、C模式和J模式,可通过模式选择引脚加以选择;
- PCI9054内部有可编程的FIFO,可以实现零等待突发传输及本地总线与PCI总线之间的异步操作,本地总线时钟由外部提供,该时钟可以和PCI时钟异步,本地总线速率高达50MHz;
- 支持可编程突发管理、可编程预取数技术和可编程中断产生;
- 3.3V/5V兼容。

### 1 PCI9054的工作模式

PCI9054有M、C、J三种工作模式,可通过模式选择控制引脚MODE[1:0]进行控制。当MODE[1:0]="11"时,PCI9054工作在M模式;当MODE[1:0]="00"时,PCI9054工作在C模式;当MODE[1:0]="01"时,PCI9054工作在J模式;当MODE[1:0]="10"时,为保留工作状态。

M模式可与Motorola MPC850或MPC860系列高性能微处理器进行无缝连接;C模式可与Intel i960系列高性能微处理器进行无缝连接;J模式地址线 and 数据线复用,应用很复杂,不过在一些特殊的应用场合,利用J模式和TI公司6000系列DSP的HPI口进行接口,其控制逻辑将比其它模式要简单得多。

事实上,C模式能够满足绝大多数的应用需求,而且C模式的本地总线操作时序最简单,逻辑控制相对容易,其开发难度相对较低。因此,如无特殊需求,建议采用C模式。

### 2 总线仲裁

在PCI9054与本地总线的接口设计中,一般需采用一片可编程逻辑器件CPLD/FPGA进行逻辑控制。在其控制逻辑中,总线仲裁逻辑是最关键、最核心的部分,直接影响计算机运行的稳定性。如果总线仲裁逻辑设计不合理,当计算机对PCI扩展板上的硬件资源进行访问时,计算机将会死机,因此PCI9054本地总线的所有控制逻辑必须服从于总线仲裁逻辑。

下面以C模式为例对PCI9054的总线仲裁逻辑进行探讨。在C模式下,PCI9054的143脚LHOLD和144脚LHOLDA是总线仲裁输入输出信号控制引脚,从公开发表的论文来看,有人将这两个引脚直接与设计电路相连进行总线仲裁逻辑设计。笔者在设计时也曾采用过这种方式,结果计算机运行很不稳定,经常莫名其妙地死机。仔细分析这种方式设计的电路会发现,该设计电路其实是利用器件的引脚传输延时配合总线仲裁电路的时序关系的。一般情况下,当环境温度、工作电压等外界因素变化时,大多数逻辑器件的引脚延时会有相应的变化,因此用器件引脚延时设计出的总线仲裁逻辑电路运行不稳定应该是预料之中的事。

利用D触发器只在触发时钟有效边沿对信号敏感的特性进行设计,提高电路运行的稳定性,是可编程逻辑器件设计中的一种常用技巧。图1是PCI9054在C模式下对外设进行单一周期写操作的时序图,图2是利用可编程逻辑器件中的D触发器设计出的总线仲裁电路。

在图1中,ADS#、BLAST#和IREADY#信号的时序配合很重要,如果配合不好,计算机同样会死机。要提高电路稳定性,其设计思想与图2中的总线仲裁逻辑电路的设计思想相似。从多次实验情况来看,无论使用哪种工作模式,在该设计思想下设计出的本地总线控制逻辑电路运行非常稳定,没有死机的情况发生。

### 热点专题

- 信心09,冬天来了,春天还会远吗?
- 低功耗技术,是鸡还是蛋?
- 华北计算机系统工程研究所(电子六所)总结表彰暨春节联欢会
- Powerwise高效能解决方案
- 2008Security China中国国际社会公共安全产品博览会
- 视频信号处理技术
- 2008嵌入式技术创新及...
- 2008飞思卡尔技术论坛
- Altera公司SOPC...
- 第十届高交会电子展
- 科技闪耀北京奥运
- ADLINK DAY—2008年量测与自动化技术国际高峰论坛
- 中国电子学会Xilinx杯开放源码硬件创新大赛
- 赛灵思公司Virtex-5系列FPGA
- 3G知识
- IPTV
- 触摸屏技术
- RoHS

### 杂志精华

- 基于CC2430的无线传感器...
- 无线传感器网络应用系统综述
- 无线传感器网络在野外测量中的...
- 基于竞争的无线传感器网络
- 用于矿井环境监测的无线传感器...
- 具有自适应通信能力的无线传感...
- 基于传感器网络技术的深孔测径...
- 基于无线传感器网络的家庭安防...
- 基于ATmega128L与C...
- 无线传感器网络中移动节点设备...

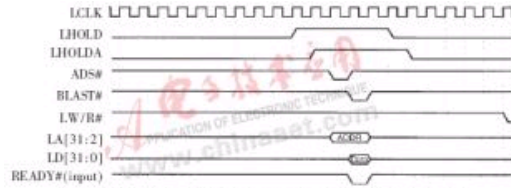


图 1 PCI9054 在 C 模式下对外设进行单一周期写操作的时序图

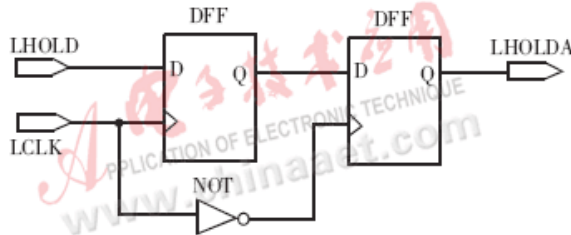


图 2 PCI9054 C 模式总线仲裁逻辑电路

### 3 存储器和I/O操作

通常PCI扩展板应该有配置空间、存储器空间和I/O空间三类资源。空间配置是必须的，根据设计需要，后两种资源可以只包含其中之一。PCI 9054有S0和S1两个配置空间，两个配置空间都可以配置成存储器空间和I/O空间，存储器空间和I/O空间的配置既有相同之处，也有很大的区别。其相同点为两者都以字节为单位进行空间配置。不同之处有以下几点：

- (1) 存储器空间支持0~4GB的空间配置和映射，而I/O空间只支持0~256字节的空间配置和映射；
- (2) 存储器空间支持8位、16位和32位总线位宽配置和操作，而I/O空间只支持32位总线位宽配置和操作；
- (3) 存储器空间支持单一周期和突发模式读写操作，而I/O空间只支持单一周期读写操作；
- (4) 在编写设备驱动程序时，存储器空间用程序指针进行访问，I/O空间则用专用的函数进行访问。

如果不清楚存储器空间和I/O空间的异同点，有可能配错相应的寄存器。当计算机重新启动时，很有可能会启动不起来。除此之外，值得注意的是：在配置存储器空间和I/O空间时，不要将两种硬件资源配置到相同的空间，导致空间重叠，使驱动程序产生误操作。

### 4 DMA和突发数据传输

在《PCI 9054-DataBook》中，每种工作模式都将DMA和突发数据传输的时序图放在一起，这并不意味着DMA和突发数据传输是等同的，这是两个不同的概念。事实上，既可利用单一周期的总线操作也可利用DMA方式进行数据传输。

DMA和突发数据传输的作用是不同的。PCI 9054中有两个DMA通道，可以独立工作，互不干扰。采用DMA方式传输数据，可以节省CPU资源；采用突发方式传输数据可以提高数据的传输率，充分发挥PCI总线数据传输率高的优点。因此，在高速大容量数据传输和处理系统中，将DMA和突发数据传输方式结合在一起是比较理想的，一方面可以充分发挥PCI总线的性能，另一方面可以将节省出的CPU资源对数据处理算法进行优化。图3是PCI 9054在C模式下的突发数据传输方式的时序图。

从图1和图3可以看出，用状态机实现该控制逻辑是比较理想的。图4是PCI 9054在C模式下采用单一周期和突发相结合的总线访问状态转换图。用该状态转换图设计出的逻辑电路既可满足单一周期总线访问的需要，又可以满足突发方式传输数据的需要，具有很大的实用价值。

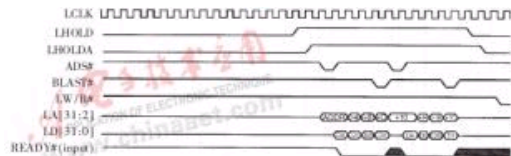


图 3 PCI9054 在 C 模式下的本地总线突发数据传输方式时序图

使用DMA和突发方式相结合进行数据传输时，驱动程序要作如下设置：

- (1) 调用驱动程序中相应的API函数，找到PC机的物理地址；
- (2) 在设备驱动程序中使能突发寄存器；
- (3) 在设备驱动程序中使能总线位宽寄存器；
- (4) 在设备驱动程序中使能相应的寄存器，指明DMA传输的方向是PCI→LOCAL还是LOCAL→PCI；
- (5) 在设备驱动程序中指明本次DMA传输需要传输的字节数。

完成上述设置后，即可在突发方式下进行DMA传输，否则DMA传输会失败。

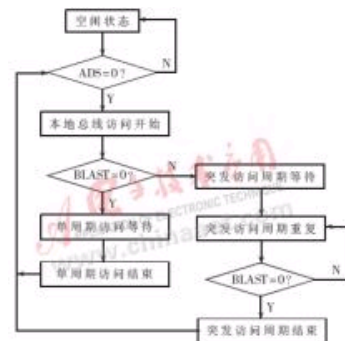


图 4 单一周期和突发相结合的总线访问状态转换图

PCI总线采用的是中断共享机制，所有的PCI扩展板在PCI插槽上共用一根信号线INTA#，通过电平触发方式响应PCI中断。每块PCI扩展板上的PCI 9054 提供的中断使能寄存器和中断状态寄存器能识别相应板上十几种类型的PCI中断<sup>[3~5]</sup>。

当PCI插槽上只有一块PCI扩展板，而系统需要使用某种PCI中断时，则在主程序中将相应的中断使能寄存器置位，当相应的中断源中断信号到来时，与主板相连的信号线INTA#置一段时间低电平后，中断状态寄存器中的相应位被置位。当这两个寄存器的相应位都有效时，计算机响应相应的PCI中断，执行中断服务子程序。在《PCI 9054-DataBook》中，INTA#信号为11个本地总线时钟周期，该时序图给不少设计人员带来了很大困惑。根据笔者的应用经验，INTA#信号在7μs左右是比较理想的，这与在Windows下PCI总线每秒钟可以响应十几万次中断的相关资料是相符的<sup>[5]</sup>。

当PCI插槽上有多块PCI扩展板需要用到中断功能时，其工作过程与一块PCI扩展板差不多。唯一不同的是，首先驱动程序要利用一系列设备识别寄存器对扩展板进行设备识别，然后利用中断使能寄存器和中断状态寄存器对中断类型进行识别，最后响应相应的中断服务子程序。

在网上经常看见一些应用PCI 9054的设计人员被以上讨论的问题所困扰，笔者在近两年从事PCI 9054芯片应用设计中，也曾被这些问题困扰过。本文从这些方面对PCI 9054芯片的应用进行了深入的探讨和总结，提出的所有技术解决方案都经过实验验证是可行的，这些内容在以往公开发表的论文中一般比较少见。本文探讨的内容对从事PCI 9054芯片应用设计的人员应该会有一些的参考价值。

#### 参考文献

- 1 陈露晨. PCI 9054性能分析及外部FIFO的扩充. 电子产品世界, 2000(11)
- 2 谭博钊, 陶然. 高速数据传输卡用PCI 9054总线控制器. 电子产品世界, 2001(10)
- 3 PCI 9054 Data Book V2.0. PLX Technology Inc. August 1999
- 4 PLX SDK Software Development Kit User's Manual Version 4.0. PLX Technology Inc, 2002
- 5 李贵山, 称金鹏. PCI局部总线及其应用. 西安: 西安电子科技大学出版社, 2003

#### 在线联系

[添加到收藏夹](#)

关于“PCI 9054芯片接口设计中若干问题的深入研究”，我有如下需求或意向：

用户名:  密码:  验证码:  5829 [欢迎注册](#)

#### 相关应用

- TMS320F206的中断技术及其实现
- TMS320C2XX开发设计中应注意的问题
- 基于Verilog的RISC MCU中断系统的设计与验证
- C6202 ROM引导装载方式的研究
- 中断在TMS320C54x系列DSP中的应用
- 基于IIS总线的嵌入式音频系统设计