

工程应用技术与实现

一种基于总线控制器的SoC功耗分析方法

郑伟,李东晓

浙江大学信息与电子工程学系, 杭州 310027

收稿日期 修回日期 网络版发布日期 2006-7-26 接受日期

摘要 总线是观测数据流行为从而进行媒体处理SoC芯片系统级功耗分析的较佳研究对象。Wishbone总线具有简单、灵活、免费等特点,是具有较强的竞争力的系统芯片总线(SoC Bus)标准之一。在媒体处理SoC芯片的Wishbone总线控制器中增加具有功耗分析功能的专用模块,可以在不改变正常集成电路EDA设计流程的情况下较好地完成系统层次的功耗分析任务,在低功耗设计中具有广泛的应用前景。

关键词 [系统芯片总线](#) [功耗分析](#) [电子设计自动化](#) [Wishbone总线](#)

分类号 [TP336](#)

DOI:

通讯作者:

作者个人主页: [郑伟](#); [李东晓](#)

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF \(139KB\)](#)
- ▶ [\[HTML全文\]\(0KB\)](#)
- ▶ [参考文献\[PDF\]](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [引用本文](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中 包含“系统芯片总线”的相关文章](#)
- ▶ 本文作者相关文章
 - [郑伟](#)
 - [李东晓](#)