

论文

占空比优化的1.25GHz CMOS锁相环

马卓, 郭阳, 谢伦国

(国防科学技术大学计算机学院, 湖南 长沙 410073)

摘要:

半速率高速串行接口同时使用时钟的正/负边沿作为发送数据的定时基准, 数据码元的定时长度直接由时钟的占空比决定, 因此锁相环的输出时钟的占空比显得尤为重要。本文基于0.13 μ m CMOS工艺设计实现了一款1.25GHz的高频锁相环。该锁相环基于环形振荡器结构, 使用互补相位调节技术实现输出时钟的占空比平衡。流片测试结果表明, 该锁相环能够稳定输出1.25GHz的高频时钟, 实测输出时钟的占空比能够稳定在49.86%~52.89%的范围内, 平均占空比为51.21%。

关键词: 半速率 高速串行接口 锁相环 占空比平衡 互补相位调节

1.25GHz CMOS PLL With the Duty Optimizing Technique

MA Zhuo, GUO Yang, XIE Lun guo

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

Abstract:

In high speed SerDes with the half rate structure, the duty of the clock is seriously important, which is the decisive factor for unit intervals. In this article, a 1.25GHz ring oscillator PLL is established on the 0.13 μ m CMOS process, in which a duty balance circuit is integrated. The result of testing shows the stable output clock is 1.25GHz, and the duty is within the range of 49.86~51.21%, and the mean duty is 51.21%.

Keywords: half rate; SerDes; PLL; duty balance; coupling phase adjustment

收稿日期 2009-12-21 修回日期 2010-03-25 网络版发布日期 2012-02-25

DOI:

基金项目:

通讯作者:

作者简介:

作者Email:

参考文献:

本刊中的类似文章

1. 吴宏 陈吉华 陈怒兴. 高性能锁相环中电荷泵电路研究[J]. 计算机工程与科学, 2006, 28(4): 71-73

扩展功能

本文信息

- ▶ Supporting info
- ▶ PDF(1046KB)
- ▶ [HTML全文]
- ▶ 参考文献[PDF]
- ▶ 参考文献

服务与反馈

- ▶ 把本文推荐给朋友
- ▶ 加入我的书架
- ▶ 加入引用管理器
- ▶ 引用本文
- ▶ Email Alert
- ▶ 文章反馈
- ▶ 浏览反馈信息

本文关键词相关文章

- ▶ 半速率
- ▶ 高速串行接口
- ▶ 锁相环
- ▶ 占空比平衡
- ▶ 互补相位调节

本文作者相关文章

PubMed