

工程应用技术与实现

基于对可编程逻辑块建模的FPGA通用装箱算法

倪 刚, 童家榕, 来金梅

(复旦大学张江校区专用集成电路与系统国家重点实验室, 上海 201203)

收稿日期 修回日期 网络版发布日期 2007-3-9 接受日期

摘要 装箱是FPGA工艺映射中的最后一步流程。该文提出了一种全新的对FPGA可编程逻辑块进行功能级建模的方法, 并给出了基于此建模的通用性装箱算法FDUPack。实验中应用该建模方法对几种不同类型的FPGA的逻辑块进行建模, 并使用装箱算法将大量的测试电路装箱到这些不同的逻辑块中, 经过与已有的针对某一特定结构的装箱算法比较, 该算法体现了很好的通用性。

关键词 [工艺映射](#) [装箱算法](#) [建模](#) [现场可编程门阵列](#)

分类号

DOI:

通讯作者:

作者个人主页: [倪 刚](#); [童家榕](#); [来金梅](#)

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF](#) (136KB)
- ▶ [\[HTML全文\]](#) (0KB)
- ▶ [参考文献\[PDF\]](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [引用本文](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中 包含“工艺映射”的 相关文章](#)
- ▶ 本文作者相关文章
 - [倪 刚, 童家榕, 来金梅](#)