

开发研究与设计技术

实现FPGA回读功能的可重构系统设计

周盛雨1,2, 孙辉先1, 陈晓敏1, 安军社1, 张 健1

(1. 中国科学院空间科学与应用研究中心, 北京 100080; 2. 中国科学院研究生院, 北京 100039)

收稿日期 修回日期 网络版发布日期 2007-6-15 接受日期

摘要 Xilinx Virtex系列FPGA具有配置逻辑可重构、配置数据可回读的特点, 该文设计了基于Virtex FPGA的一种可重构系统。FPGA采用SelectMAP配置方式, 在CPU和CPLD控制下实现了配置数据加载和回读的功能。给出了系统配置FPGA和回读其配置数据的流程及相应的波形图。

关键词:

关键词 [可重构](#) [FPGA](#) [SelectMAP](#) [CPLD](#) [回读](#) [Virtex](#)

分类号 [TP303](#)

DOI:

通讯作者:

作者个人主页: 周盛雨1;2;孙辉先1;陈晓敏1;安军社1;张 健1

扩展功能

本文信息

▶ [Supporting info](#)

▶ [PDF](#)(99KB)

▶ [\[HTML全文\]](#)(0KB)

▶ [参考文献\[PDF\]](#)

▶ [参考文献](#)

服务与反馈

▶ [把本文推荐给朋友](#)

▶ [加入我的书架](#)

▶ [加入引用管理器](#)

▶ [引用本文](#)

▶ [Email Alert](#)

▶ [文章反馈](#)

▶ [浏览反馈信息](#)

相关信息

▶ [本刊中 包含“可重构”的 相关文章](#)

▶ 本文作者相关文章

· [周盛雨1,2, 孙辉先1, 陈晓敏1, 安军社1, 张 健1](#)