

网络、通信、安全

## 基于FPGA的IPv6精简协议栈的设计

许川佩, 郝 锐

桂林电子科技大学 电子工程学院, 广西 桂林 541004

收稿日期 2007-11-19 修回日期 2008-2-25 网络版发布日期 2008-9-27 接受日期

**摘要** 研究了IPv6精简协议栈的FPGA硬件实现, 分析了各个模块的功能。编写了硬件结构的Verilog HDL模型, 进行了仿真和逻辑综合, 并成功用ALTERA的FGPA 对协议栈进行了验证。仿真和实验结果证明, 所设计的硬件达到了设计要求, 使小设备接入网络更加方便快捷。

**关键词** [现场可编程门阵列](#) [IPv6](#) [协议栈](#) [Verilog HDL](#)

分类号

## Design of reduced IPv6 stack based on FPGA

XU Chuan-pei, HAO Rui

School of Electronic Engineering, Guilin University of Electronic Technology, Guilin, Guangxi 541004, China

### Abstract

This paper develops a reduced IPv6 Stack based on FPGA, and analyzes the function of each module. The Verilog HDL model of the architecture is coded, simulated and synthesized. Then the design is verified by ALTERA FPGA. The results of the simulation and experiments indicate that the hardware implementation meets the design requirement, and it is more efficient for the small devices to connect to Internet.

**Key words** [Field Programmable Gate Array \(FPGA\)](#) [IPv6](#) [stack](#) [Verilog HDL](#)

DOI: 10.3778/j.issn.1002-8331.2008.28.038

通讯作者 [许川佩 hao310rui@163.com](mailto:hao310rui@163.com)

### 扩展功能

#### 本文信息

▶ [Supporting info](#)

▶ [PDF\(651KB\)](#)

▶ [\[HTML全文\]\(0KB\)](#)

▶ [参考文献](#)

#### 服务与反馈

▶ [把本文推荐给朋友](#)

▶ [加入我的书架](#)

▶ [加入引用管理器](#)

▶ [复制索引](#)

▶ [Email Alert](#)

▶ [文章反馈](#)

▶ [浏览反馈信息](#)

#### 相关信息

▶ [本刊中 包含“现场可编程门阵列”的相关文章](#)

▶ 本文作者相关文章

· [许川佩](#)

· [郝 锐](#)