

研发、设计、测试

MELP解码器系统的FPGA实现

韩琼磊, 郭立, 杨帆, 高路

中国科学技术大学 电子科学与技术系, 合肥 230027

收稿日期 2008-9-17 修回日期 2008-11-17 网络版发布日期 2009-3-18 接受日期

摘要 低比特率混合激励线性预测 (MELP) 算法的复杂性使得MELP声码器系统的实时实现比较困难。根据MELP声码器的算法, 提出了一种新的基于现场可编程门阵列 (FPGA) 实现整个解码器系统的单片方案, 并在FPGA平台上完成了对整个系统的验证。该系统主要包括NiosII微处理器和自定义IP模块, 通过自定义IP弥补了NiosII处理器运算能力的不足。实验结果表明, 实现了MELP解码系统的实时处理。

关键词 [混合激励线性预测](#) [实时](#) [流水线](#) [IP模块](#)

分类号

Implementation of MELP decoder on FPGA

HAN Qiong-lei, GUO Li, YANG Fan, GAO Lu

Department of Electronic Science and Technology, USTC, Hefei 230027, China

Abstract

MELP algorithm with low bit-rate is complexity, which makes implementation of MELP coder/decoder in real time very difficult. Based on the algorithm of MELP decoder, presents a SOC scheme for implementing a MELP decoder system on a FPGA chip, and the system has been verified on FPGA. The important parts of the system are NiosII processor and custom IP cores. The custom IP cores remedies the weak capability of NiosII processor. Experiments shows that MELP decoder is achievable in real time.

Key words [Mixed Excited Linear Predication \(MELP\)](#) [real time](#) [pipeline](#) [IP core](#)

DOI: 10.3778/j.issn.1002-8331.2009.09.021

通讯作者 韩琼磊 hq1007@mail.ustc.edu.cn

扩展功能

本文信息

▶ [Supporting info](#)

▶ [PDF\(551KB\)](#)

▶ [\[HTML全文\]\(0KB\)](#)

▶ [参考文献](#)

服务与反馈

▶ [把本文推荐给朋友](#)

▶ [加入我的书架](#)

▶ [加入引用管理器](#)

▶ [复制索引](#)

▶ [Email Alert](#)

▶ [文章反馈](#)

▶ [浏览反馈信息](#)

相关信息

▶ [本刊中 包含“混合激励线性预测”的相关文章](#)

▶ [本文作者相关文章](#)

- [韩琼磊](#)
- [郭立](#)
- [杨帆](#)
- [高路](#)