



云南大学学报(自然科学版) » 2010, Vol. 32 » Issue (5): 526-531 DOI:

计算机、信息与电子科学

[最新目录](#) | [下期目录](#) | [过刊浏览](#) | [高级检索](#)

[◀◀ Previous Articles](#) | [Next Articles ▶▶](#)

基于FPGA的十进制浮点乘法器的设计与研究

唐佐侠, 杨军, 董寅

云南大学 信息学院, 云南 昆明 650091

A decimal floating-point multiplier based on FPGA and its research

TANG Zuo-xia, YANG Jun, DONG Yin

College of Information, Yunnan University, Kunming 650091, China

- 摘要
- 参考文献
- 相关文章

全文: [PDF \(1757 KB\)](#) [HTML \(1 KB\)](#) 输出: [BibTeX](#) | [EndNote \(RIS\)](#) [背景资料](#)

摘要 以IEEE-754r这个新的标准为基础给出了一个基于FPGA的十进制浮点乘法器模型.由于新标准的修订和十进制浮点乘法运算的应用广泛性,本模型设计在医疗和金融行业,以及图像处理技术方面具有一定的实际意义.模型采用新型BCD编码及Signed-Digit radix-4算法进行十进制浮点数分解运算.与二进制浮点运算相比,具有运算范围更宽、计算精度更高、应用范围更广等特点.

关键词: 十进制浮点乘法器 Signed-Digit radix-4 余三码 BCD编码 DPD编码

Abstract: A double-precision decimal floating-point multiplier unit based on FPGA technology is given in this paper. It is a new revision according the IEEE-754r standard. It uses Signed-Digit radix-4 algorithm and new BCD coding techniques for the decomposition of decimal floating-point computing. Compared with the common single-precision binary floating-point unit, it is wider computing, higher accuracy and wider application. The design takes advantage of the revision of new standard, and decimal floating-point multiplier unit has broad applicability. All these make this model have some practical value in medical, financial and image processing.

Key words:

收稿日期: 2010-03-25;

通讯作者: 杨军(1963-),男,云南人,副教授,主要从事计算机系统结构、EDA技术方面的研究.

引用本文:

唐佐侠,杨军,董寅. 基于FPGA的十进制浮点乘法器的设计与研究[J]. 云南大学学报(自然科学版), 2010, 32(5): 526-531 .

\$author.xingMing_EN,\$author.xingMing_EN,\$author.xingMing_EN. A decimal floating-point multiplier based on FPGA and its research[J]., 2010, 32(5): 526-531 .

服务

- ▶ 把本文推荐给朋友
- ▶ 加入我的书架
- ▶ 加入引用管理器
- ▶ E-mail Alert
- ▶ RSS

作者相关文章

- ▶ 唐佐侠
- ▶ 杨军
- ▶ 董寅

没有本文参考文献

没有找到本文相关文献

版权所有 © 《云南大学学报(自然科学版)》编辑部

编辑出版：云南大学学报编辑部（昆明市翠湖北路2号，650091）

电话：0871-5033829(传真) 5031498 5031662 E-mail: yndxxb@ynu.edu.cn yndxxb@163.com