

工程应用技术与实现

基于FPGA内嵌入式处理器的二维脉冲压缩

谢宜壮, 龙腾

(北京理工大学雷达技术研究所, 北京 100081)

收稿日期 修回日期 网络版发布日期 接受日期

摘要 设计一个利用现场可编程门阵列(FPGA)内部MicroBlaze嵌入式处理器为核心控制单元的二维脉冲压缩处理系统。根据FPGA内部不同的资源配置情况, 提出2种脉冲压缩处理模块的实现结构, 利用FPGA实现DDR SDRAM控制器, 采用矩阵分块线性映射的方法实现高效的数据矩阵转置处理。通过模拟一个简单的合成孔径雷达成像处理过程, 证明该系统的有效性。

关键词 [二维脉冲压缩](#); [现场可编程门阵列](#); [嵌入式处理器](#); [DDR SDRAM控制器](#); [矩阵转置](#)

分类号 [N945](#)

DOI:

通讯作者:

作者个人主页: [谢宜壮; 龙腾](#)

扩展功能

本文信息

▶ [Supporting info](#)

▶ [PDF](#) (263KB)

▶ [\[HTML全文\]](#) (0KB)

▶ [参考文献\[PDF\]](#)

▶ [参考文献](#)

服务与反馈

▶ [把本文推荐给朋友](#)

▶ [加入我的书架](#)

▶ [加入引用管理器](#)

▶ [引用本文](#)

▶ [Email Alert](#)

▶ [文章反馈](#)

▶ [浏览反馈信息](#)

相关信息

▶ [本刊中 包含“二维脉冲压缩; 现场可编程门阵列; 嵌入式处理器; DDR SDRAM控制器; 矩阵转置”的相关文章](#)

▶ [本文作者相关文章](#)