

一个面积优化的高速RS(255, 239)译码器VLSI设计

张静波¹, 戴显英², 张鹤鸣², 胡辉勇¹, 贾大中¹

(1. 西安电子科技大学 微电子学院, 陕西 西安 710071; 2. 西安电子科技大学 宽禁带半导体材料与器件教育部重点实验室, 陕西 西安 710071)

收稿日期 修回日期 网络版发布日期 2008-1-19 接受日期

摘要

基于改进的Euclid算法, 提出了一种仅含两个折叠计算单元的结构, 并用三级流水线结构整体实现以提高吞吐率. 将常规有限域乘法器转化到复合域中实现, 降低了芯片的复杂性和关键路径延迟. 以RS(255, 239)为例, 基于TSMC 0.18标准单元库的译码器电路规模约为20614门, 在相同纠错能力下, 该结构相比较于传统的并行脉动阵列结构, 其硬件复杂度可减少60%左右.

关键词 [RS码](#) [流水线结构](#) [Euclid 算法](#) [Verilog HDL](#) [超大规模集成电路](#)

分类号 [TN47](#)

Area-efficient high-speed VLSI design of the RS(255,239) decoder

ZHANG Jing-bo¹, DAI Xian-ying², ZHANG He-ming², HU Hui-yong¹, JIA Da-zhong¹

(1. School of Microelectronic, Xidian Univ., Xi'an 710071, China; 2. Ministry of Education Key Lab. of Wide Band-Gap Semiconductor Materials and Devices, Xidian Univ., Xi'an 710071, China)

Abstract

Based on the modified Euclid's algorithm, a VLSI architecture is proposed, which only uses two folding calculating cells and three-stage pipeline processing architectures to improve its throughput. Also, a way is introduced to reduce the complexity and critical path delay of general finite multipliers by the transferring of field from the time domain to the composite domain. Based on the TSMC 0.18 standard cell library, the proposed RS decoder consists of about 20 614 gates for widely used RS(255,239) code, which reduces complexity by about 60% compared with an existing architecture with systolic arrays when having the same error correction ability.

Key words [Reed-Solomon codes](#) [pipeline architecture](#) [Euclid algorithm](#) [verilog HDL](#) [VLSI](#)

DOI:

通讯作者 张静波 zhangjingbo@neusoft.com

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF\(715KB\)](#)
- ▶ [\[HTML全文\]\(0KB\)](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [复制索引](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中 包含“RS码”的 相关文章](#)
- ▶ [本文作者相关文章](#)

- [张静波](#)
- [戴显英](#)
- [张鹤鸣](#)
- [胡辉勇](#)
- [贾大中](#)