

产品、研发、测试

基于CAVLD快速算法的硬件实现

何俊, 田应洪, 周杨, 洪志良

复旦大学 专用集成电路与系统国家实验室, 上海 201203

收稿日期 修回日期 网络版发布日期 2007-9-20 接受日期

摘要 在H.264的解码过程中, 由于CAVLD部分采用的是变长编码, 不能通过并行机制来提高速度, 限制了整个系统的性能。针对CAVLD的硬件实现, 提出一种新的算法, 该算法采用地址查找法来提高解码速度, 同时通过采用流水线结构, 加快解码速度, 采用计算方法代替查找表, 减少ROM资源。FPGA综合结果表明最高速度支持到106 MHz, 通过与文献[5]比较, 解码速度提高12%~48%。

关键词 [CAVLD](#) [快速解码](#) [地址查找](#) [H.264/AVC](#)

分类号

CAVLD architecture basing on fast algorithm

HE Jun, TIAN Ying-hong, ZHOU Yang, HONG Zhi-Liang

ASIC & System State Key Laboratory, Fudan University, Shanghai 201203, China

Abstract

The article proposes a fast decode method based on CAVLD, and presents a VLSI architecture design of the CAVLD. The experimental results show the proposed algorithm improves the performance of the CAVLD.

Key words [CAVLD](#) [fast decode](#) [lookup address](#) [H.264/AVC](#)

DOI:

通讯作者 何俊 [E-mail: 042052044@fudan.edu.cn](mailto:042052044@fudan.edu.cn)

扩展功能

本文信息

- ▶ [Supporting info](#)
- ▶ [PDF\(1380KB\)](#)
- ▶ [\[HTML全文\]\(0KB\)](#)
- ▶ [参考文献](#)

服务与反馈

- ▶ [把本文推荐给朋友](#)
- ▶ [加入我的书架](#)
- ▶ [加入引用管理器](#)
- ▶ [复制索引](#)
- ▶ [Email Alert](#)
- ▶ [文章反馈](#)
- ▶ [浏览反馈信息](#)

相关信息

- ▶ [本刊中包含“CAVLD”的相关文章](#)
- ▶ [本文作者相关文章](#)

- [何俊](#)
- [田应洪](#)
- [周杨](#)
- [洪志良](#)