

研发、设计、测试

一种融合FPGA和ISS技术的软硬件协同验证方法

王培东¹, 李锋伟¹, 杨俊成²

1.哈尔滨理工大学 计算机科学与技术学院, 哈尔滨 150080

2.长春工业大学 计算机科学与技术学院, 长春 130012

收稿日期 2008-9-8 修回日期 2008-12-11 网络版发布日期 2009-11-6 接受日期

摘要 建立了一种基于硬件加速器FPGA 和指令集模拟器ISS对嵌入式系统功能进行软硬件协同验证的方法。针对此方法的实现, 分析了协同验证过程中软硬件交互技术, 并给出总线功能模型BFM结构及其实现方法。经实例验证分析表明, 基于FPGA和ISS的协同验证方法, 在对嵌入式应用系统验证中与其他几种常用方法比较具有较明显的优势。

关键词 [软硬件协同验证](#) [现场可编程门阵列](#) [指令集模拟器](#) [总线功能模型](#)

分类号 [TP302.1](#)

Hardware/Software co-verification solution integrated FPGA and ISS

WANG Pei-dong¹, LI Feng-wei¹, YANG Jun-cheng²

1.College of Computer Science, Harbin University of Science and Technology, Harbin 150080, China

2.College of Computer Science and Engineering, Changchun University of Technology, Changchun 130012, China

Abstract

This paper establishes a hardware-software co-verification solution for embedded systems, which is based on fast prototyping FPGA and Instruction Set Simulator (ISS). For this method of achieving, analysis of the co-verification process of interactive software and hardware technology, and gives Bus Functional Model (BFM) structure and method. As an example of that the co-verification solution based on FPGA and ISS takes a clear advantage compared with several other commonly used verification system for embedded applications.

Key words [Hardware/Software co-verification](#) [Field Programmable Gate Array \(FPGA\)](#) [Instruction Set Simulator \(ISS\)](#) [Bus Functional Model \(BFM\)](#)

DOI: 10.3778/j.issn.1002-8331.2009.30.022

通讯作者 王培东 hx_fwlee@yahoo.com.cn

扩展功能

本文信息

▶ [Supporting info](#)

▶ [PDF\(599KB\)](#)

▶ [\[HTML全文\]\(0KB\)](#)

▶ [参考文献](#)

服务与反馈

▶ [把本文推荐给朋友](#)

▶ [加入我的书架](#)

▶ [加入引用管理器](#)

▶ [复制索引](#)

▶ [Email Alert](#)

▶ [文章反馈](#)

▶ [浏览反馈信息](#)

相关信息

▶ 本刊中 包含“[软硬件协同验证](#)”的 [相关文章](#)

▶ 本文作者相关文章

· [王培东](#)

· [李锋伟](#)

· [杨俊成](#)