



袁瑞佳,白宝明.基于FPGA的部分并行QC-LDPC译码器高效存储方法[J].通信学报,2012,(11):165~170

## 基于FPGA的部分并行QC-LDPC译码器高效存储

DOI:

中文关键词:

英文关键词:

基金项目:

作者

单位

[袁瑞佳](#)

[白宝明](#)

摘要点击次数: **612**

全文下载次数: **321**

中文摘要:

针对部分并行结构的准循环低密度校验(QC-LDPC)码译码器,提出了一种将译码准码字存储在信道信息和外信息存储块中的高效译码字,能够减少译码器实验所需的存储资源数量,并且有效降低了译码电路的布线复杂度。在Xilinx XC2V6 000-5ff1 152 FPGA上的实验能够在降低系统的BRAM资源需求量的同时有效地提高系统的运行频率和译码吞吐量。

英文摘要:

[查看全文](#) [查看/发表评论](#) [下载PDF阅读器](#)

关闭