

用FPGA实现RS编码器

吴玉成, 杨士中

(重庆大学通信工程学院, 重庆 400044)

摘 要: 介绍了数字系统自上而下的设计思想以及FPGA和VHDL的基本特点, 并依据RS编码器原理, 按照自上而下的思想, 利用VHDL在FPGA芯片上实现了RS编码器。

关键词: FPGA; VHDL; RS码; 编码器

中图分类号: TN911.22 文献标识码: A

The Design of RS Encoder Based on FPGA

WU Yu-cheng, YANG Shi-zhong

(College of Communication Engineering, Chongqing University, Chongqing 400044, China)

Abstract: This paper introduces the idea of Top-Down principle for digital system design, FPGA and VHDL. The design of RS encoder using FPGA by VHDL under the encoding theory of RS codes is presented in this paper.

Key words: FPGA; VHDL; RS codes; encoder

0 引言

随着电子技术的发展, 当前数字系统的设计正朝着速度快、容量大、体积小、重量轻的方向发展, 传统的自下而上的设计方法已大大落后于当今技术的发展。目前数字系统的设计可直接面向用户需求, 根据系统的行为和功能要求, 自上而下地逐层完成相应的描述、综合、优化、仿真与验证, 直到生成器件^[1]。

RS码是里德-索洛蒙码的简称, 它是一类非二进制BCH码, 特别适合于纠正突发错误。RS码在深空通信、数字卫星电视等场合得到了大量的应用^[2]。由于整机体积与成本的限制, 可能要求在一块芯片中完成信源编码、信道编码以及其它信号处理, 这就要求我们设计针对具体应用的RS编码器。因此自

己动手设计一个RS编码器对于降低产品成本、减小设备体积以及满足具体需要是很有意义的。

1 FPGA与VHDL

FPGA(现场可编程门阵列)是80年代中期出现的一类新型可编程器件^[1]。它具有类似于半定制门阵列的通用结构, 即由逻辑功能块排列阵列组成, 并由可编程的互连资源连接这些逻辑功能块来实现所需的设计, 由用户现场编程完成逻辑块之间的互连, 具有集成度高、通用性好、设计灵活、编程方便、产品上市快等优点。

ALTERA公司的灵活逻辑单元矩阵(FLEX)系列器件是一种具有高集成度及丰富的寄存器资源的FPGA。它采用快速、可预测连线延时的连续分布线结构。FLEX10K是ALTERA公司1995年推出

· 基金项目: 本文受重庆大学通信工程学院学科建设基金资助。

作者简介: 吴玉成(1971-), 男, 河南人, 副研究员, 博士后, 主要从事扩频通信、纠错编码、电子设计、自动化等; 杨士中(1937-), 男, 中国工程院院士, 国家级有突出贡献专家, 博导, 重庆大学通信与测控研究所所长。

的一个新的产品系列, 不仅在芯片上集成了 10 万个门, 还首次集成了嵌入式存储器块, 可为用户提供多达 24KB 的片内 RAM, 以满足存储器密集型应用的需要^[2]。

FLEX10K 器件的设计由 ALTERA 的 MAX-PLUSII 开发系统支持。MAX+PLUSII 通过一个单一的集成设计环境, 提供电路图、文本和波形设计入口; 编译和逻辑综合; 满仿真和最坏情况时序分析; 器件配置。器件配置可将配置数据存储在 ALTERA 公司串行 EPROM 中。系统上电时, 配置自动进行。一个已配置的 FLEX10K 器件可在电路中被重新配置, 要求的配置时间小于 200 ms。

VHDL(超高速集成电路硬件描述语言)是一种数字系统设计和描述的标准语言, 已成为完成 FPGA 设计的一种有效手段^[1]。1987 年 12 月, VHDL 被正式确定为 IEEE-1076 标准。VHDL 具有宽范围的描述能力, 既可描述具体的逻辑门, 也可进行系统级的行为描述。这样 VHDL 就将设计人员的工作重心提高到了系统功能的实现和调试, 而花较少的精力于物理实现。同时, VHDL 与工艺独立, 方便了工艺转换。现在, VHDL 被视为数字电路设计的新方法, 与高层设计相提并论。

2 RS 码编码原理

设一纠 t 个符号错误的 (n, k) RS 码的生成多项式为 $g(x) = \prod_{j=1}^{2t} (x + a^j) = \sum_{i=0}^{2t} g_i x^i$, a 是伽罗华域 $GF(2^m)$ 的生成元。将信息段可以看成信息码多项式 $m(x) = m_{k-1}x^{k-1} + m_{k-2}x^{k-2} + \dots + m_1x + m_0$ 。对于系统码的码字, 码字多项式的第 $n-1$ 次至第 $n-k$ 次的系数是信息位, 其余的是校验位:

$$C(x) = m_{k-1}x^{n-1} + \dots + m_0x^{n-k} + r_{n-k-1}x^{n-k-1} + \dots + r_0 = m(x)x^{n-k} + r(x) \equiv 0, \text{ mod } g(x)$$

在二进制情况下, 有: $r(x) \equiv m(x)x^{n-k} \text{ mod } g(x)$ 。

因此, 系统 RS 码的编码器就是信息码多项式 $m(x)$ 乘 x^{n-k} , 再用 $g(x)$ 求余式 $r(x)$ 的电路。

图 1 是 (n, k) RS 码的 $n-k$ 级除法编码电路。图中, 所有的数据通道都是 m 比特宽。

编码过程如下:

(1) $n-k$ 级移位寄存器初始状态全为 0, 门 1 闭合、门 2 断开。信息组以 $(m_{k-1}, \dots, m_1, m_0)$ 的次序送入电路。信息组一方面经或门输出, 一方面送入 $g(x)$ 的除法电路右端, 这相当于完成 $x^{n-k}m(x)$ 的乘法运算。

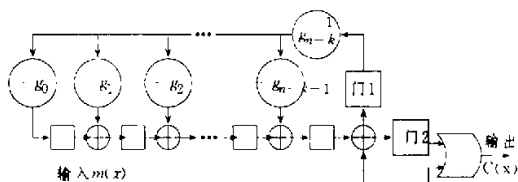


图 1 RS 码 $n-k$ 级除法编码器

(2) k 次移位后, 信息组全部通过或门输出, 它就是系统码字的前 k 位信息元, 并且它也全部进入 $g(x)$ 的除法电路, 完成除法运算。此时在移位寄存器中的存数就是余式 $r(x)$ 的系数, 也就是码字的校验元 $(c_{n-k-1}, \dots, c_1, c_0) = (r_{n-k-1}, \dots, r_1, r_0)$ 。

(3) 门 1 断开、门 2 闭合, 再经 $n-k$ 次移位后, 移位寄存器中的校验元 $(c_{n-k-1}, \dots, c_1, c_0)$ 跟在信息组的后面输出, 形成一个码字

$$C = (c_{n-1} = m_{k-1}, \dots, c_{n-k+1} = m_1, c_{n-k} = m_0, c_{n-k-1}, \dots, c_1, c_0)$$

(4) 门 1 闭合、门 2 断开, 送入第二组信息组, 重复上述过程。

3 设计 RS 码编码器

按照自上而下的设计思想, 首先应明确系统的功能要求并确定其总体结构, 对 RS 编码器我们采用图 1 的结构模型; 其次分析 RS 编码器中所含有的功能模块及各模块之间的连接与控制逻辑; 然后设计各功能模块并将一些通用的功能用函数的方式实现以供多次调用; 最后构成总体电路并完成器件设计。设计中, 我们用 ALTERA 的 FPGA 来实现 RS 编码器, 采用集成开发环境 MAX-PLUS II 完成 RS 编码器设计、仿真及编程。

(1) RS 编码器的结构

采用图 1 的 $n-k$ 级除法编码器结构。可以看出, 编码器中包括 $n-k$ 个 m 比特宽的移位寄存器, $n-k$ 个 m 比特宽的异或门构成的加法器, $n-k$ 个 $GF(2^m)$ 域乘法器, 2 个开关电路门 1、门 2, 一个 m

比特宽的或门。

(2) RS 编码器的输入输出信号

m 比特宽并行输入数据: din;

m 比特宽并行输出数据: dout;

一个开关控制信号: switch;

一个时钟信号: clk_encode。

(3) 各功能模块的设计

设计中,我们用 VHDL 语言完成各功能模块的设计。实现 GF(2^m)域乘法器可以用查表的方式完成,也可以设计一个通用的乘法电路。我们采用的是后一种方法。并行移位寄存器在时钟信号 clk_encode 的控制下移位。门 1、门 2 由开关控制信号 switch 控制断开与闭合。

在设计 GF(2^m)域乘法器时,须根据 GF(2^m)的本原多项式及码的生成多项式确定 m 位总线相乘生成的 $2m$ 位二进制数据每一位的权值,并将第 $m+1$ 位到 $2m$ 位的数值与对应权值相乘后与低 m 位数据累积相加(对二进制为异或运算)。

(4) 整体连接

功能模块经编译后生成子电路,再用原理图输入的方式按图 1 构成整体的电路。

4 设计仿真

4.1 (7,3)RS 码

GF(2⁷)域的本原多项式为 $p(x) = x^3 + x + 1$,各元素为 {0(000), 1(001), α (010), α^2 (100), α^3 (011), α^4 (110), α^5 (111), α^6 (101)}。(7,3)RS 码的生成多项式为 $g(x) = x^4 + \alpha^3 x^3 + x^2 + \alpha x + \alpha^3$ 。图 2 是设计的(7,3)RS 码编码器的仿真结果。可以验证,(1 0 0 α^4 1 $\alpha^4 \alpha^5$), ($\alpha^5 \alpha^3 \alpha \alpha^6 \nu \alpha^4 \alpha^2$ 1)都是(7,3)RS 码的码字。仿真结果说明设计是正确的。

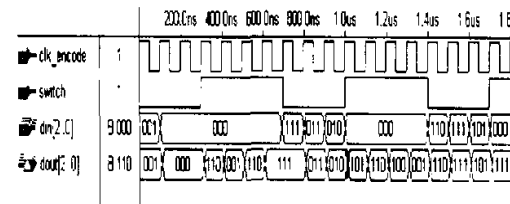


图 2 (7,3)RS 码编码器仿真结果

4.2 (255,223)RS 码编码器

在深空通信中,为了获得需要的编码增益,

CCSDS(空间数据系统咨询委员会)建议采用以(255,223)RS 码作外码,(2,1,7)卷积码作内码的级联码进行差错控制^[4]。CCSDS 建议的(255,223)RS

码的生成多项式为 $g(x) = \prod_{j=1}^{112} (x - \alpha^{11j}) = \sum_{i=0}^{223} g_i x^i$, α 是本原多项式 $p(x) = x^8 + x^7 + x^2 + x + 1$ 的根。我们按照 CCSDS 建议的要求用可编程逻辑器件设计了(255,223)RS 码编码器。设计编码器的(部分)仿真结果如图 3 所示。

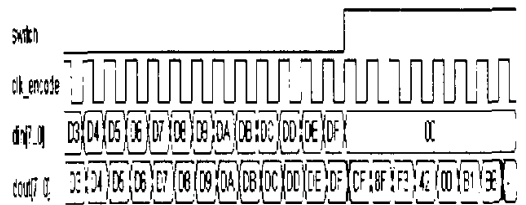


图 3 (255,223)RS 码编码器仿真结果

用可编程逻辑器件设计 RS 码编码器可以实现较小的编码延时。例如,我们所设计的(255,223)RS 码编码器采用 ALTERA 公司的 FLEX10K10LC84-3 芯片,其编码延时只有 10 ns 左右。该编码器使用了芯片中 576 个逻辑单元中的 433 个。

VHDL 的宽范围描述能力和 FPGA 的强大综合特性使对数字系统进行自上而下的设计成为可能。由于采用了自上而下的设计方法,整个电路的设计和资源利用得到了优化。用 FPGA 设计 RS 编码器不仅可以满足设备的小型化以及工作可靠性的要求,用 VHDL 完成的 FPGA 设计还能够方便地实现硬件升级和数字化。

参 考 文 献

[1] 王新梅. 纠错码与差错控制[M]. 北京:人民邮电出版社,1989.

[2] 常青. 可编程专用集成电路及其应用与设计实践[M]. 北京:国防工业出版社,1998.

[3] 刘宝琴,张芳兰,田立生. ALTERA 可编程逻辑器件及其应用[M]. 北京:清华大学出版社,1995.

[4] CCSDS 101. 0-B-3. Recommendations for space data standard: Telemetry channel coding[S]. 1992.