

# 基于 CPLD 的空间面阵 CCD 相机驱动时序发生器的设计与硬件实现

冉晓强, 汶德胜, 郑培云, 王华, 梁义涛

(中国科学院西安光学精密机械研究所, 西安 710119)

**摘 要:**在分析 e2v 公司的 CCD47-20 Backthinned NIMO 型 CCD 器件驱动时序关系的基础上, 设计了可调帧频和曝光时间的空间面阵 CCD 相机驱动时序发生器及其硬件电路. 选用可编程逻辑器件作为硬件设计载体, 使用 VHDL 语言对驱动时序发生器进行了硬件描述. 针对 ALTERA 公司的 EPM9400LC84-15 对设计进行了 RTL 级仿真及配置, 完成了时序发生器的硬件电路. 硬件实验结果表明, 所研制的驱动时序发生器不仅可以满足空间 CCD 相机的驱动要求, 而且还可以调节帧频和曝光时间.

**关键词:**空间面阵 CCD 相机; 驱动时序发生器; 复杂可编程逻辑器件; 可调帧频和曝光时间; 硬件电路

中图分类号: V211

文献标识码: A

文章编号: 1004-4213(2007)02-0364-4

## 0 引言

随着航天技术的发展, 在航天器姿态高精度测量, 空间遥感和对地观测等领域, 性能优越的空间面阵 CCD 相机越来越多地得到了应用<sup>[1]</sup>. 由于空间 CCD 相机探测的一般多为比较弱、小和暗的信号, 这就要求相机具有曝光时间调节功能. 目前, 对于使用没有电子快门 CCD 芯片的空间相机多采用机械快门来控制相机的曝光时间.

e2v 公司的 CCD47-20 Backthinned/VIMO 型 CCD, 是一款没有电子快门的背照式面阵帧转移 CCD 器件. 本文在分析了该器件的工作过程和对驱动信号的要求后, 基于可编程逻辑器件 (CPLD) 技术设计了帧频和积分时间均可调的驱动时序发生器. 并且结合 ALTERA 公司的 EMP9400LC84-15 完成了硬件电路的设计.

## 1 面阵帧转移 CCD 驱动时序发生器原理

### 1.1 CCD47-20Backthinned NIMO 芯片

CCD47-20 Backthinned NIMO 是英国 e2v 公司生产的一款低噪音背照式的帧转移面阵 CCD<sup>[2]</sup>, 有双路输出和单路输出两种输出格式. 象元数为 1 024 象素  $\times$  1 024 象素, 光谱范围为 200~1 000 nm, 此 CCD 主要优点表现为: 采用背照结构, 具有很高的量子效率, 峰值量子效率超过了 90%. 具有极低的暗电流, 特别适合于暗目标的探测. 读出噪音小,

1 MHz 读出速率时, 读出噪音小于  $6e^-$ . 具有带制冷封装的产品, 大大简化了 CCD 制冷设计.

CCD47-20Backthinned NIMO 芯片由像敏区、存储区、水平移位寄存器和输出电路等部分组成, 如图 1. 此 CCD 芯片共需要 15 路驱动时钟, 它们分别是: 成像区时钟  $T\phi_1$ 、 $T\phi_2$ 、 $T\phi_3$ ; 存储区时钟  $TS\phi_1$ 、 $TS\phi_2$ 、 $TS\phi_3$ ; 读出时钟  $TR\phi_1R$ 、 $TR\phi_2R$ 、 $TR\phi_3R$ 、 $T\phi RR$  (右路),  $TR\phi_1L$ 、 $TR\phi_2L$ 、 $TR\phi_3L$ 、 $T\phi RL$  (左路); 清除电荷用时钟 DG. 这些驱动信号均由 CCD 驱动时序发生器产生.

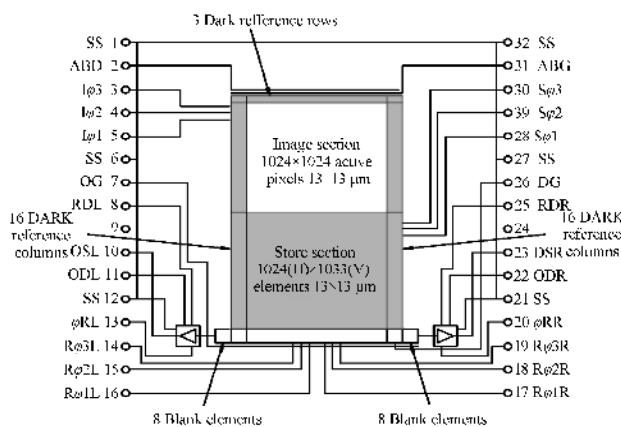


图 1 CCD47-20Backthinned NIMO 芯片结构  
Fig. 1 Structure of CCD47-20Backthinned NIMO

### 1.2 驱动时序分析

此 CCD 器件的一个工作周期分两个阶段: 感光阶段和转移阶段. 感光阶段实现感光阵列的电荷积累, 帧存储区到转移寄存器的电荷转移以及转移寄存器向输出放大器的电荷输出; 转移阶段主要完成感光阵列所积累的电荷向帧存储区的转移.

在感光阶段<sup>[3]</sup>, 感光阵列接受外界光源照射产

生电荷,帧转移控制信号  $TI\phi_1$ 、 $TI\phi_2$ 、 $TI\phi_3$  不变,感光阵列和帧存储区之间为阻断态,不会发生电荷转移现象;开始时由频率为 200 kHz 交迭时间为  $0.5 \mu\text{s}$  的三相行转移控制信号  $TS\phi_1$ 、 $TS\phi_2$ 、 $TS\phi_3$  控制,电荷逐行转移到转移寄存器,行转移时,像元转移控制信号  $R$  不变,无像元信号输出;每行信号中,各像元电荷受频率为 1 MHz 交迭时间为  $62.5 \text{ ns}$  的输出控制信号  $TR\phi_1L$ 、 $TR\phi_2L$ 、 $TR\phi_3L$ 、 $T\phi RL$ (左路)控制,逐次经过输出放大器输出,每读出一行信号,进行一次行转移。

转移阶段,频率为 200 kHz 交迭时间为  $0.5 \mu\text{s}$  的帧转移控制信号  $TI\phi_1$ 、 $TI\phi_2$ 、 $TI\phi_3$  与行转移控制信号  $TS\phi_1$ 、 $TS\phi_2$ 、 $TS\phi_3$  相同,且一直有效。像元输出控制信号  $R$  无效,不输出数据。进入感光阶段,存储区首先进行一次行转移,开始信号的输出,同时感光区像元进入电荷积累。

为保证信号读出的完整性,在时序设计时采用了冗余设计的方法:整帧转移的行数和输出的行数均设定为 1 033 行,比 CCD 器件的实际有效行数 1 024 行多出 9 行。采用左右两路同时输出格式,左右输出的象元数都是 536 个,则一行输出的象元数为 1 072 个。其中每行有 1 024 个有效象元,16 个空白象元,30 个暗参考象元,2 个隔离象元。

### 1.3 帧频和积分时间可调的设计

以上的驱动时序关系只能满足空间面阵 CCD 相机的最基本的工作条件<sup>[4]</sup>,这也是相机最简单的工作的模式。可是针对 CCD 相机探测信号的多变性,这样的工作模式显然是不能满足实际工作需要的。因此,需要为空间 CCD 相机设计帧频和积分时间均可调的驱动时序发生器。以往采用的途径有:1)增加每个行转移工作时间,即在有效信号转移结束后,增加空白列以改变每行转移周期,从而增加积分时间。2)调整工作频率。这种方法在改变积分时间的同时,帧转移阶段的时间也会发生相应的变化。3)增加感光阶段的行转移数量,使行转移数量大于 CCD 器件实际的行数 1024,当然 1024 个转移周期后之外的信号是无效的。

方法 1 和方法 2 实质上是相同的。其结果均造成每一行的转移时间过长,使得同一幅图像的第一行和最后一行输出时间间隔过大,影响信号质量。方法 3 虽能将一幅图像的有效信号以最快的速率读出,可是积分时间调节的下限是所有象元读出的时间  $T_3$ 。

$T_3 = 1\,033 \times (5.875 + 536 \times 1) \mu\text{s} = 560 \text{ ms}$  (1)  
式中  $5.875 \mu\text{s}$  为行转周期。显然当需要更短的积分时间时这种工作模式就无能为力了。

CCD 器件的驱动时序发生器帧频和积分时间调节原理见图 2,分为两个部分:1)帧频的的调节是

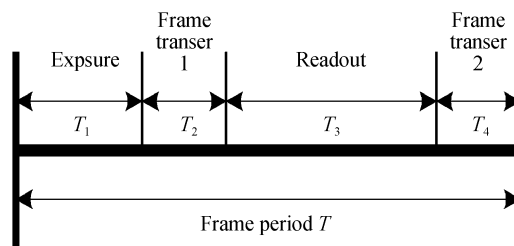


图 2 CCD 帧频和积分时间调节原理图

Fig. 2 Adjustment of the CCD frame frequency and CCD exposure time

由不同的帧周期  $T$  来实现的;2)在帧频一定的前提下,将一个帧周期分为积分、帧转 1、读出、帧转 2 四个阶段。在积分阶段 CCD 感光区的感光阵列接受外界光源照射产生电荷,并同时清除上一帧周期里在读出阶段产生的转移到帧存储区的电荷;在帧转 1 阶段将积分阶段产生的电荷完全转移到帧存储区;在读出阶段将帧存储区的信号逐行转移到输出寄存器里并将信号全部输出,感光区同时曝光;在帧转 2 阶段将读出阶段期间,感光区产生的信号转移到帧存储区,准备在下一帧周期的积分阶段将其清除。这样对曝光时间的调节,只要保证帧转时间  $T_2$ 、 $T_4$  为  $5.16 \text{ ms}$ ,其中帧转时间由公式

$$T_2 = T_4 = 0.005 \text{ ms} \times 1\,033 = 5.16 \text{ ms} \quad (2)$$

计算得出,以及读出的时间  $T_3$  就可以在一定的帧周期  $T$  范围内调整积分时间了。积分时间调节范围为  $5.165 \text{ ms}$  到  $T_1 \text{ ms}$ ,其中

$$T_1 = T - T_2 - T_3 - T_4 \quad (3)$$

因此积分时间的调节范围就扩大了很多,而且这种方案没有影响帧转和象元读出的时间,则很好的保证了图像质量。

## 2 基于 CPLD 空间面阵 CCD 驱动时序发生器的实现

### 2.1 复杂可编程逻辑器件

空间面阵 CCD 驱动时序发生器有单片机、EPROM、直接用数字电路产生三种方法,这些方法在工作频率和设计灵活性上均不能满足本系统的设计要求。

本文所用的空间 CCD 相机驱动时序发生器是用 CPLD 技术实现的<sup>[5]</sup>。用复杂可编程逻辑阵列(CPLD)实现,电路可靠,器件延迟时间短。大大减小了电路板的体积,降低了电路功耗,增加了可靠性。

### 2.2 空间面阵 CCD 驱动时序的 VHDL 描述

由于空间面阵 CCD 相机的驱动时序关系的复杂性,使用了硬件描述语言 VHDL 设计 CCD 时序。

首先定义了驱动时序的输入输出端口:6个输入端口,即时钟(*clk\_1*)、时钟清零(*Timing\_rst*)、帧频控制(*Fset0*、*Fset1*)、曝光控制(*Eset0*、*Eset1*);输出端口除了 CCD 需要的 15 路驱动信号外,再加了两路输出,分别是帧有效信号(*Fval*)和行有效信号(*Lval*)。图 3 给出了 CCD 驱动时序发生器的逻辑结构,空间面阵 CCD 驱动时序的实质是一个可变的三重循环嵌套系统,之所以说它是可变的,是由于程序的运行受控于帧频控制(*Fset0*、*Fset1*)、积分控制(*Eset0*、*Eset1*)四个端口的信号的控制。整个程序是一个多进程结构,分别是主计数器进程;帧频和积分时间细分进程;阶段进程敏感信号产生进程;积分阶段信号产生进程;帧转 1 阶段信号产生进程;读出阶段信号产生进程;帧转 2 阶段信号产生进程;各阶段信号合成一帧驱动时序信号进程。当给定某个帧频和积分时间时,计数器就计所设定的一个帧周期的时间,而帧频和积分时间细分进程就依靠计数器以及给定的帧频和曝光时间产生各阶段信号产生进程的敏感信号量。四个阶段进程在自己信号量的控制下产生相应的信号,最后将它们产生的信号合成完整的驱动信号,这也就是程序中的大循环。而各个阶段信号进程本身也是一个小循环,帧频的调节就是调节大循环执行时间,积分时间的调节就是分配四个小循环的执行时间,而且四个小循环的执行时间总和等于大循环的执行时间,即一个帧周期的时间。

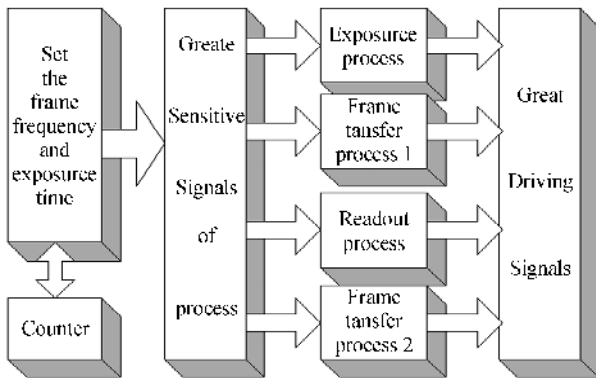


图 3 CCD 驱动时序发生器的逻辑结构  
Fig. 3 Logical architecture of CCD driving schedule generator

为此空间面阵 CCD 相机驱动时序发生器选用了 ALTERA 公司的 CPLD 器件 EPM9400LC84-15 在 MAX+plus II 10.1 环境里进行了仿真,得到满意的结果后进行了硬件设计。

### 3 空间面阵 CCD 驱动时序发生器的硬件电路的实现

#### 3.1 驱动时序发生器的硬件实现

空间面阵 CCD 相机驱动时序发生器的硬件电

路由一块大小为 140 mm×140 mm 的 PCB 来完成,采用 4 层板结构。为了保证芯片供电电压稳定,对电路板输入的 +5V 电源加了  $\pi$  型滤波网络。滤波电路主要分布在器件层,为提高抗噪性能时序信号线主要分布在焊接层。

#### 3.2 驱动时序发生器的硬件电路实验

对制作的 PCB 电路板进行了测试。测试结果见图 4,图 5。图 4 为 CCD 左路的读出时序波形,满足频率为 1 MHz 和交跌时间为 62.5 ns 的设计要求;图 5 是相机帧频为 0.5 fps、曝光时间为 300 ms 的波形。最后得到的 CCD 实际的输出结果,如图 6。

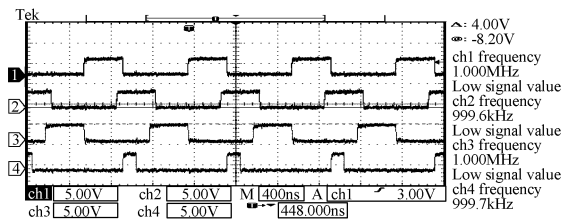


图 4 左路的读出时序  
Fig. 4 Readout schedule on left

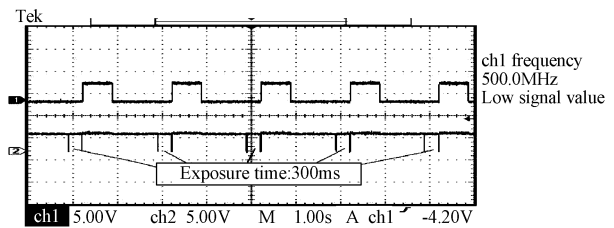


图 5 帧频曝光调节时序  
Fig. 5 Adjustable frame frequency and exposure time schedule

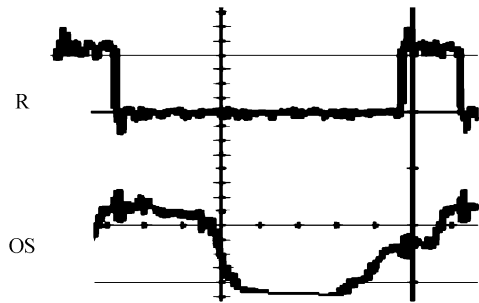


图 6 CCD 的实际输出结果  
Fig. 6 Real output results

## 4 结论

在分析 CCD47-20 Backthinned NIMO 型 CCD 器件驱动时序关系的基础上,提出了可调帧频和积分时间的空间面阵 CCD 相机驱动时序发生器的设计方案,并最终用硬件电路实现了该设计方案。而且通过实验测试验证,说明所设计的硬件电路可以为空间面阵 CCD 相机提供可靠的驱动时序,同时完成相机对帧频和积分时间的调节。为最终研制高性能的空间面阵 CCD 相机提供了必要的硬件准备。

## 参考文献

- [1] SU Xiu-qin, WANG Fei, LIU Wen. A new method for accelerating the speed of processing the data collected by CCD [J]. *Acta Photonica Sinica*, 2001, **30**(7):864-867.  
苏秀琴,王飞,刘文.一种提高 CCD 目标测量数据处理速度的新方法[J]. *光子学报*, 2001, **30**(7):864-867.
- [2] E2v Corporation. CCD47-20 Backthinned NIMO data sheet, 2005;5-9.
- [3] XU Xiu-zhen, LI Zi-tian, LI Chang-le. Design on driving generator based on cpld technology for CCD camera with optional output[J]. *Acta photonica Sinica*, 2004, **33**(12):1504-1507.  
许秀贞,李自田,李长乐.基于 CPLD 的可选输出 CCD 驱动时序设计[J]. *光子学报*, 2004, **33**(12):1504-1507.
- [4] GU Lin, HU Xiao-dong, LUO Chang-zhou. Automatic adjustment of the exposure time of linear ccd based on CPLD[J]. *Acta photonica Sinica*, 2002, **31**(12):1533-1537.  
谷林,胡晓东,罗长州.基于 CPLD 的线阵 CCD 光积分时间的自适应调节[J]. *光子学报*, 2002, **31**(12):1533-1537.
- [5] WANG Hua, WEN De-sheng, LI Xiang-guo. Development of Uncompressed Multichannel Digital Video Optical Fiber Transmission System[J]. *Acta photonica Sinica*, 2005, **34**(1):150-153.  
王华,汶德胜,李相国.无压缩多路数字视频光纤传输系统的研制[J]. *光子学报*, 2005, **34**(1):150-153.

## Designing on Driving Schedule Generator for Space Array CCD Camera and Hardware Based on CPLD

RAN Xiao-qiang, WEN De-sheng, ZHENG Pei-yun, WANG Hua, LIANG Yi-tao  
(Xi'an Institute of Optics and Precision Mechanics, Chinese Academy of Sciences, Xi'an 710119, China)

Received date: 2005-10-27

**Abstract:** Driving schedules of CCD47-20 Backthinned NIMO produced by e2v have been examined. The driving schedule generator with frame frequency and exposure time and its hardware have been designed for space array CCD camera. Complex programmable logic device (CPLD) is chosen as the hardware design platform. Driving schedule generator is described with VHDL. The RTL simulation is fulfilled and design is fitted into EPM9400LC84-15 (a kind of CPLD products that made e2v). The hardware of driving schedule generator is also finished. The experiments show that designed generator is suitable for the driving of space array CCD camera, furthermore frame frequency and exposure time of camera could be adjusted according to different applications.

**Key words:** Space array CCD camera; Driving schedule generator; Complex programmable logic device; Adjustable frame frequency and adjustable exposure time; Hardware



**RAN Xiao-qiang:** was born in 1979 in Shaanxi. He received the Bachelor degree from Department of Electronic Engineering, Northwestern Polytechnical University, in 2003. He is a Doctor degree candidate in Xi'an Institute of Optics Precision Mechanics, Chinese Academy of Sciences since 2003. His current research field is application for Space optics engineering.