

H. 263 系统中 FPGA 控制及协处理的实现^{*}

李国平, 冯穗力, 叶梧, 陈旭浩

(华南理工大学 电子与通信工程系, 广东 广州 510640)

摘 要:分析了基于 DSP 实现 H. 263 系统的构成, 比较了几种用 FPGA 实现对 DSP 数据处理的协处理方案, 并用 VHDL 代码实现了两组 16 位数据串行输入并行输出移位寄存器缓存与输出的优选方案. 最后的仿真结果证明该方案是可行的。

关键词: FPGA; DSP; 视频数据分类缓存

中图分类号: TP332.11 **文献标识码:** A **文章编号:** 1004-5694(2003)04-0047-03

Implementation of FPGA control and protocol processing to H. 263 system

LI Guo-ping, FENG Sui-li, YE Wu, CHEN Xu-hao

(Department of Electronic and Communication Engineering, South China

University of Technology, Guangzhou 510640, P. R. China)

Abstract: This article analysed a DSP-based structure of the implementation H. 263 and compared several schemes implementing data processing for DSP in FPGA, one of which had been implemented in VHDL two groups with 16 bits shift register and was regarded as an optimal scheme. The final software simulation proves that the scheme is feasible.

Key words: FPGA; DSP; video-data sorting cache

0 引言

ITU-T 于 1995 年 8 月发布了低于 64 kbit/s 的窄带通信信道的视频编码建议, 即 H. 263, 1996 年获得正式通过^[1]. 该标准可用于可视电话等极低码率的编解码器。

笔者讨论了基于 DSP 实现 H. 263 系统中 FPGA 控制及协处理功能: 协助 DSP 进行数据预处理和系统控制^[2,3], 其难点在于如何实现视频数据分类缓存。我们采用了基于两组移位寄存器移位缓存和并行输出交叉进行的方法, 解决了该技术难点。

1 方案分析

1.1 总体方案

总体方案如图 1 所示。该系统核心控制由 FPGA (Altera 公司 EPF10K50VBC356-3) 完成, 其必须实现对 SAA7114 的采样输出控制、数据写 SRAM 的写控制和 DSP 读 SRAM 的读控制。为了减轻 DSP 的负载, FPGA 需对由 SAA7114 到 SRAM 的视频数据流进行分类缓存, 即以 4:2:2 的格式把视频数据流写入 SRAM。经分析, 在 FPGA 中有以下功能模块: 视频数据分类缓存模块、与 DSP 及 A/D 器件的 I²C 总线通信模块^[4]、与 DSP 的 EMIF 及 McBSP 通信模块、读写 SRAM 的控制模块。核心是视频数据分类

收稿日期: 2002-09-28

基金项目: 广东省自然科学基金资助项目(963037)

作者简介: 李国平(1969-), 男, 四川成都人, 硕士研究生, 主要从事基于 DSP 的应用系统的研究、设计与开发; 冯穗力, 男, 教授, 硕士生导师; 叶梧, 教授, 博士生导师。

缓存模块。

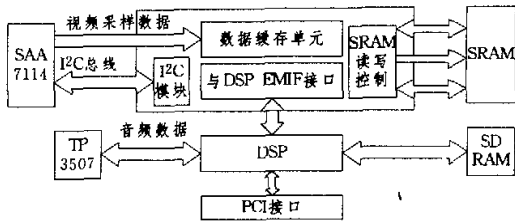


图1 系统总体结构

Fig.1 General structure of system

1.2 数据缓存方案分析

(1) 数据串行移位寄存并行输出。该方案的结构如图2所示。图2中,A为数据和时钟分配器;B和C为相同的两个串行输入并行输出移位寄存器组,其输入数据为8 bit宽(即A/D输出8 bit量化值),

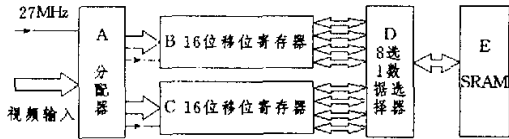


图2 数据串行输入并行输出结构

Fig.2 Structure of data serial input and parallel output

移位周期为16个时钟周期;D为8选1的数据选择器;E为数据最终的DSP的外部存储器SRAM。在27 MHz系统时钟控制下,视频采样数据在B和C之间进行输入切换,8 bits宽的视频数据串行移位输入到B或C中暂存;在一个16个27 MHz时钟周期段内,B和C只有一组寄存器实现移位寄存的功能,而另一组则将暂存的数据以32位宽度并行输出。8选1数据选择器分别输出两组32 bit的亮度信号Y,一组32 bit的蓝色差信号C_b和一组32 bit的红色差信号C_r。

(2) 数据并行锁存并行输出。该方案的结构如图3所示。

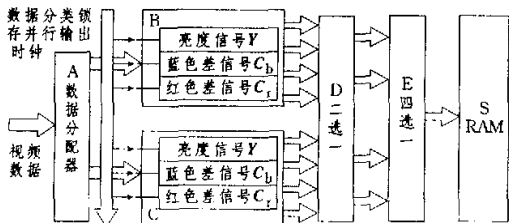


图3 数据分类锁存并行输出结构图

Fig.3 Structure of data sorting lock and parallel output

图3中,A为数据分配器,B和C为相同的两组

锁存器,其中包含三块容量不同的移位寄存器,分别实现对亮度信号Y和两个色差信号C_b与C_r的并行锁存。二选一数据选择器D对B和C的输出进行组选择;三选一数据选择器E分别选择输出亮度信号Y或者色差信号C_b或者C_r。

(3) 数据节拍脉冲锁存。该方案结构如图4所示。

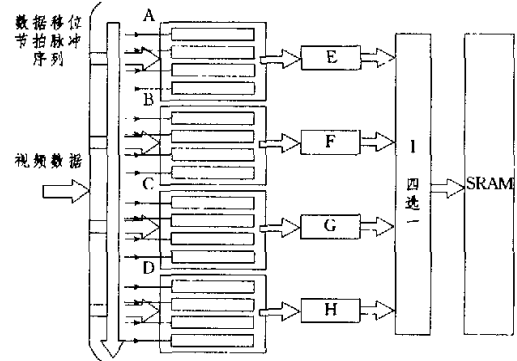


图4 数据节拍脉冲锁存结构

Fig.4 Structure of data pulse lock

在该方案中,A、B、C和D为四组相同的移位寄存器,其各自的时钟为以16个27 MHz时钟周期T为周期的节拍脉冲序列;E、F、G和H为二级缓存,以实现分时并行输出;I为四选二数据选择器,分别将Y和C_b与C_r分时写入SRAM。

1.3 数据缓存器方案比较

在上述三个数据缓存方案中,第二方案是基于视频信号,即亮度信号Y与蓝色差信号C_b与红色差信号C_r分类缓存的思想,将其写入SRAM之前先进行视频流分流并缓存,其难点在于很难保证在一个27 MHz时钟周期内进行地址切换而不会引起地址混淆。

第三个方案采用了节拍脉冲缓存的思想,即将A/D输出的8 bit量化的复合视频信号同时接入16个8 bit宽,移位周期为1的节拍脉冲锁存器,这16个锁存器分成4组,每组分别完成两个亮度信号、一个红色差信号、一个蓝色差信号的锁存。其关键在于生成清洁的缓存和移位节拍脉冲序列,相对而言,该方案占用的资源较多。

第一个方案采用了数据串行移位分类寄存并行输出的思想,数据同时接入两组轮流工作的串行输入并行输出的移位寄存器。在有效的移位输入时钟

或者并行输出使能信号的同步下,两组移位寄存器在视频数据的移位寄存和并行输出之间切换。该方案的优点在于所需的时钟简单而且很少,就是27MHz的视频数据时钟;而且占用的资源少;更不存在如方案二所存在的硬件响应速率的限制。综合上述分析,基于简单、可靠和易于实现的原则,我们采用方案一作为本项目的实现方案。

1.4 理论时序设计

我们把视频数据同时写满一个色差信号存储单元和一个亮度信号存储单元称为对SRAM的一次“写操作”,可以看到,一次写操作过程中,实际上完成了写一个SRAM的 C_b 和一个 C_r 存储单元,同时完成了写两个SRAM的 Y 信号存储单元;我们把写一个SRAM的 Y 或者 C_b 或者 C_r 单元的过程称为“写SRAM”。可以看出,在一次写操作过程中有4个连续的“写SRAM”的过程,这4个“写SRAM”的过程在时间上平均分布在一段时间里,考虑到A/D的视频输出格式和减少“写操作”过程中的地址切换可能带来的不稳定,可以先完成两次亮度信号 Y 的“写SRAM”,再分别按顺序完成蓝色差信号 C_b 和红色差信号 C_r 的各一次“写SRAM”。

2 方案的实现

2.1 实现方案总体结构

图5是系统实现方案的总体结构,其中,DSPAD为DSP读SRAM的地址信号;DX、DY分别为读写SRAM的双向数据I/O,ADX、ADY为相应的地址信号;DTODSP为DSP读SRAM的数据。

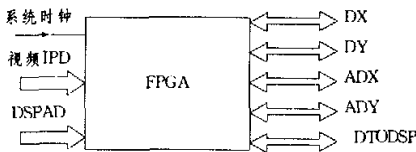


图5 实现方案总体结构

Fig.5 Structure of implementation scheme

2.2 仿真结果说明

该方案全部模块采样用VHDL语言描述^[5],图6是其中一个模块的MaxplusII软件仿真结果,其中,在交换使能信号EN变化时,实现了数据I/O端口双向隔离;实现了数据的正确读写:当EN为0时,DX作为输出,数据写入SRAM,同时,DY作为输入,从

SRAM读数据;当EN为1时,DX作为输入,从SRAM读数据,同时DY作为输出,向SRM写入数据;当DX和DY作为输入时,其从SRAM读的数据输出到DTODSP端口,即DSP读SRAM的数据。

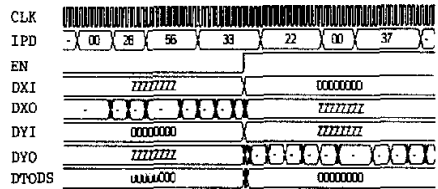


图6 部分仿真结果

Fig.6 Simulation result of implementation scheme

3 结论

FPGA在现代电子系统中的应用越来越多,其强大而灵活的逻辑控制功能和内部先进的快速通道互连,使其以超小的端端延时而在数据处理方面非常优越。本文在将FPGA用于协助DSP进行数据预处理方面做了尝试,从方案的分析到设计,较详细地分析了系统实现的总体及细节。部分仿真结果证明该方案的实现是可行的。如何利用FPGA丰富的内部资源,尤其是其嵌入式RAM,值得去进一步探索。

参考文献:

- [1] 沈兰荪,卓力,田栋. 视频编码与低速率传输[M]. 北京:电子工业出版社,2001.
- [2] 宋万杰,罗丰,吴顺君. CPLD技术及其应用[M]. 西安:西安电子科技大学出版社,1999.
- [3] 任丽香,马淑芬,李方慧. TMS320C6000系列DSPs的原理与应用[M]. 北京:电子工业出版社,2000年.
- [4] 何立民. I²C总线应用系统设计[M]. 北京:北京航空航天大学出版社,1995.
- [5] 曾繁泰,陈美金. VHDL程序设计[M]. 北京:清华大学出版社,2000.

(编辑:刘勇)