

DS1609 双端口 RAM 及其应用

王义庆, 邱松长, 倪成凤

(上海师范大学 计算机应用技术研究所, 上海 200234)

摘要: 介绍了DS1609 双端口RAM 的性能特点, 以时序分析的方法, 提出了DS1609 双端口RAM 与51 系列单片机接口的方案. 在多CPU 微处理系统中应用DS1609 双端口RAM, 由于其二端口异步操作的特点, 不仅简化了系统程序工作要求, 而且提高了系统运行的可靠性.

关键词: 双端口RAM; 异步操作; 复用总线; 数据冲突; 时序

中图分类号: TP333.8 **文献标识码:** A **文章编号:** 1000-5137(1999)04-0058-07

0 引言

在多CPU 微处理系统中, 两CPU 之间的数据传输, 通常利用并行接口进行操作, 或者利用串行通信接口作串行数据通信. 然而, 随着双端口RAM 的问世, 利用其二端口异步操作均可读写数据的特点, 作多CPU 微处理系统的CPU 间数据交换接口, 不仅简化了对各CPU 之间数据通信规约的要求, 而且大大提高了系统数据通信处理的可靠性, 提高了CPU 之间数据交换的实时响应速度.

因此, 双端口RAM 在多CPU 系统中得到了越来越广泛的应用. 本文将介绍Dallas 半导体公司的DS1609 双端口RAM 芯片及其应用方法.

1 性能特点

1.1 两端口异步操作

DS1609 是具有256 字节的双端口随机存取存储器, 它在一个存储器器件上连接了两个可异步操作的地址/数据总线, 两个端口都有各自独立的RAM 控制信号, 可以无限制地访问所有256 字节的存储单元.

1.2 地址数据复用总线结构

每个端口受控于3 个控制信号: 输出允许(\overline{OE})、写允许(\overline{WE})和端口选择(\overline{CE})信号, 由于采用了地址数据复用总线结构, 减少了芯片引脚.

收稿日期: 1999-05-07

作者简介: 王义庆(1956-), 男, 上海师范大学计算机应用技术研究所工程师.

1.3 兼容 CMOS 或 TTL 电平

低功耗 CMOS 设计, 兼容 CMOS 或 TTL 电平, 工作电压为单电源 5V, 工作电流为 18mA .

1.4 两种封装形式

器件封装形式有 24 脚双列直插和 24 脚贴面封装两种形式 .

图 1 为 DS1609 双端口 RAM 的引脚图 .

(1) AD0A ~ AD7A、AD0B ~ D7B 为地址数据复用端口 .

(2) /CEA、/CEB 为端口选择信号线 .

(3) /OEA、/OEB 为输出允许信号线 .

(4) /WEA、/WEB 为写允许信号线 .



图 1 DS1609 双端口 RAM 引脚图

2 操作时序

2.1 读周期

DS1609 双端口 RAM 读周期的工作时序如图 2 所示 .

当任一端口的读周期开始时, 首先把地址送到地址数据复用总线 AD0~ AD7, 然后端口选择控制信号 (/CE) 置为低电平, 这个控制信号使得地址在 RAM 内部锁定 .

当地址保持时间过后, 地址信号可从总线上撤销, 当 /CE 和 /OE 都为低电平有效时, AD0~ AD7 输出的数据有效 .

只要 /CE 和 /OE 信号保持低电平, 数据仍然有效 . 在 /CE 或 /OE 的上升沿后, 读周期结束 . 然后, 地址/数据总线将回复到高阻状态 . 在读周期期间, /WE 必须保持高电平 .

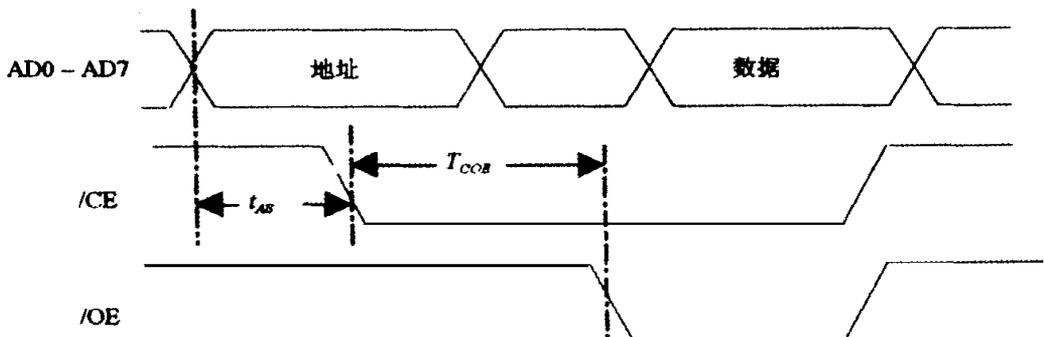


图 2 DS1609 读周期的工作时序图

2.2 写周期

DS1609 双端口 RAM 写周期的工作时序如图 3 所示 . 当任一端口的写周期开始时, 首先把地址信号送到地址数据复用总线 AD0~ AD7, 然后端口选择控制信号 /CE 置为低电

平, 这个控制信号使得地址锁存于RAM 内部, 和读周期一样, 在地址保持时间过后, 地址信号可从总线上撤销. 接着写允许控制信号 \overline{WE} 置为低电平, 开始写周期的数据写操作, 随着 \overline{CE} 和 \overline{WE} 都为低电平, 将欲写到选定存储单元的数据送到地址数据复用总线. 在 \overline{CE} 或 \overline{WE} 的上升沿, 数据被写入存储器并且结束写周期. 当写周期一结束, 数据就可以从总线上撤销. 在写周期期间, \overline{OE} 必须保持高电平.

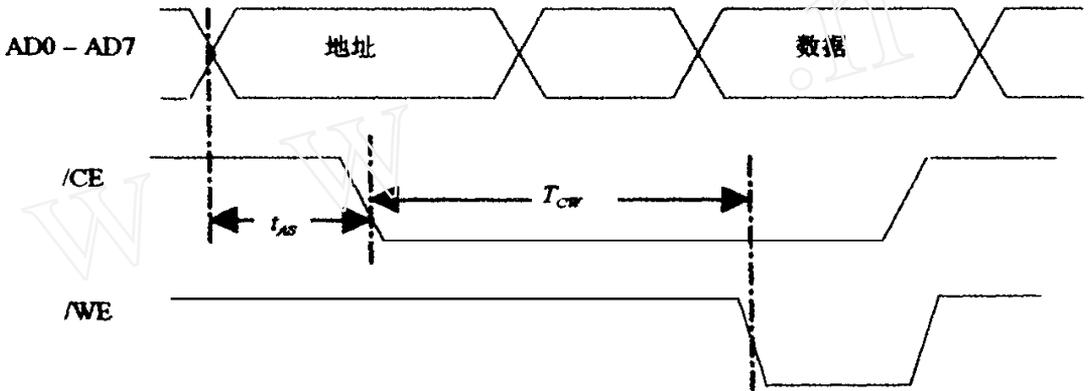


图3 DS1609 写周期的工作时序

3 DS1609 与 51 系列单片机的接口

由于有众多 IC 制造厂商的支持, 51 系列单片机现在已经发展成为有上百种品种的大家族, 其中包括由 PHILIPS 公司推出的 XA 系列 16 位单片机, 所以在目前微处理系统的开发应用中, 51 系列单片机仍然是应用较为广泛的一种, 生产该系列产品的公司有 Intel 公司、Philips 公司、Amel 公司和 LG 公司等.

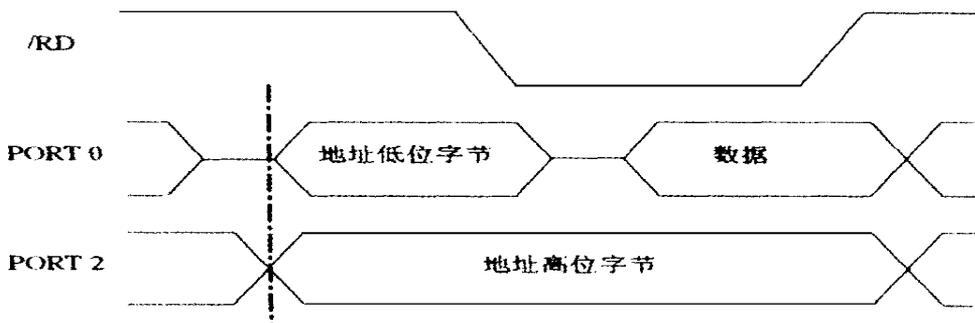


图4 51 系列单片机外部数据读周期时序图

图4, 图5 分别为 51 系列单片机在执行外部数据读写(MOVX) 指令时的时序图. 假设有一如图6 所示的DS1609 双端口RAM 的端口A 与 80C32 单片机的接口, DS1609 双端口

RAM 的片选端/CE 与 80C32 单片机的 P2.7 相连, 我们以此来分析一下这两个器件的工作时序是否匹配 .

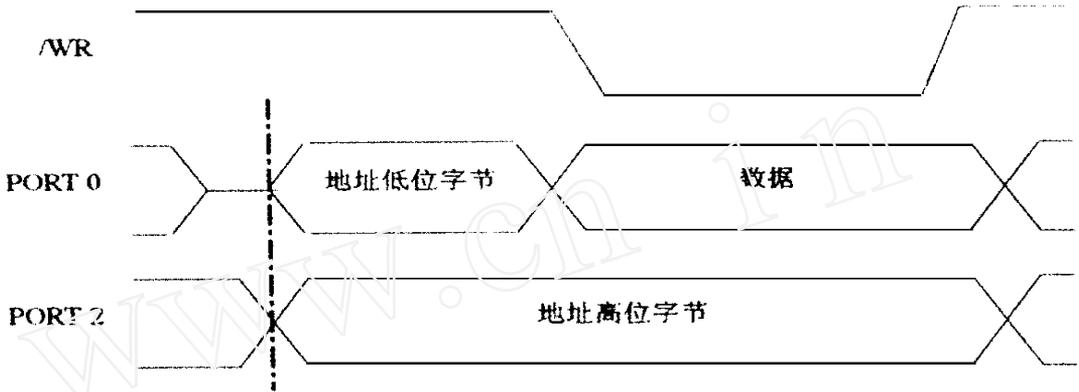


图 5 51 系列单片机外部数据写周期时序图

如果将图 4, 图 5 所示的 51 系列单片机的外部数据读、写时序与图 2, 图 3 所示的 DS1609 双端口 RAM 的读、写周期时序相比较, 可以看出, DS1609 双端口 RAM 是利用片选信号/CE 的下降沿来锁存地址信号的, 并且/CE 信号的起始时间需滞后于地址有效起始时间 t_{AS} , 而片选信号/CE 是从 80C32 单片机的地址总线中引出的, 80C32 单片机在执行外部数据读写 (MOVX) 指令时, 地址信号和片选信号同时输出, 这就有可能在总线上的地址信号还没有完全稳定时, 由于片选信号/CE 的作用, DS1609 双端口 RAM 的地址锁存操作已经完成, 从而导致 80C32 单片机对 DS1609 双端口 RAM 指定存储单元操作的失败 . 要解决这一问题, 必须将片选信号/CE 延迟一段时间, 以等地址信号稳定后才起作用, 即在片选线上要加一延迟线, 延时时间为 t_{AS} . 改进后的接口如图 7 所示 .

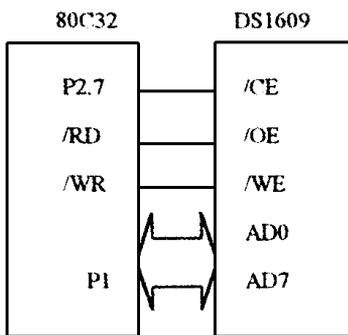


图 6 DS1609 与 80C32 的简单接口图

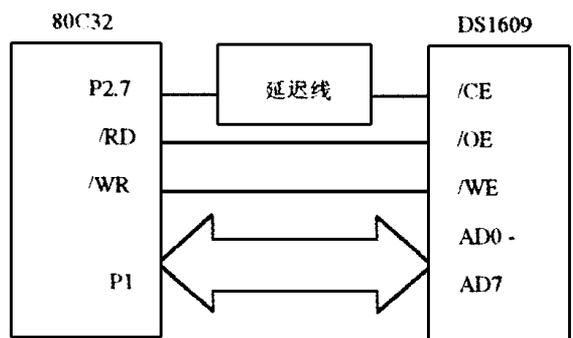


图 7 改进后的 DS1609 与 80C32 的接口图

另一解决地址锁存时序不匹配问题的方案是当单片机要对 DS1609 双端口 RAM 进行数据读写操作时, 不使用 MOVX 指令, 而是用 MOV 指令和布尔逻辑指令, 以软件处理的方

法直接对 D 端口进行地址数据分时操作。

例如有一如图 8 所示的接口图, 与 DS1609 双端口 RAM 相连接的单片机是 89C2051, 我们可以用一段程序来实现 89C2051 单片机对 DS1609 双端口 RAM 的数据读写操作。设 ADDR 和 DATA 为 89C2051 片内 RAM 中自定义的存储单元, 在 ADDR 单元中存入欲对 DS1609 双端口 RAM 进行读写的选定地址值, DATA 为数据读写存储单元。数据写入 DS1609 双端口 RAM 的程序清单如下:

```
CS BIT P3 3
WR BIT P3 4
RD BIT P3 5
ADDR EQU 7FH
DATA EQU 7EH
.....
```

```
WRITE:  MOV P1,ADDR           ; 地址值送地址数据总线
        CLR CS                ; 地址锁存
        MOV P1,DATA          ; 数据送地址数据总线
        CLR WR
        SETB WR               ; 数据写入 DS1609 双端口 RAM
        SETB CS               ; 写周期结束
        RET
```

从 DS1609 双端口 RAM 读取数据的程序清单如下:

```
READ:  MOV P1,ADDR           ; 地址值送地址数据总线
        CLR CS                ; 地址锁存
        MOV P1, # 0FFH        ; 置 P1 端口为输入状态
        CLR RD                ; 使 DS1609 双端口 RAM 数据输出有效
        MOV DATA, P1         ; 从地址数据总线读入数据
        SETB RD
        SETB CS               ; 读周期结束
        RET
```

由于这一方法是采用一段程序, 模拟 MOVX 指令的操作来完成对 DS1609 双端口 RAM 的读写操作, 执行时间要长一些, 因此适用于对程序执行速度要求不高的场合。

硬件接口匹配问题解决后, 我们还得考虑一个问题, 当 DS1609 的两个端口同时对同一存储单元进行读写操作, 会出现什么问题呢?

由于 DS1609 双端口 RAM 存储单元的特殊设计, 两个端口能够同时对同一存储单元进行读操作。但是, 如果两个端口同时对一个存储单元进行写操作, 就会因数据冲突而产生非稳定状态。

如果当一个端口进入读周期, 而另一个端口正在写周期内, 就有可能产生数据读取出错的问题。然而, 上述问题可以通过用制订软件规约的方法加以避免。解决读/写冲突的简单办法是进入读操作的端口进行冗余读周期的操作。

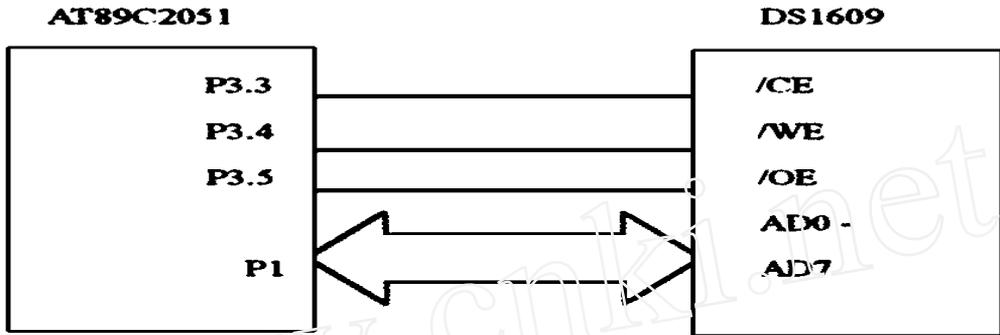


图 8 DS1609 与 AT89C2051 的接口图

避免写/写冲突的方法有两种:

(1) 为一个端口指定一组地址单元用于写操作, 写入的一组数据可以加入校验值单元, 以保证数据能正确地传送, 而另一端只能对这组地址单元进行读操作。

如果我们定义两个存储区, 一个存储区地址范围为 $0-1F_H$, 供端口 A 写入数据, 另一存储区地址范围为 20_H-3F_H , 供端口 B 写入数据, 每个存储区的最后一个单元存放前 31 个数据的校验值。当一个端口读取另一端写入的一组数据后, 对这一组数据进行校验运算, 假如校验结果与另一端写入的校验值相等, 则表明读入的这一组数据正确无误, 否则, 再次读取数据, 直至读入的数据完全正确为止。

(2) 可以为每个端口各自指定一个单元用于写入状态信息代码, 而另一端只能对其作读操作, 写入的状态信息可以告诉另一读此单元的端口现时进展情况, 而另一端根据读取的状态信息来决定应作何种操作。

如果我们定义两个地址单元 $0FE_H$ 和 $0FF_H$, $0FE_H$ 单元供端口 A 写入状态信息, $0FF_H$ 单元供端口 B 写入状态信息, 并约定状态信息为进入写周期的端口正在对某一单元进行写操作的地址代码。

如果端口 B 从 $0FE_H$ 单元读得的代码为 30_H , 则说明端口 A 正在对地址为 30_H 单元进行写操作, 此时端口 B 应避免对此单元进行写操作, 但可以对其它地址单元进行操作。同样, 端口 A 也应避免对从 $0FF_H$ 单元读得的地址单元进行写操作。

4 结 语

本文介绍的 DS1609 双端口 RAM 的应用方法已用于储罐巡检仪 (TSU) 和静压接口单元 (HU)。根据系统设计要求, 加入适当的信号转换电路, DS1609 双端口 RAM 可以用于 CPU 为 Intel 8086, 8088, 386, Motorola Hc11, 68030 等系列的系统中。如果将 2 片双端口 RAM 组合使用, 可以构成一个 3 CPU 系统。由于双端口 RAM 有其比普通并行接口易于使用的特点, 随着计算机技术的进一步发展, 将会有其越来越广泛的应用前景。

参考文献:

- [1] 何立民. MCS-51 系列单片机应用系统设计系统配置与接口技术[M]. 北京: 北京航空航天大学出版社, 1990.
- [2] 王树勋, 王朝玉, 张新发. MCS-51 单片微型计算机原理与开发[M]. 北京: 机械工业出版社, 1990.
- [3] 赵依军, 胡戒. 单片微机接口技术[M]. 北京: 人民邮电出版社, 1990.
- [4] 沈德金, 陈粤初. MCS-51 系列单片机接口电路与应用程序实例[M]. 北京: 北京航空航天大学出版社, 1990.
- [5] 邬宽明. 80C51 系列微控制器系统原理、功能集成与应用[M]. 北京: 北京航空航天大学出版社, 1995.

The Application of DS1609 Dual Port RAM

WANG Yi-qing, Q U Song-chang, N I Cheng-feng

(Computer Application Technology Institute of Shanghai Teachers University, Shanghai, 200234, China)

Abstract This article presents the characteristics and functions of DS1609 dual port RAM and proposes a scheme of interfacing between DS1609 dual port RAM and MCS51 single chip microprocessor by use of timing analysis. Taking use of the advantage of asynchronous operation of DS1609 dual port RAM, we can not only simplify the program, but also improve the reliability of the multi-microprocessor system.

Key words dual port RAM; asynchronous operation; multiplexed address/data bus; data conflict; timing