

基于功耗限制的 CMOS 低噪声放大器最优化设计*

徐 跃

(南京邮电大学 光电工程学院, 江苏南京 210003)

摘 要: 分析了进行功耗限制条件下怎样得到低噪声放大器的最优噪声, 并就阻抗匹配及小信号电压增益进行了详细讨论。介绍了采用 0.25 μm CMOS 工艺设计的工作在 2.4GHz 频率下的全集成低噪声放大器。模拟结果表明, 在 2.4GHz 工作频率下, 低噪声放大器的功耗为 16mW, 正向增益 S21 可达 15dB, 反射参数 S11、S22 分别小于 -23dB 和 -20dB, 噪声系数 NF 为 2.7dB, 三阶互调点 IIP3 为 -0.5dB。

关键词: 低噪声放大器 功耗限制 噪声系数 阻抗匹配

在无线射频接收机中, 射频信号要经过诸如滤波器、低噪声放大器及中频放大器等单元模块进行传输。由于每个单元都有固有噪声, 从而造成输出信噪比变差。采用多级级联的系统, 前面几级的噪声系数对系统影响最大。为了降低整个系统的噪声系数, 必须降低第一、二级的噪声系数并适当提高它们的功率增益, 以降低后面各级的噪声对系统的影响^[1]。低噪声放大器 LNA (Low-Noise Amplifier) 作为无线射频接收机最前端的关键部件, 要求: (1) 噪声最小, 同时又要求具有一定的增益。 (2) 要求它有足够大的线性范围。 (3) 要求它与输入和输出端口有良好的匹配, 以达到最大功率传输或者最小噪声系数, 而这两者又很难同时达到, 需要选择一个折衷方案。 (4) 要求它应具有一定的选频功能, 以抑制带外和

镜像频率的干扰。基于低噪声放大器的上述四方面要求, 本文从功耗限制下的噪声最优化、阻抗匹配及小信号增益方面出发, 详细讨论低噪声放大器的设计方法, 并采用 0.25 μm CMOS 工艺设计一种工作在 2.4GHz 频率下、可应用于蓝牙系统收发器的全集成的低噪声放大器。

1 电路分析与设计

采用电感源极负反馈、单端输入的基本电路形式^[2-3]实现的低噪声放大器 (LNA) 如图 1 所示。图中, M1、M2 和 L_s 组成电感负反馈共源共栅 casocode 放大电路, 以获得高隔离度、低噪声系数和良好的输入阻抗匹配。在输入回路中, L_{g1} 、 L_{g2} 与 M1 的 C_{gs1} 及 L_s 谐振在 2.4GHz, 并与输入端 50 Ω 阻抗相匹配, C_{b1} 为输入端的隔直电容。在输出回路中, L_t 与 M2 漏极的等效电容谐振在 2.4GHz。

(接上页)

似于一款 PCI-to-PCMCIA 转接卡, 常见的操作系统 (如 Windows XP, Windows 2000, Windows 98 等) 都支持 PCMCIA 板卡的热插拔, 而且这些常见的操作系统都带有 PCI1510 的驱动程序。当本文所述 PCI-to-PCI 转接卡插入桌面计算机后, 操作系统能自动装好转接卡的驱动程序。另外, 待测 PCI 板卡插入转接卡的 PCI 插槽后, 操作者合上控制开关, 操作系统将检测到外部板卡的插入, 并将待测 PCI 板卡识别成 CardBus 板卡, 这样就可以像测试 CardBus 板卡一样测试 PCI 板卡, 从而实现了 PCI 板卡的热插拔测试。

要使本文所述转接卡正常工作, 还必须正确配置图 1 中 EPROM 芯片, 本文所述转接卡的配置如表 1 所示。

尽管本文所述 PCI-to-PCI 转接卡对待测 PCI 板卡存在着一些限制, 即要求待测 PCI 板卡是 32 位数据/地

表 1 转接卡的配置

EPROM 地址	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
存储器值	01	C7	03	20	00	FF	E0	03	00	00	03	F0	24	0F	02	00
EPROM 地址	10	11	12	13	14	15	16	17	18	19	1A	1B	1C	1D	1E	1F
存储器值	00	00	C0	00	60	00	00	84	00	FF						

址总线, 只使用 (或不用) 一个 PCI 中断 (即 INTA#), 并且不使用 SDO# 和 SDONE# 信号线, 不使用 PCI 总线上的 JTAG 接口, 但这对于一些常见的 PCI 板卡而言并不是一个问题, 本文所述转接卡仍然具有广泛的适应性和较高的使用价值。

参考文献

- [1] PC Card Standard release 8.0, www.PCMCIA.org.2001, 4.
- [2] 刘显庆, 刘仁普. 微机总线规范. 北京: 机械工业出版社, 1995.
- [3] PCI1510 Data Manual. www.ti.com.2004, 12.

(收稿日期: 2006-07-30)

* 基金项目: 南京邮电大学科研基金 (NY205026)

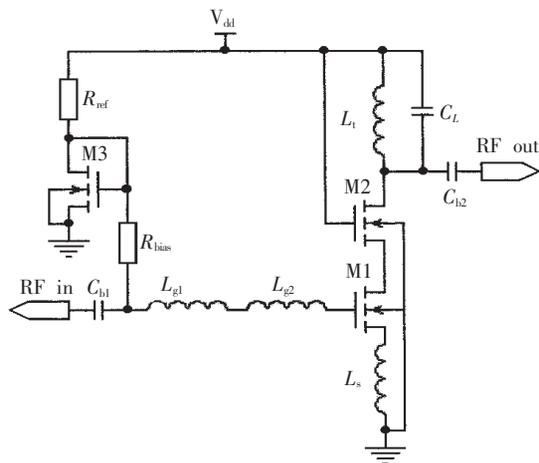


图 1 LNA 电路图

M3、 R_{ref} 和 R_{bias} 组成偏置电路，调节 R_{ref} 的大小可控制电路直流工作点和静态功耗。M1 栅极的偏置电压主要由 R_{ref} 和 M3 决定，而 R_{bias} 可以进行微调。

1.1 功耗限制下的噪声最优化

主放大管 M1 对电路的噪声贡献最大，主要表现为沟道热噪声和栅感应噪声。根据噪声理论^[4-5]，沟道宽度 W 和静态电流越大，噪声越小，但实际的设计必须考虑功耗的限制，不可能用增大功耗的办法来减小噪声。本设计的功耗要求小于 15mW。下面以此为约束条件推导出如何选择 M1 的尺寸以获得最优噪声。

系统噪声系数的近似表达式为：

$$F = 1 + \frac{\gamma\omega_0}{3v_{sat}} P(\rho, P_D) \quad (1)$$

式中，

$$P(\rho, P_D) \approx \frac{P_D}{P_o} \left(1 + \frac{\delta}{5\gamma}\right) + 2|c| \sqrt{\frac{\delta}{5\gamma} \rho^2 + \frac{P_o}{P_D} \frac{\delta}{5\gamma} \rho^4} \quad (2)$$

$$P_o = \frac{3}{2} \frac{V_{dd} v_{sat} \mathcal{E}_{sat}}{\omega_0 R_s} \quad (3)$$

$$\rho = \frac{V_{od}}{L\mathcal{E}_{sat}} \quad (4)$$

式中， γ 、 δ 分别为 MOS 管沟道热噪声系数和感应栅噪声系数， c 为这两种噪声之间的相关系数(它们的取值由工艺决定)， ω_0 是谐振频率， v_{sat} 、 \mathcal{E}_{sat} 分别表示电子的饱和速度及速度饱和时的电场强度， R_s 为 50Ω 信号源阻抗， P_D 为电路功耗， P_o 为输出功率， V_{dd} 为电源电压， V_{od} 为输出电压的大小。

由 Charter 公司 0.25μm CMOS RF 工艺可以确定 M1 可取的最小沟道长度 $L \cong 0.24\mu\text{m}$ ，电子饱和速度 $v_{sat} = 76090\text{m/s}$ ，电子的有效迁移率 $\mu_{eff} = 0.03932\text{m}^2/(v \cdot \text{s})$ ，速度饱和电场强度为 $\mathcal{E}_{sat} = \frac{2v_{sat}}{\mu_{eff}} = 3.87 \times 10^6\text{V/m}$ 。

$$\mu_{eff} = \frac{2v_{sat}}{\mathcal{E}_{sat}} = 3.87 \times 10^6\text{V/m}$$

噪声系数 F 与 M1 尺寸选取有着以下密切关系：

$$Q_L = \frac{\omega_0(L_s + L_{g1})}{R_s} = \frac{1}{\omega_0 R_s + C_g} \quad (5)$$

$$P_D = V_{dd} I_d = V_{dd} W C_{ox} v_{sat} \frac{V_{od}^2}{V_{od} + L\mathcal{E}_{sat}} \quad (6)$$

$$C_{gs} = \frac{2}{3} W L C_{ox} \quad (7)$$

式中， Q_L 为输入谐振回路的品质因子， C_{gs} 为 MOS 管栅源之间的电容， C_{ox} 为 MOS 管栅氧化层电容密度。由公式

$$(3)、(4)、(5)、(6)、(7) \text{ 可得: } Q_L = \frac{P_o}{P_D} \cdot \frac{\rho^2}{1+\rho} \quad (8)$$

对于每一个功耗值，都对应一个最佳的 $Q_{L,opt}$ 值，使该功耗下的噪声系数 F 最小。应用 Matlab 数学软件分析得到在 15mW 的功耗限制下取得最小噪声时的 $Q_{L,opt}$ 为 9.2。代入下式可计算出 M1 的沟道宽度为：

$$W_{m1,opt} = \left[\frac{2}{3} \omega_0 L C_{ox} R_s Q_{L,opt} \right]^{-1} =$$

$$\left[\frac{2}{3} \times 15.08 \times 10^9 \times 0.24\mu\text{m} \times 5.653\text{m} \times 50 \times 9.2 \right]^{-1} \approx 160\mu\text{m} \quad (9)$$

本设计中 M2 的沟道宽度和长度同 M1 一致，也取为 $W_{m2} \cong 160\mu\text{m}$ ， $L \cong 0.24\mu\text{m}$ 。

1.2 阻抗匹配^[6]

低噪声放大器的输入阻抗可写为：

$$Z_m = \frac{1}{SC_{gs1}} + SL_s + \frac{g_{m1}}{(C_{gs1} + C_{gs1})} L_s + S(L_{g1} + L_{g2}) \quad (10)$$

为了与输入匹配，需满足：

$$\frac{g_{m1}}{(C_{gs1} + C_{gs1})} L_s = 50 \text{ 和} \quad (11)$$

$$\frac{1}{SC_{gs1}} + SL_s + S(L_{g1} + L_{g2}) = 0 \quad (12)$$

MOS 管的沟道宽度和长度确定后，可以对放大器进行直流静态工作点分析，确定 M1 管的直流参数： $g_{m1} = 4.93 \times 10^{-2}\text{A/V}$ ， $C_{gs1} = 2.30 \times 10^{-13}\text{F}$ ， $C_{gs1} = 0.71 \times 10^{-13}\text{F}$ 。根据 (11) 和 (12) 式可计算出： $L_s \approx 0.275\text{nH}$ ， $L_{g1} + L_{g2} \approx 18.86\text{nH}$ 。在后面的电路仿真中，对器件参数做了微调，最终取 $L_s = 0.43\text{nH}$ ， $L_{g1} = L_{g2} = 8.89\text{nH}$ ，这与理论计算非常接近。 L_t 与 M2 漏极的等效电容谐振在 2.4GHz 下，M2 漏极的等效电容可由直流静态工作点仿真分析得到： $C_{d12} = 0.76 \times 10^{-13}\text{F}$ ，从而可算出 $L_t \approx 6\text{nH}$ 。为了与 50Ω 的输出负载电阻匹配，由输出阻抗的 Smith 圆图可确定 $C_{b2} = 0.7\text{pF}$ ， $C_L = 0.6\text{pF}$ 。

1.3 电压增益

LNA 的电压增益主要由输入级的总跨导和输出端的负载决定^[7-8]。图 2 所示的是 LNA 基本电路的小信号等效电路(这里忽略了沟道调制效应的影响)。其中 R_s 为信号源内阻， $R_1 = \omega_T L_s$ 是 LNA 输入阻抗的实部， $R_2 \approx Q'_L \omega_0 L_t$ 是输出阻抗的实部， Q'_L 为电感 L_t 的品质因子， ω_T 是 M1 的截止频率。当输入、输出回路谐振在工作频率 ω_0 时，由图 2 可得到输入回路的总跨导为：

$$g_{mi} = \frac{\omega_T}{\omega_0(R_s + \omega_T L_s)} \quad (13)$$

M1 的小信号电流 $g_{m1} V_{in}$ 一部分流过 M2，另一部分流过 M1 漏极的等效电容 $C_1 (C_1 = C_{db1} + C_{sb2})$ 。流过 M2 的电流为：

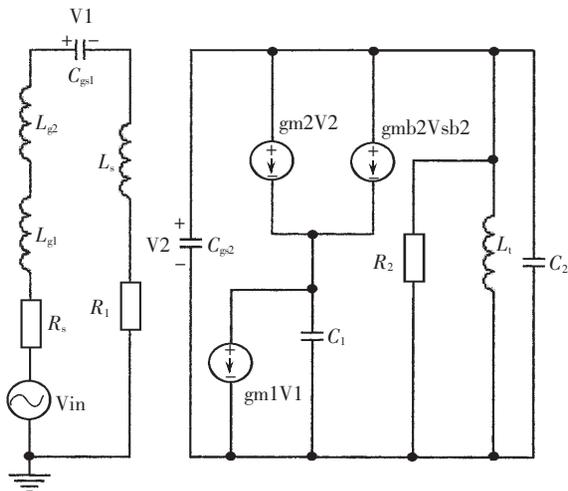


图2 LNA的小信号等效电路图

$$I_{M2,d} = g_{m1} V_{in} \frac{(g_{m2} + g_{mb2}) \frac{1}{SC_1}}{1 + (g_{m2} + g_{mb2}) \frac{1}{SC_1}} \quad (14)$$

当输出端电感 L_1 与 M2 的漏极总电容 C_2 谐振在工作频率时,则电压增益为:

$$|A_V| = \frac{I_{M2,d} R_2}{V_{in}} = \frac{g_{m1} (g_{m2} + g_{mb2}) \frac{1}{SC_1} R_2}{1 + (g_{m2} + g_{mb2}) \frac{1}{SC_1}} \quad (15)$$

如果电容 C_1 很小,使 $(g_{m2} + g_{mb2}) / SC_1 \gg 1$,则增益可近似为:

$$|A_V| \approx g_{m1} R_2 = \frac{\omega_T R_2}{\omega_0 (R_1 + \omega_T L_s)} \quad (16)$$

因此,增大晶体管的跨导和电感的 Q'_L 值能有效地提高增益。另外,源极负反馈电感 L_s 的取值对增益也有影响。一般可以采用增大静态电流和晶体管尺寸的方法增大跨导,但应考虑电路功耗的限制。本文设计的 LNA 采用的电感均为 CMOS 工艺的片内螺旋电感, Q'_L 值都不高,所以应选用 Q'_L 值高的螺旋电感以提高增益。

2 模拟结果

电路中所有元件取自 Chater 公司 0.25 μ m CMOS RF 工艺库,并全部集成在芯片内部。使用 Cadence 的 Spectre 进行了模拟分析。LNA 的 S 参数如图 3 所示,由图可知,模拟显示该放大器的功耗为 16mW,正向增益 S21 在 2.4GHz 频率时最大值为 15dB,反射系数 S11 小于 -23dB, S22 小于 -20dB。由此说明低噪声放大器实现了与输入、输出端口的良好匹配,并能取得较大的增益。噪声系数的频率响应如图 4 所示, NF 在 2.4GHz 处取得最小值 2.7dB。对线性度进行了模拟, LNA 的 1dB 压缩点如图 5 所示, 1dB 压缩点为 -10.5dBm。表 1 列出了低噪声放大器的模拟结果。

本文详细介绍了功耗限制条件下噪声最优化的低噪声放大器的设计方法,并采用 0.25 μ m CMOS RF 工艺设计了一种 2.4GHz 低噪声放大器。模拟结果表明,采用

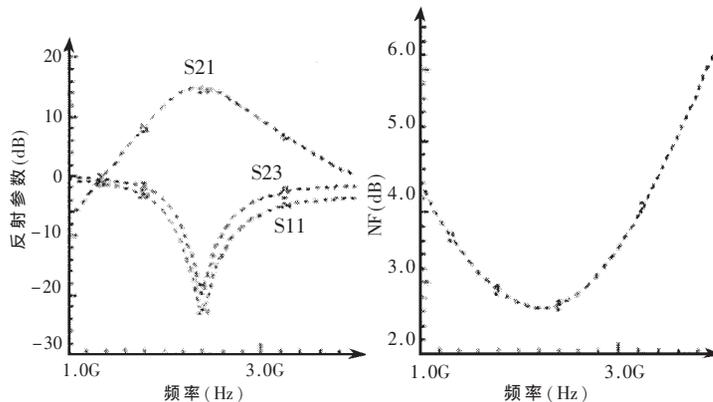


图3 LNA的S参数

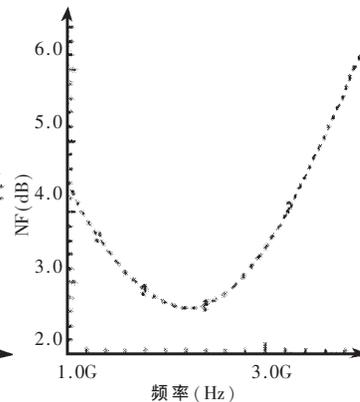


图4 LNA的噪声系数NF

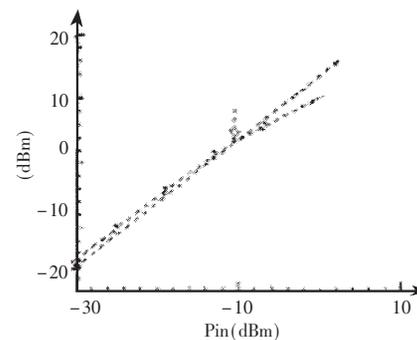


图5 LNA的1dB压缩点

表1 LNA的模拟结果

电源电压(V)	2.5
噪声系数(dB)	2.7
S21(dB)	15
S11(dB)	-23
S22(dB)	-20
S12(dB)	-42
1dB压缩点(dB)	-10.5
IIP3(dB)	-0.5
功耗(mW)	16

2.5V 电源时,功耗为 16mW,在 2.4GHz 工作频率下,正向增益 S21 可达 15dB,反射参数 S11 小于 -23dB, S22 小于 -20dB,噪声系数 NF 为 2.7dB。

参考文献

- [1] 陈帮友. 射频通信电路[M].北京:科学出版社,2002.
- [2] FUJIMOTO R, KOJIMA K, OTAKE S. A 7-GHz 1.8dB NF CMOS low noise amplifier[J]. IEEE J Solid-State Circuits, 2002,37(7):852-856
- [3] PAUL L, JOHAN I, MICHIEL S. A 0.8 dB NF ESD-protected 9mW CMOS LNA operating at 1.23GHz. IEEE J Solid-State Circuits, 2002,37(6):760-765
- [4] RAZAVI B. CMOS technology characterization for analog and RF design [J]. IEEE J Solid-State Circuits, 1999, 34(3): 268-276.
- [5] GOO J S. A noise optimization technique for integrated low-noise amplifier [J]. IEEE J Solid-State Circuits, 2002,37(8):994.
- [6] KARANICO LAS A N. A 2.7V 900MHz CMOS LNA and mixer[J]. IEEE J Solid State Circuits, 1996,31(12):1939-1954.
- [7] QIUTING H, PAOLO O, FRANCESCO P. GSM transceiver front-end circuits in CMOS[J]. IEEE J Solid State Circuits, 1999,34(3):292-303.
- [8] YOUN Y S, CHANG J H, KOH K J. A 2GHz 16dBm IIP3 low noise amplifier in 0.25 μ m CMOS technology[G]. Digest of Technical Papers of IEEE International SolidState Circuits Conference, 2003:452.

(收稿日期:2006-07-20)