

基于现场可编程门阵列的多路 PWM 波形发生器

李建林, 王立乔, 李彩霞, 韩 冰, 张仲超

(浙江大学电气学院, 浙江省 杭州市 310027)

MULTI-PWM PULSE GENERATOR BASED FPGA

LI Jian-lin, WANG Li-qiao, LI Cai-xia, HAN Bing, ZHANG Zhong-chao
(Zhejiang University, Hangzhou 310027, Zhejiang Province, China)

ABSTRACT: This paper presents a novel method using field programmable gate array (FPGA) to implement a PWM pulse generator with five-level PWM inverters. The pulse generator receives the PWM pattern parameters from a DSP processor through a built-in parallel interface, and produces the three-phase PWM drive signals without the DSP intervention. The basic principles, hardware configuration, implementation method of the generator described in this paper. Three phase PWM generators and especially suits to carrier phase-shifting SPWM modulation method, and has the feature of simplifying circuit-design, guaranteeing reliability of system and concurrent triggering of power devices.

KEY WORDS: Power electronics; Field programmable gate array (FPGA); Multilevel-converter; Carrier phase shifted SPWM generator

摘要: 研制了基于现场可编程门阵列(FPGA)实现的多路 PWM 脉冲发生器。该脉冲发生器通过接口单元接收 DSP 写入的 PWM 脉冲宽度数据, 然后产生 PWM 波形, 其工作不受 DSP 影响。同时介绍了脉冲发生器的基本原理、硬件构成和实现方法。该 PWM 发生器既简化了电路的设计, 提高了系统的可靠性, 又可保证逆变器功率元件触发的同步。

关键词: 电力电子; 现场可编程门阵列器件; 多电平变换器; 载波相移 SPWM 发生器

1 引言

脉冲宽度调制技术(PWM)是电力电子技术中一个非常重要的组成部分, 它对提高电力电子装置的性能, 推动电力电子技术的发展起着巨大的作用。随着各种电路拓扑的相继提出, PWM 本身也在不断得发展、演化。在传统的二逻辑 PWM 的基础上, 又逐渐发展出三逻辑 PWM 和多逻辑 PWM。例如, 在电流源型 AC/DC 变流器中需要使用三逻辑

PWM, 在组合变流器和多电平变流器中需要使用多逻辑 PWM。其中, 多逻辑 PWM 往往可以通过多路的二逻辑 PWM 来合成。三相电压源型二电平 H 桥变流器需要 6 路 PWM 发生器。而三相电压源型三电平变流器则需要 12 路 PWM 发生器。扩展到三相电压源 N 电平变流器, 就需要 $6 \times (N - 1)$ 路 PWM 发生器。而目前常见的专用集成芯片一般只能提供 6 路 PWM 发生器, 如 MCS-80C196MH、TMS320F240 和 ADMC331; 最多能够提供 12 路 PWM 发生器, 如 TMS320F2407。对于组合变流器和多电平变流器而言, 这些芯片不仅会造成电路设计复杂, 可靠性降低, 最主要的是很难完成同相功率器件的同步触发, 而且需要复杂的控制逻辑。

现场可编程门阵列芯片(Field Programmable Gate Array, FPGA)内部包含的逻辑门数从几百至几万, 具有可任意配置的几百个寄存器和 I/O 口, 并且开发周期短, 可灵活配置实现多种功能而无需改动硬件电路。本文利用 FPGA 设计了一个适用于三相电压型五电平变流器的 24 路 PWM 发生器。开关调制策略采用载波相移 SPWM 技术(CPS-SPWM)^[1]。本文将这个 24 路 PWM 发生器应用于一个三相五电平级联型逆变器, 进行了实验。实验结果验证了上面设计的正确性。

2 载波相移 SPWM 技术

载波相移 SPWM 技术是一种优秀的开关调制策略, 适用于大功率组合变流器和级联型多电平变流器^[1]。载波相移 SPWM 技术的基本原理(如图 1 所示)是用同一调制波与 N 个相位均匀移动的三角载波分别进行二逻辑 SPWM, 得到 N 个二逻辑 SPWM 波形, 这些波形叠加起来构成一个 $N+1$ 逻辑的 CPS-SPWM

波形。这个 $N+1$ 逻辑的CPS-SPWM波形的等效采样频率是任意一个二逻辑SPWM的采样频率 ω_C 的 N 倍,即 $N\omega_C$ 。文献[2-3]对载波相移SPWM的谐波特性进行了定量分析,发现一个等效采样频率为 $N\omega_C$ 的 $N+1$ 逻辑CPS-SPWM波形与一个采样频率为 $N\omega_C$ 的二逻辑SPWM波形的谐波特性非常接近。因而CPS-SPWM能够在较低的开关频率下实现较高等效开关频率的效果,适用于大功率场合。

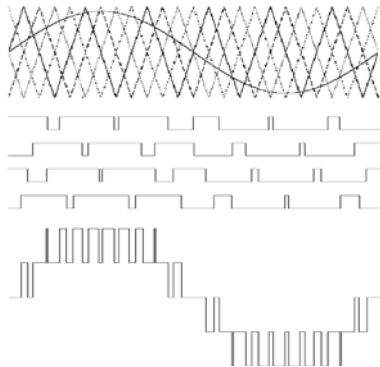


图1 载波相移示意图

Fig. 1 Modulated principle of CPS-SPWM

3 三相6路PWM发生器的构成

本文提出的24路PWM发生器是由4个三相6路PWM发生器经相移构成的。而三相6路PWM发生器是由3个单相2路PWM发生器构成的。调制波的表达式为

$$u = m \cdot \sin(\omega t) \tag{1}$$

式中 m 为幅度调制比;三角载波的幅值为1; T_S 为采样周期。

占空比 T_W 的表达式为

$$T_W = \frac{T_S}{2} [1 + m \cdot \sin(\omega t)] \tag{2}$$

单相二路PWM发生器的原理如图2所示,其中 T_D 是为防止桥臂短路而设置的死区时间。

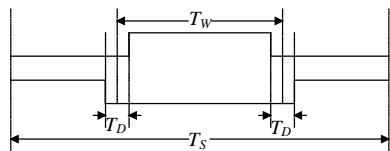


图2 单相二路PWM发生器原理

Fig. 2 Principle of single phase PWM generator

在FPGA中,设置一个计数器和两个寄存器,在每个采样周期初始的时刻,分别给计数器赋予0的初值,2个寄存器分别赋值为 $T_W/2$ 、 $T_D/2$ 。计数器由一个使能端控制,高电平为加记数,低电平为减记数。在每个采样周期的初始时刻,记数使能

端置高电平,开始加记数。启动计数器,同时在上桥臂对应的输出口A输出低电平,下桥臂对应的输出口IA输出高电平。当计数器的当前值等于 $(T_S - T_W - T_D)/2$ 时,IA翻转为低电平;当计数器的当前值等于 $(T_S - T_W + T_D)/2$ 时,A翻转为高电平。当计数器的当前值等于 $T_S/2$ 时,计数器使能端置低电平,开始减记数。启动计数器,当计数器的当前值等于 $(T_S - T_W + T_D)/2$ 时,A翻转为低电平;当计数器的当前值等于 $(T_S - T_W - T_D)/2$ 时,IA翻转为高电平。当计数器减至0时,两个寄存器重新赋值,记数使能端置高电平,开始下一个采样周期。

对于三相6路PWM发生器,构成与单相2路PWM发生器完全类似,只是要增加两个寄存器。具体原理这里不多赘述。

4 24路PWM发生器的实现

4.1 24路PWM发生器的构成

24路PWM发生器由4个6路PWM通过相移构成。所有的占空比计算由一片TMS320F240完成,FPGA只负责PWM发生。本文选用ACEX1K30TC的FPGA芯片,编程软件采用MaxplusII。多路输出PWM波形发生器原理如图3所示。图中可以看出,该PWM波形发生器由数据锁存器,相移载波发生器,死区发生器,PWM发生器组成,下面分别对以上组成部分进行介绍。整个24路PWM发生器由以下几个模块构成。

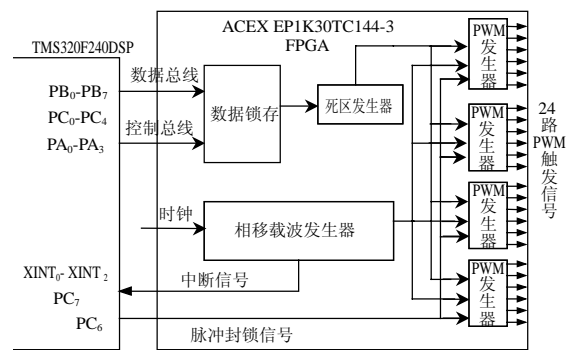


图3 DSP与FPGA芯片间的连接系统框图

Fig. 3 System configuration with DSP and FPGA

4.2 相移载波发生器

对于五电平载波相移级联型变换器来说,需要4组相位相互错开 90° 的载波^[4],而在FPGA中,载波的产生是通过一个加减计数器来实现的,因而,只要将该计数器的计数初值进行设定,就可以产生多组的相移载波。在实验中,载波的周期是由外部的DSP来设定的,五电平的变换器需要的是四组载

波^[5-8]，因而需要 4 个加减计数器，每个加减计数器的初值不一样，并且一开始是加或者减也不同。

假设输入的载波设定值为 N ，第 1 个载波的计数初值为 0，下一个时钟脉冲开始做加运算，加到设定值 N 再开始做减运算；第 2 个载波的计数初值设定为 $N/2$ ，下一个时钟脉冲来时也做加运算；第 3 个载波的计数初值设定为 N ，下一个时钟脉冲来时做减运算；第 4 个载波的计数初值为 $N/2$ ，下一个时钟脉冲来时做减运算。这样，根据设定初值不同，产生了 4 组相位互差 $\pi/2$ 的三角载波。本文将每个载波计数器对应的三相六路 PWM 称为一个模块，因而，对于五电平的级联型变流器就有 4 个模块，而三电平的级联型变流器为 2 个模块。

图 4 为相移载波发生器的外部原理图。图中，CLK 为输入时钟信号；D[12..0]为输入的载波周期设定值，也就是计数器的最大计数值；COUNT_EN 为计数器开始计数的使能控制端；SE1[12..0]...SE4 [12..0]为 4 组相位互差 $\pi/2$ 的三角载波计数值；TCLK1...TCLK4 为 4 个中断信号，向 DSP 发出新的占空比数据输入请求。设定的载波周期值为 500，当 COUNT_EN 为 1 时，4 个计数器开始计数，得到 4 个相移载波。

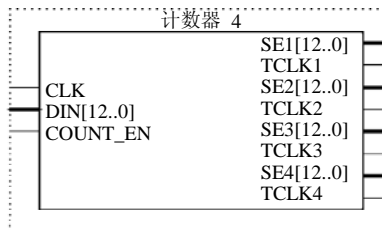


图 4 相移载波发生器

Fig. 4 Phase-shifted carrier generator

4.3 PWM 比较输出模块

在图 5 中，计数器的值和输入的占空比数据值进行比较，从而产生 PWM 信号。DEAD[12..0]为死区值；SE[12..0]为计数器值；DATEIN[12..0]为

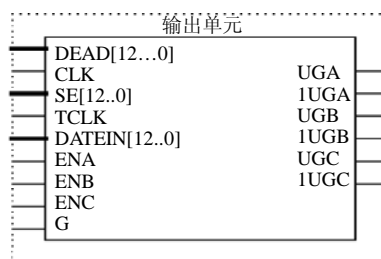


图 5 PWM 输出模块

Fig. 5 PWM output module

占空比值，由 ENA，ENB，ENC 来确定，是 A，B 或 C 相的占空比数据并进行选择锁存；WGA，IWGA 为某相上下桥臂的 PWM 波的输出；其他类似 G 为 PWM 封锁保护信号，为 1 时，输出均为 0。

4.4 载波周期值和死区值锁存模块

如图 6 所示，EN_CARRY 由 1 变 0，则锁存载波周期值，EN_DEAD 由 1 变 0，则锁存死区值；DD[12..0]为锁存好的载波周期值；DEAD[12..0]为锁存好的死区值。

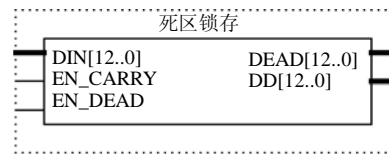


图 6 载波周期值和死区值锁存模块

Fig. 6 Carrier period and dead time latch module

4.5 选择模块

如图 7 所示，选择模块是对输入的占空比信号进行有选择的锁存。SE_1—SE_4 为模块 1—4 的选择，ENA—ENC 为某一模块 A，B，C 相数据的锁存信号的设定。例如，当 SE_1 为 1 时，SE_2—SE_4 都为 0，则，输出端 ENA₂—ENC₂，ENA₃—ENC₃，ENA₄—ENC₄ 均为 0。而 ENA₁ 与 ENA 相等，ENB₁ 与 ENB 相等，ENC₁ 与 ENC 相等，再配合占空比数据的输入进行相应模块以及三相占空比数据的锁存。

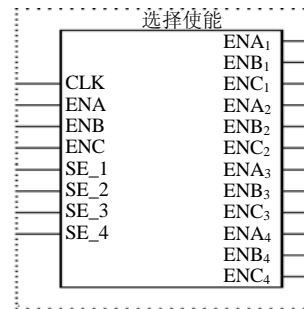


图 7 选择模块

Fig. 7 Selector module

4.6 控制使能模块

如图 8 所示。由 DATA[3..0]的输入来控制各个使能端的值，这样可以减少很多 I/O 口，同时可以将 DSP 与 FPGA 之间互换数据的一些特殊指令进行统一编码，比如：载波周期设定用 1110 表示，PWM 封锁用 1111 表示，载波计数开始用 0000 表示，这样只需对 4 个 I/O 口上的数据进行相应的译码就可以实现 DSP 与 FPGA 之间的通讯。该波形发生器在使用时候，先设定死区，选择地址 1101（表示 4 个 I/O 口的高低电平），输入死区值，再选择地址 1110，

输入载波设定值，接着启动计数（选择 0000），等待四模块的 4 个数据输入请求中断信号 TCLK，0001~1100 为 4 模块三相数据的输入选择，若模块 1 的请求信号到来，则选择 0001，输入 A 相数据，0000 进行锁存，然后 0010，输入 B 相数据，0000 锁存，选择 0011，输入 C 相数据，0000 锁存。然后等其他模块的请求信号到来，通过相应的地址输入三相数据，分别锁存。注意，从选通地址，输入数据到数据锁存（选择 0000）的时间必须大于 2 个 FPGA 的时钟周期。从数据锁存地址选通到选择其他数据通道的时间间隔也必须大于 2 个时钟周期。

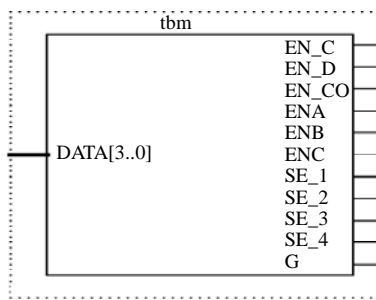


图 8 控制使能模块

Fig. 8 Control enable module

在实际运用中，ACEX1K30 的 FPGA 芯片外围用的时钟为 16M，调制波频率为 50Hz，采样频率为 1050Hz，载波周期的计数值应该为 $(16M/1050)/2=7619$ ，设定好 DSP 的 I/O 口后，就按照以上的规则进行连接输入，在 DSP 程序中采用了 3 个外部中断，1 个 I/O 口查询的方法。DSP 算法中，正弦表采用查表法。正弦表中选用了 84 个点，每来一个中断，查表指针加 1，这样，每一个中断走完一个周期所经历的点是 21 个，每一个模块对应的调制波周期为 50Hz。这样，输出 4 模块共 24 路 PWM 波形。

5 实验结果

本文构造了一个三相五电平级联型逆变器来验证 24 路 PWM 发生器的正确性，其主电路结构如图 9 所示。开关器件选用 MOSFET，负载为电阻负载。A 相的 4 个触发脉冲 A_1 、 A_2 、 A_3 、 A_4 如图 10 所示；A 相与 B 相第一模块的驱动波形如图 11 所示。逆变器输出 A 相相电压波形如图 12(a) 所示，其频谱如图 12(b)。从频谱上看，输出电压的谐波特性与理论分析完全一致。

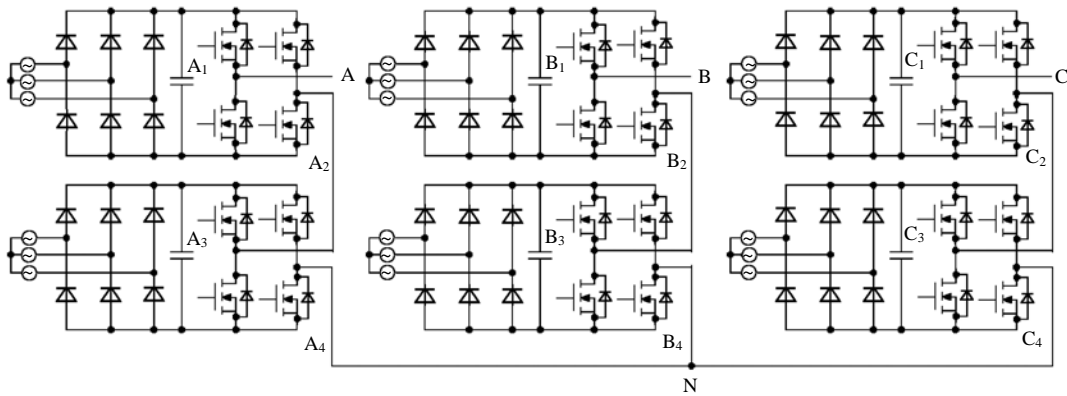


图 9 三相五电平级联型逆变器电路结构

Fig. 9 Structure of three-phase five-level cascade inverter

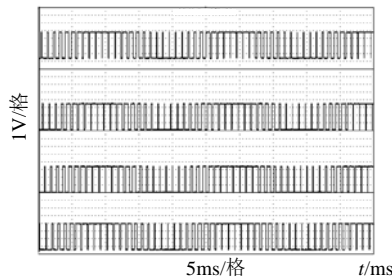


图 10 A 相四组驱动脉冲波形

Fig. 10 4 modules drive waveforms of A phase

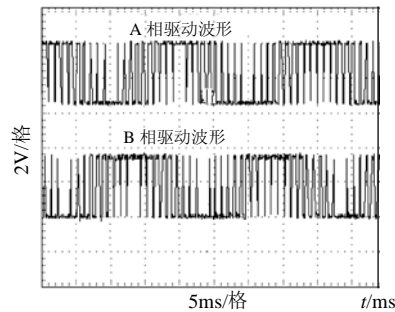


图 11 A 相与 B 相第一模块的驱动波形

Fig. 11 Drive waveforms of the first modules of A phase and B phase

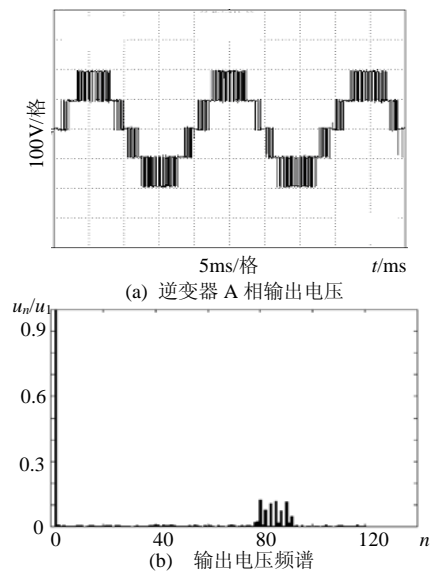


图 12 逆变器 A 相输出电压波形及其频谱

Fig. 12 Output waveform & its spectrum of the inverter, phase A

图 12(a)所示输出电压波形的频谱如图 12(b)所示,可以看出最低次谐波发生在 84 附近,是开关频率的 4 倍与载波相移技术相吻合^[9-12]。通过实验可以看出,波形发生器得到的 24 路 PWM 波形结果是正确的,并且修改参数也很方便,有效地解决了多电平变流器 PWM 通道需求数目多的问题。

6 结论

常用芯片中 PWM 发生器通道数目远远不能满足组合变流器和多电平变流器的需要,采用 FPGA 构成多路 PWM 发生器成为一个很好的选择。基于 DSP 和 FPGA 的通用控制器可以方便地用于其他 FACTS 装置的控制 只要修改 DSP 的控制算法即可 而 FPGA 脉冲发生器还可通用在变频器 SVG 等电力电子设备 而不用改动硬件。本文根据载波相移 SPWM 技术的原理,用 FPGA 构造了一个 24 路 PWM 发生器。通过一个三相五电平逆变器实验,对所构造的 24 路 PWM 发生器进行了验证。实验结果证明,错时采样 SVM 技术,也可用 FPGA 实现。这对于组合变流器和多电平变流器的进一步推广应用有重要的实际意义。

参考文献

- [1] Wang X, Ooi B T. Unity PF current-source rectifier based on dynamic trilogic PWM[J]. IEEE Transaction on PE, 1993,8(3): 288-294.
- [2] McGrath B P, Holmes D G. A comparison of multicarrier PWM strategies for cascaded and neutral point clamped multilevel inverters[C]. Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual, 2000, 2: 674-679.
- [3] Teodorescu R, Blaabjerg F, Pedersen J K *et al.* Multilevel converters-a survey[C]. EPE'99 CDROM, 1999.
- [4] Zhang Zhongchao, Boon-Teck Ooi. Forced commutated HVDC and SVC based on phase-shifted multi-converters[J]. IEEE Trans. on Power Delivery, 1993,8(2): 712-718.
- [5] Wang Changyong. Mathematical analysis on current source multi-modular converter[J]. Transactions of China Electrotechnical Society, 2000, 15(6): 18-22.
- [6] Holmes D G. Opportunities for harmonic cancellation with carrier-based pwm for two-level and multilevel cascaded inverters[J]. IEEE Trans. on Industry Applications, 2001,37(2): 574-582.
- [7] 陈阿莲, 何湘宁, 赵荣祥. 一种改进的级联型多电平变流器拓扑[J]. 中国电机工程学报, 2003, 23(11): 9-12.
Chen Alian, He Xiangning, Zhao Rongxiang. An improved cascaded multilevel inverter topology[J]. Proceedings of the CSEE, 2003, 23(11): 9-12.
- [8] 陈阿莲, 邓焰, 何湘宁. 一种具有冗余功能的多电平变流器拓扑[J]. 中国电机工程学报, 2003, 23(9): 34-38.
Chen Alian, Deng Yan, He Xiangning. A multilevel converter topology with redundancy ability[J]. Proceedings of the CSEE, 2003, 23(9): 34-38.
- [9] 吴洪洋, 何湘宁. 级联型多电平变流器 PWM 控制方法的仿真研究[J]. 中国电机工程学报, 2001, 21(8): 42-46.
Wu Hongyang, He Xiangning. Research on PWM kcontrol of a cascade multilevel converter[J]. Proceedings of the CSEE, 2001, 21(8): 42-46.
- [10] 吴洪洋, 何湘宁. 多电平载波 PWM 法与 SVPWM 法之间的本质联系及其应用[J]. 中国电机工程学报, 2002, 22(5): 10-15.
吴洪洋, 何湘宁. Relationship between multilevel carrier-based PWM and SVPWM and its applications[J]. Proceedings of the CSEE, 2002, 22(5): 10-15.
- [11] 李建林, 林平, 王长永, 等. 基于载波相移 SPWM 技术的电流型有源电力滤波器的研究[J]. 中国电机工程学报, 2003, 23(10): 99-103.
Li Jianglin, Lin Ping, Wang Changyong *et al.* Research on current-source converter with carrier phase shifted SPWM for active power filter[J]. Proceedings of the CSEE, 2003, 23(10): 99-103.
- [12] 李建林, 王立乔, 刘兆燊, 等. 一种新型的组变流器错时采样空间矢量调制技术分析[J]. 中国电机工程学报, 2004, 24(1): 142-146.
Li Jianlin, Wang Liqiao, Liu Zhaoshen *et al.* Analysis on a novel multi-modular converter with sample time staggered SVM technique[J]. Proceedings of the CSEE, 2004, 24(1): 142-146.

收稿日期: 2004-11-08。

作者简介:

李建林(1976-), 男, 山西太原人, 博士研究生, 研究方向为有源电力滤波器、多电平变流器;

张仲超(1942-), 男, 浙江杭州人, 教授, 博士生导师, 研究方向为大功率电力电子变流器与变频调速。