

一种高效流水低存储的 JPEG2000 编码芯片设计

梅魁志 郑南宁 刘跃虎 姚霁 黄宇 王勇
(西安交通大学人工智能与机器人研究所 西安 710049)

摘要 该文提出了一种高效流水低存储的 JPEG2000 编码芯片的设计方案。该方案通过采用双缓存的小波系数存储结构, 预速率控制方法, Tier2 中的 RD 斜率值的字节表示, 以减少片上存储器; 对离散小波变换, 算术编码和位平面编码使用高度并行流水等设计结构以提高编码单元电路速度; 字节地址空间的 RD 斜率值搜索提高了 Tier2 的打包速度; 对系统实现中的时钟分配, 色度转换, 帧存储器控制进行了优化设计。基于该设计方案的整个编码芯片已通过 FPGA 验证, 主要性能参数: 小波类型为 5/3, 支持最大 Tile 为 256×256, 最大图像 4096×4096, 码块为 32×32, 系统采样率在 Tier1 工作时钟为 100MHz 时可达 45Msamples/s, 压缩图像与 JASPER 在压缩 20 倍时相比均小于 0.5dB, 在 SMIC.25 库综合下, 等效门为 10.9 万, 片上 RAM 为 862kb。

关键词 JPEG2000, 离散小波变换, 算术编码, 位平面编码, Tier2, FPGA

中图分类号: TN492

文献标识码: A

文章编号: 1009-5896(2006)04-0741-06

An Efficient Pipeline Design of JPEG2000 Encoder with Low Memory

Mei Kui-zhi Zheng Nan-ning Liu Yue-hu Yao Ji Huang Yu Wang Yong
(Institute of Artificial Intelligence and Robotics, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract An efficient JPEG2000 encoder is proposed and implemented with high pipeline and low memory architecture. Dual buffers to save the wavelet coefficients, pre-rate allocation and byte expression for Rate-Distortion (RD) slope are used to reduce on-chip memory size. Pipeline and parallel architecture is used in Discrete Wavelet Transform (DWT), Bit-Plane Encoder (BPE) and Arithmetic Encoder (AE) to increase the part circuit's encoding speed, searching the truncated RD slope in byte address space increases the packet formatting speed of Tier2. Problems met in system implementation such as clock distribution, SDRAM control of frame buffer and chrominance-transformation are also designed with optimization. The encoder is verified on FPGA platform. Performance of the encoder is as follows: the size of tile is up to 256×256 with code block in size of 32×32, input sampling rate is up to 45Msamples/s when Tier1 is working at the clock of 100 MHz, difference of the PSNR of images compressed by the proposed encoder and JASPER is less than 0.5dB at the rate of 0.4 bit per sample (bps). Equivalent gates synthesized are about 109k and on-chip RAM is 862kb.

Key words JPEG2000, Discrete wavelet transform, Bit-plane encoder, Arithmetic encoder, Tier2, FPGA

1 引言

JPEG2000 是新一代静态图像压缩标准, 相比 JPEG 具有许多优点: 更高的压缩率, 支持无损/有损压缩, 支持分层传输, 可按质量或分辨率渐进传输, 及传输中良好的抗误码率设计等。JPEG2000 的核心算法为 DWT 和 EBCOT (Embedded Block Coding with Optimized Truncation), 图 1 给出 JPEG2000 编码算法的实现框图, 支持具有多种尺寸和分量的图像编码, 对大图像首先划分成小的分量图像片(Tile), 对分量 Tile 使用 DWT 算法进行多级小波分解, EBCOT(由位平面编码, 算术编码和速率控制组成)对划分在小波子带

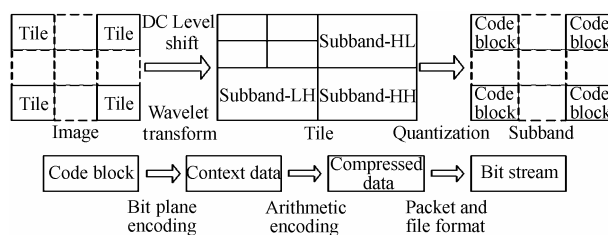


图1 JPEG2000 算法框图

Fig.1 Block diagram of JPEG2000 encoder's algorithm
系数上的码块(Code block)完成编码与压缩, 最后打包成符合 JPEG2000 标准的文件或码流^[1]。但 DWT 的计算复杂度远大于 JPEG 的 DCT, 且 EBCOT 算法中的位平面编码是按位操作, 不利于用适于字处理的 DSP 或通用 CPU 实现, 产生了对 JPEG2000 图像压缩专用芯片的需求。当前有关 JPEG2000 芯片的研究与设计很多, 文献[2,3]给出了 DWT 和 EBCOT 中

2005-05-23 收到, 2005-10-15 改回
国家自然科学基金创新群体研究 (60021302) 和国家高技术研究发展计划 (2005AA1Z1272) 资助课题

Tier1(由位平面编码器和算术编码器组成)结构设计,其位平面编码器的状态存储器刷新,降低了上下文编码效率(50MHz工作时钟时的Tier1编码速度对小波系数为4.6Msample/s)。Amphion的CS6590仅作为DWT和Tier1编解码的加速器使用,需与外接处理器构成完整的JPEG2000编解码器,使用3个并行Tier1编解码器,在150MHz时的编码采样率为60Msample/s, I/O接口与片上存储器使用较多(小波系数存储器为1个Tile大小),满足实时性要求,但面积和功耗较高^[4]。文献[5]中的DWT使用的存储器为1个Tile大小,使用3个Tier1编码器,整个系统编码速度并不高(对Baboon, 50MHz的编码速度约为5Msample/s)。文献[6]给出了一种复杂度低和低存储器的JPEG2000编解码结构设计,但系统采样率并不能满足实时编码要求,其小波系数存储器仍为Tile大小。文献[7]采用了基于空间行列组合提升方案(SCLA)的小波变换结构,如对5/3滤波器减少42%的乘操作,但增加了存储控制的复杂性(CS6590的等效门电路约为210k);且使用预测的优化截断点的RD斜率值完全实现实时截断影响了速率控制精度(约95%的图像有效)。

本文提出了一种高效流水低存储器的JPEG2000编码器芯片设计。该编码芯片的输出压缩码流完全兼容于JPEG2000的Part1标准,可由第三方解码软件解码,且在100MHz系统时钟下的输入图像采样率可达45Msample/s,编码器支持帧存储器的外部SDRAM接口,对数字视频格式输入的图像(RGB或YUV)直接编码,编码系统结构如图2所示。下文主要从ISO/IEC 15444-1所规定的Part 1协议中的算法的硬件实现以及各算法之间的数据流交互两方面来说明该设计。

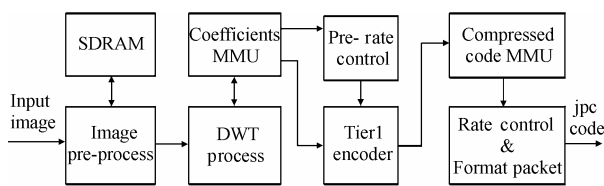


图2 JPEG2000 编码芯片结构
Fig.2 Architecture of JPEG2000 encoder

2 JPEG2000 芯片的系统实现

2.1 多类型异步输入的图像预处理

由于小波变换和压缩码流截断所需的存储器均与Tile的大小成线性关系,大的Tile会消除划分Tile所带来的人造边界效应,由于片上存储器的限制,选择Tile尺寸为256×256。图像输入支持RGB或YUV的数字视频格式输入,片外SDRAM相当于大尺寸图像的帧缓存,由图像预处理电路将图像数据按Tile和Component(分量)传送给小波变换,系统结构如图3所示。

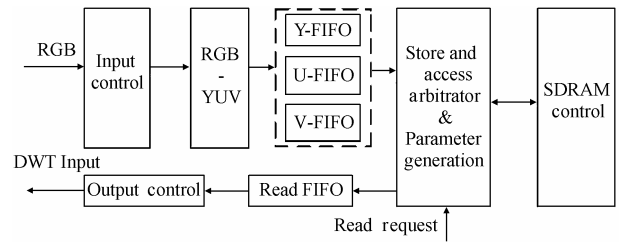


图3 图像预处理结构
Fig.3 Architecture of image pre-process

JPEG2000对U, V分量并不采用2:1的抽样,在计算

$$D_i^{(z)} = W_{bi}^{csf} G_{bi} \sum (\hat{y}_i[j] - y_i[j])^2 \quad (1)$$

通过CSF的权重 $\sqrt{W_{bi}^{csf}}$ 来调整码率在Y, U, V间的分配。在将24bit的RGB图像转换到YUV空间,采用标准中所规定的RCT^[1]变换,有

$$Y = \lfloor (R(x, y) + 2G(x, y) + B) / 4 \rfloor \quad (2)$$

$$U = B - G \quad (3)$$

$$V = R - G \quad (4)$$

会产生9位的U, V分量,不利于16或32位宽的SDRAM存储,在计算时,修改如下:

$$\text{if } R=0/G=0/B=0 \quad R' = 1/G' = 1/B' = 1$$

$$\text{if } G=255 \quad G' = G - 1$$

将 R' , G' , B' 带入式(2)–式(4),得到 Y' , U' , V' ,设 $Y'' = Y'$, $U'' = \{U'[8:1], 0\}$, $V'' = \{V'[8:1], 0\}$ 为最终的色度分量值(Y' , $U'[8:1]$, $V'[8:1]$ 存入SDRAM),则由 Y'' , U'' , V'' 经IRCT^[1]变换后的图像与源图像相比,PSNR均大于50dB。

当Y/U/V-FIFO中未读的像数大于设定的阈值32,产生SDRAM的写请求,仲裁对写请求及时响应,当DWT处理模块空闲需要新的Tile数据时,产生SDRAM读请求,仲裁模块在SDRAM总线空闲时响应读请求,参数产生电路则根据Tile划分算法实现要求,为SDRAM控制器的读写产生相应的地址总线。输出控制则根据DWT处理模块的流水实现要求使数据在行内连续,行间可以不连续(可由读FIFO调节来满足输出要求)。

占用的硬件资源为1100LEs(编译器件选择为Altera的EP1S80,编译过程不添加任何优化,以下同,LE为逻辑单元),存储器为2.5kbit(3条64×8bit和1条128×8bit行存),可将多种格式的数字视频输入转换为统一的分量Tile数据输出给小波变换,时钟为DWT处理模块时钟频率的2倍。

2.2 2D-DWT的VLSI设计与小波系数存储控制

2.2.1 并行流水内嵌扩展的2D-DWT设计 JPEG2000对于有损压缩使用双正交小波滤波器组Daubechies 9/7或5/3小波,因9/7小波系数为浮点型,需要的运算精度高,且需要经过两步提升和一步尺度变换,对分解后的小波系数还需要复杂的量化运算,所占用的存储器和运算资源较多。由文献[8]可知,不同滤波器组的压缩效率非常接近,对Jet, Baboon, Goldhill, Lena, Pepper等标准测试图像,在0.125bps

时的 PSNR 差值在 0.5dB 内,因此本设计中仅支持 5/3 小波。对 Lifting 算法,由分解和预测两步组成,取 $i_0 = 0, i_1 = 255$, 分别表示输入一行(或列)数据的开始索引和最后索引。 $\alpha = 1/2, \beta = 1/4$, 2D-DWT 可以由 1 维行滤波器和 1 维列滤波器组合成内部行列高度并行的 DWT 设计, 如图 4 所示。

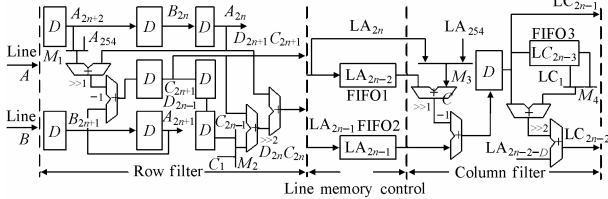


图 4 DWT 处理模块框图

Fig.4 Implementation architecture of DWT process

其实现步骤如下：

步骤 1 ($i_0 - 1 \leq 2n + 1 < i_1 + 1$):

$$Y(2n + 1) = X_{ext}(2n + 1) - [\alpha(X_{ext}(2n) + X_{ext}(2n + 2))] \quad (5)$$

步骤 2 ($i_0 \leq 2n < i_1$):

$$Y(2n) = X_{ext}(2n) + [\beta(Y(2n - 1) + Y(2n + 1))] \quad (6)$$

A, B 为行滤波的两行输入, 相差 1 个时钟周期。分成奇偶两行, 行内 ABAB...AB 相互错开, 以此使行滤波器的计算流水线充满, 达到 100% 的硬件利用率, C_{2n}, C_{2n+1} 为滤波后的 L, H。行缓存 FIFO1 和 FIFO2 存放的是第 $2n - 2$ 和 $2n - 1$ 行的滤波结果 LA_{2n-2} 和 LA_{2n-1} 。当前行滤波的输出结果 LA_{2n} 和 LA_{2n+1} 分别写入到 FIFO1 和 FIFO2。同时 FIFO1 和 FIFO2 的输出 LA_{2n-2}, LA_{2n-1} 和当前输入 LA_{2n} 在列滤波器中按式(5)运算, 得到最终的当前分解级的小波滤波结果 LC_{2n-1} 。FIFO3 中存放前一行的奇行滤波结果 LC_{2n-3} , 在 LC_{2n-1} 流水的写入 FIFO3 时, FIFO3 的输出 LC_{2n-3}, LC_{2n-1} 和 LA_{2n-2-D} (LA_{2n-2} 经 D 触发器延时一级)按式(6)运算, 得到最终的当前分解级的小波滤波结果 LC_{2n-2} 。对行和列滤波所使用的输入对称扩展, 可通过在计算时引入多路选择器解决。如对 C_{255} 的计算需使用 A_{254} 和 A_{256} (因对称扩展, $A_{256} = A_{254}$): 当 $n = 127$, 使 M_1 的输出选择 A_{254} ; 当 $n = 0$, 使 M_2 的输出选择 C_1 ($C_1 = C_1$)。列滤波中的扩展同理可得。

该结构实现了小波分解的行列并行流水处理, 对于 $N \times N$ 大小的图像进行 1 级小波分解, 只需 $N^2/2$ 个时钟周期, 50MHz 工作时钟时的 3 级小波分解可达 69Msample/s^[9], 且仅需使用 3 条行存 FIFO (256 × 11bit 的双端口 RAM), 使用了嵌入扩展, 而不需专用的扩展电路, 简化了控制和数据流路设计以及系统功耗, 且流水线中行存分级分布, 使行存控制电路, 仅为简单的 FIFO 写入与读出, 控制和计算电路需要的硬件资源为 800LEs, 行存为 8.25kbit。

2.2.2 并行读写低存储的小波系数存储设计 小波系数的存储方案设计直接影响片上 RAM 的大小和整个编码系统的并行性, 在设计中采用如图 5 所示的双缓存结构。设 Tile 大小为 $N \times N$, 码块大小为 $M \times M$, 则 MEM1 为 $N^2/4 \times 11b$, MEM2 的存储空间为 $3NM \times 8b$ 。MEM1 和 MEM2 分别存储 DWT

变换后的 LL 和 LH, HL, HH 子带数据 (MEM1 为双端口 SRAM, MEM2 为单端口 SRAM), 其中 3 个子带在 MEM2 中是按不同的基地址依次存放的。在进行第 $n(n > 1)$ 级小波变换时, 从 MEM1 中读取 $(n - 1)$ LL 子带的数, 输入给 DWT 处理模块, 变换后的 n LL 写回 MEM1 中, n LH, n HL, n HH 的子带数据仍然分别写回 MEM2 中的 LH, HL, HH 存储区。LH 存储区的大小事实上为 MN , 组成 $M \times N/2$ 大小的双缓存, 分为 LH1, LH2。

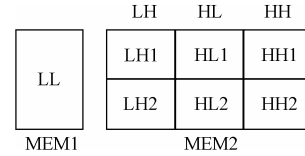


图 5 DWT 变换物理存储示意

Fig.5 Implementation of physical memory for DWT

小波系数存储控制对 DWT 处理的输出即时响应, 写到系数存储器中相应地址, 以 LH1 为例, 当其写满后, LH1 的存储器满标志位置 1。当检测到 HH1 和 HH2 的两个存储器满标志位都为 1 时: 在第 1 级分解时, 反馈给图像预处理模块, 停止输出数据 (DWT 处理的输入); 在多级分解时, 小波系数存储控制会暂时中断 $(n - 1)$ LL 的行数据输出, 以此停止小波分解。当 DWT 处理的输出数据已写满 3 个存储器中的任一时, 如 LH1, 此时已形成码块, 可以输出码块数据, 而此后的小波系数写往 LH2 等存储区, 按此交叉存取。

由于 DWT 处理的内部高度流水结构, 使得在两行同时输入下, 1 个时钟内输出两个小波系数, 为简化存储控制接口以及 DWT 处理与位平面编码速度的不匹配, DWT 处理与小波系数存储控制模块的时钟频率满足 1: 2。

2.3 Tier1 编码器设计

JPEG2000 编码是以码块为编码单元, 由位平面编码器和自适应的二进制算术编码器构成。位平面编码器可利用变长编码 (RLC) 对数据压缩, 更重要的是根据 8 邻域来产生上下文 (Context) 即更新算术编码器的概率所需的概率模型的索引值, 实现结构如图 6 所示。

2.3.1 通道并行高效流水的位平面编码器设计 位平面编码包括通道扫描和通道编码, 通道扫描过程将位平面分为 3 个通道, 为有效性传播通道, 幅度细化通道, 清除通道, 分别

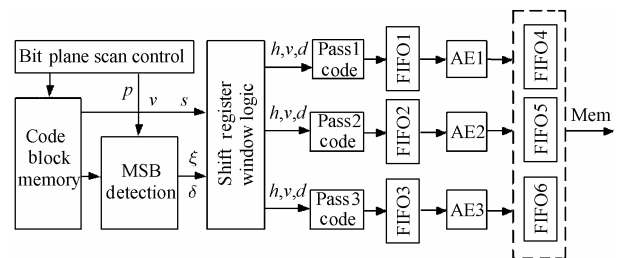


图 6 Tier1 编码结构

Fig.6 Architecture of tier1 encoder

对其进行编码。协议所阐述的通道扫描方法, 在扫描过程中存在冗余搜索和无效遍历, 且在生成上下文时需要 8 邻域,

严格地限制了同一位平面内的3个编码通道的顺序,不利于通道并行处理实现,使位平面编码成为整个系统的速度瓶颈。如使用列关联模式下的上下文生成,即只利用扫描过的点的有效性,利于实现同一位平面或不同位平面间的通道并行处理。但多通道并行需要对应的多算术编码器^[10],且并行压缩码流输出会导致存储器写阻塞,降低系统效率。

因此仅使用3通道并行的方案,同时使用3个同步算术编码器,算术编码器工作时钟为位平面编码器的一半,减少了对算术编码器关键路径的要求,且降低了功耗。图6中,子带小波系数由系数存储模块控制依次写入码块存储器,随后扫描并将位平面的数据传输给窗口移位寄存逻辑,生成3通道上下文编码所需1列4点的每点邻域有效性状态贡献值: h (水平), v (垂直), d (对角)。需要以下状态变量: v_p (样点的第 p 位幅度), δ (有效性), π (当前编码样点在前一通道中编码否), ξ (该样点是否首次进入幅度细化通道), s (邻域符号)。

文献[2,3,5,6]在实现时使用存储器存储这些状态变量值,增加了读取和实时刷新状态存储器的额外时钟,且会阻塞位平面编码器实现中的流水线。本文使用了MSB(最高有效位)检测电路,通过实时的检测和生成状态变量,可省去状态存储器,仅需使用移位寄存器组(5列 \times 4样点/列 \times 5个状态变量=80)保存在编码时所需的当前编码样点及其邻域的状态值。该电路通过组合逻辑,在码块数据输出的同时得到 δ 和 ξ (v_p 和 s 在扫描时可直接得到)。基本原理为:设正在编码的位平面为 p ,当前编码样点的最高有效位为 msb ,则

if $p < msb$ $\delta = 1$; else $\delta = 0$;

if $(msb \geq 2) \& (p < msb - 2)$ $\xi = 1$; else $\xi = 0$

在Pass1和Pass3通道,存在多种编码操作如RLC,ZC,SC,通道内编码切换如果采用状态机实现,在状态跳转时,会产生时钟冗余。图7为Pass3中的一种无冗余时钟编码说明:在时钟1(列内编码开始的第1个时钟)对输入的一系列数据进行RLC判断,如果满足RLC编码条件,进入RLC编码;在时钟3,将邻域符号数据输入SC编码器;在时钟4,SC编码输出,同时将ZC编码计数器初始化(Nbcflagtemp值输入到NBC索引电路^[2],产生Nbcindex选择出ZC,SC编码所需的 h, V, D 值),以进行ZC编码。Nbcflagtemp定义如下:设100S010为RLC编码实例,对100S进行RLC编码,对010进行ZC编码,则Nbcflagtemp=4'b0111。如果不满足RLC编码条件,则将Nbcflag^[2]的值输入到NBC索引电路,以进行ZC编码。

综上,本文采用了列关联模式,MSB检测电路,NBC电路和通道内高度流水控制实现了位平面编码的高效快速设计,占用的逻辑和计算资源为1200LEs,存储器为11kbit(存储码块系数),在100MHz工作时钟下的上下文编

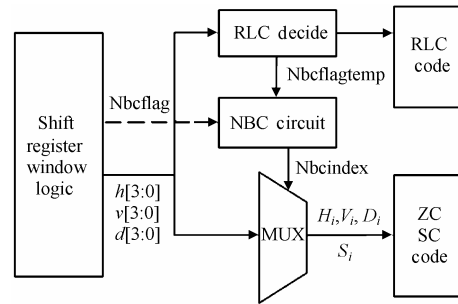


图7 Pass3通道编码

Fig.7 Architecture of pass3 coding

码速度为21.5M sample/s(以一幅512 \times 512的灰度Lena图像编码需1,159,053编码时钟周期计算)。

2.3.2 同步流水算术编码器设计 高性能压缩的算术编码器取決与 Q_e 值的选取,JPEG2000中的 Q_e 估值表是经过大量统计得出的。位平面编码器产生的上下文决定了与之对应的码字(D)编码时所需 Q_e 的产生。具体地说,在编码实现时存在两个查询表, Q_e 表和 CX 表。 CX 表的内容是 $I(CX)$ 和 MPS ,分别表示 Q_e 概率表的地址和当前编码时所预测的大概率对应值(1或0),上下文即为 CX 表的索引。 Q_e 表的内容包括 Q_e 值(LPS区间值), $NMPS$ (下一次 MPS 的索引), $NLPS$ (下一次LPS的索引), $SWITCH$ (决定 CX 表中 MPS 值是否取反)。根据协议,算术编码的流程如下:

步骤1 INITENC:初始化编码时的寄存器;

步骤2 读 CX (Context Label), $D(0,1)$;

步骤3 编码(ENCODE):在编码中需引入RENORME; CODEMPS条件: $D \oplus MPS(CX) = 0$, CODELPS条件: $D \oplus MPS(CX) = 1$

步骤4 FLUSH,编码结束后将REGC和缓存中的数据输出。

在具体实现时,对步骤3采用了3步流水硬件结构,如图8所示,从而得到了一种可在 $N+3$ 个编码时钟内编码 N 个 CX 和 D 的算术编码器,3个算术编码器消耗的硬件资源为3600LEs,FIFO存储器为5kbit(FIFO4=FIFO6=256 \times 8bit)。

2.4 Tier2的实现

2.4.1 码流组织 Tier2的功能是将经算术编码输出的压缩码流,通道长度和码块附加信息,如通道码流在码流存储器

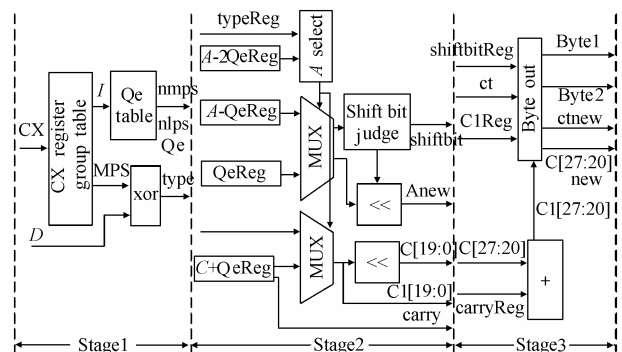


图8 3步流水算术编码器

Fig.8 3-stages pipeline arithmetic encoder

中的起始地址等。按照 JPEG2000 的标准形成各种 Marker 后,然后输出符合 JPC 规范的码流(JPEG2000 的文件格式)。以下说明主包头(Main header)和 Tile 包头(Tile part header)的最简构成,实现时如图 9。

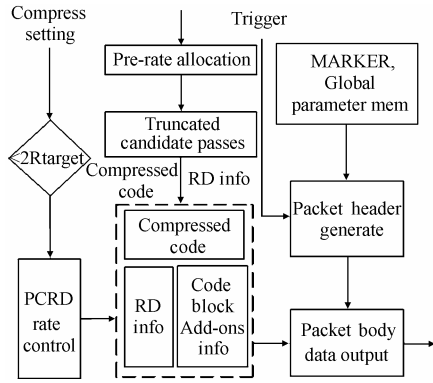


图 9 Tier2 实现结构

Fig.9 Functional implementation diagram of tier2

主包头包括: SOC(0xFF4F)表示 JPC 文件的开始; SIZ 提供图像参考格的长宽, Tile 的长宽, 分量个数, 分量位深度等解压图像的的必要信息; COD 提供编码风格, 分解和图像的分层等信息; QCD 定义了与量化有关的参数。

Tile 包头包括 SOT, 表明一个 Tile 码流的开始及该 Tile 在图像中的索引值; SOD 表明当前 Tile part 的码流的开始。Tile 中码流是由包(Packet)组成的, 在将算术编码的压缩码流形成包时需要为该包的以下信息首先编码: 是否为零长度包, 码块包含信息, 最大无效位平面数, 每个码块对包贡献的通道数和码块数据长度。

2.4.2 联合速率控制 速率控制是实现高效高质量压缩图像的关键。JPEG2000 标准的 PCRD 算法具有理论最优的压缩效率, 其拉格朗日目标优化函数为

$$\sum (R_i^n(\lambda) - \lambda D_i^n(\lambda)) \quad (7)$$

RD 斜率: $S_i^k = \Delta D_i^k / \Delta R_i^k$, 目的是在目标压缩率 $R_{target} \geq \sum R_i^n$ 下满足图像失真度 $D = \min \sum D_i$, 其搜索空间对彩色图像为 3 分量的所有通道的 S 值, 在得到 λ_{opt} 值后, 对通道码流进行截断打包, 因此需要大的压缩码流缓冲区, 同时 S 本身需要 4 字节的长整型表示, 产生大的 S 搜索空间和 S 存储器。

因此, 采用了一种基于通道数的速率分配算法^[11], 优点是在 Tier1 编码时可实时截断码流, 不需要 S 值的计算和搜索, 仅需简单的加减运算, 同时减少了压缩码流的存储所需容量, 且对预测将产生无效码流的通道编码可直接跳过, 加快 Tier1 编码速度。在压缩率大于 1bps 时, 图像压缩质量 (PSNR) 低于 PCRD 优化算法约 0.8dB。硬件实现资源为 1000LEs, 因此在芯片设计时, 将此算法作为一种速率预分配方案。

将 PCRD 的 RD 斜率计算简化为单调增的对数域上 8 位整数表示^[12], RD 信息存储区中所存的值为 Tile 块内具有相同

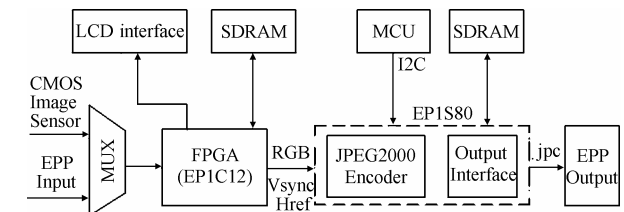
RD 斜率的通道的压缩码流的长度和, 因此在定码率压缩下, 通过 RD 信息存储区可搜索到 RD 斜率的阈值, 用此值在码块附加信息存储区内顺序搜索, 以确定最终在压缩码流中的通道数据, 完成压缩和 Tile 内的打包, 试验表明该简化算法与 PCRD 算法在同样试验条件下的压缩图像 PSNR 值差值可控制在 0.5dB 以内, 且两者的视觉质量也近似。

在图 8 的 Tier2 结构中, 综合采用此两种压缩控制方法, 压缩码流存储器为 48kB。预压缩率设定为 $2R_{target}$ (最大值为 2bps, 此时码流存储器中获得一种近似无损压缩后的压缩码流集), 再使用 PCRD 压缩。以存储在帧存中的 Lena 图像测试, 在压缩率 20 倍时, 跳过的无效通道数约为 2/3, 使得 Tier1 编码在 100MHz 工作时钟时, 可达 65Msample/s, 系统编码采样率可达 45Msample/s (因 DWT, Tier1, Tier2 在系统整体表现为串行运行)。Tier2 占用的总的硬件资源为 3500LEs, 存储器为 469kb (压缩码流存储器 48kB, 码块信息存储器 48kb, 工作存储器 32kb, RD 斜率存储器 4kb, 有效位平面 1kb)。

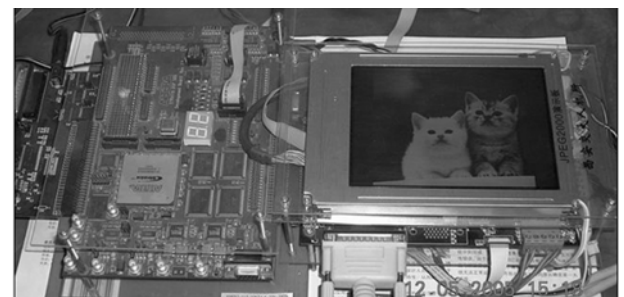
3 FPGA 验证与结论

3.1 JPEG2000 芯片的验证

编码芯片的 FPGA 验证平台结构如图 10 所示。其中图 10(a)是验证功能图, 验证编码的数字视频格式图像源来自 CMOS 传感器, 或由计算机通过 EPP 并口下载, 经 FPGA (EP1C12) 将标准测试图像序列转换得到。芯片压缩后生成的 JPC 文件, 可直接通过 EPP 并口传回到 PC 机, 由标准解码软件 Kakadu 或 JASPER 解码。MCU 通过 I2C 总线对编码器进行全局参数配置。图 10(b)为编码器的验证实物图。



(a) JPEG2000 验证功能图
(a) Verification scheme of JPEG2000 Encoder



(b) JPEG2000 编码器验证实物图
(b) Photo of verification of JPEG2000 encoder

图 10
Fig.10

3.2 芯片性能参数

基于本方案的 JPEG2000 编码芯片性能参数为: 支持最大 Tile 为 256×256, 最大图像为 4096×4096, 小波可分解 3 级, 码块为 32×32, 在 Tier1 工作时钟为 100MHz 时, 压缩率 20 倍时, 系统编码采样率可达 45Msample/s, 10 倍时可达 20.75Msample/s(以 512×512 Lena 灰度图像测试), 压缩的 .jpc 文件, 符合 ISO/IEC FCD15444-1 规范, 可由 Kakadu 解压。其中在 SMIC.25 库, Synopsys DC 的综合下: 逻辑门为 10.9 万门, 存储器为 862kb, 功耗为 105mW, 适合低功耗应用领域, 如可拍照手机, 数码相机, 网络监控等领域。当 Tile 为 128×128 时, 存储器为 221kb, 而文献[4-6]设计中的存储器分别为 472kb, 309kb 和 288kb, 文献[6]在工作时钟 100MHz, 10 倍压缩率下的系统编码速率为 7.6Msample/s。

压缩倍数 20 倍, 5/3 小波变换, 无分量变换, 列关联模式, 分别使用 JASPER 与本文的硬件压缩结果比较如表 1。

表 1 JASPER 和硬件压缩结果比较
Tab.1 Comparison of compressed image
between JASPER and proposed hardware

图像	JASPER(dB)	芯片(dB)
Lena	34.03	33.69
Jet	33.38	33.32
Goldhill	29.89	29.52
Pepper	32.02	31.53
Baboon	23.45	22.96

参 考 文 献

- [1] ISO/IEC JTC 1/SC 29/WG N1646R. March 2000. JPEG2000 part 1 final committee draft version 1.0.
- [2] Lian Chung-Jr, Chen Kuan-Fu, *et al.*. Analysis and architecture design of lifting based DWT and EBCOT for JPEG2000, International Symposium on VLSI Technology, Systems, and Applications, Hsinchu, Taiwan, April 2001: 180-183.
- [3] Lian Chung-Jr, Chen Kuan-Fu, *et al.*. Analysis and architecture design of block-coding engine for EBCOT in JPEG2000. *IEEE Trans. on Circuits and Systems for Video Technology*, 2003, 13(3): 219-229.
- [4] Amphion Inc.. CS6590 JPEG2000 codec, Preliminary Product Brief. October 2001. <http://www.amphion.com>.
- [5] Andra K, Chakrabarti C, Acharya T. A high performance JPEG2000 architecture. *IEEE Trans. on Circuits and Systems for Video Technology*, 2003, 13(3): 209-218.
- [6] Huang Quanping, Zhou Rongzheng, Hong Zhiliang. Low memory and low complexity VLSI implementation of JPEG2000 Codec. *IEEE Trans. on Consumer Electronics*, 2004, 50(2): 638-645.
- [7] Liu Leibo, Cheng Ning, Hongying Meng, *et al.*. A VLSI architecture of JPEG2000 encoder. *IEEE Journal of Solid-State Circuits*, 2004, 39(11): 2032-2040.
- [8] Christopoulos C, Skodras A, Ebrahimi T. The JPEG2000 still image coding system: an overview. *IEEE Trans. on Consumer Electronics*, 2000, 46(4): 1103-1127.
- [9] Lan Xuguang, Zheng Nanning, Liu Yuehu. Low-power and high-speed VLSI architecture for lifting-based forward and inverse wavelet transform. *IEEE Trans. on Consumer Electronics*, 2005, 51(2): 379-385.
- [10] Fang Hung-Chi, Wang Tu-Chih, Lian Chung-Jr, *et al.*. High speed memory efficient EBCOT architecture for JPEG2000. Circuits and Systems, 2003, Bangkok, Thailand, May 2003, Volume 2, II-736-II-739.
- [11] 吴宗泽, 郑南宁. 基于编码通道数的 JPEG2000 压缩率控制算法, 西安交通大学学报, 2004, 38(12): 1216-1219.
- [12] Wu Zongze, Zheng Nanning. Approximately optimal rate allocation with high speed and high accuracy. *IEEE Trans. on Consumer Electronics*, 2005, 51(3): 993-998.

梅魁志: 男, 1977 年生, 博士, 研究方向为数字视频图像处理、ASIC 与 SoC 设计。
郑南宁: 男, 1952 年生, 中国工程院院士, 教授, 长期从事计算机视觉与模式识别、数字视频与信号处理等方面的研究工作, 发表学术论文 100 余篇。
刘跃虎: 男, 1962 年生, 教授, 主要研究领域为计算机图形学与多媒体技术。