

合成孔径雷达实时成像转置存储器的两页式结构与实现

卢世祥 韩松 王岩飞
(中国科学院电子学研究所 北京 100080)

摘要: 该文介绍了合成孔径雷达实时成像处理器转置存储器的基本工作原理,讨论了转置存储器的两种主要结构:三页式结构和两页式结构,并指出了这两种结构各自的优缺点。重点介绍了两页式转置存储器结构的典型应用,给出了以双数据率同步动态内存(DDR SDRAM)作为主存储器构成的两页式转置存储器的电路结构和实现结果。

关键词: 合成孔径雷达, 转置存储器, 三页式, 两页式, 双数据率同步动态内存

中图分类号: TN958, TN957.5

文献标识码: A

文章编号: 1009-5896(2005)08-1226-03

The Structure and Implementation of the Two-Frame Corner Turn Memory(CTM)in Real Time Imaging of SAR

Lu Shi-xiang Han Song Wang Yan-fei

(The Institute of Electronics, Chinese Academy of Sciences, Beijing 100080, China)

Abstract The Corner Turn Memory(CTM) for real time imaging of the Synthetic Aperture Radar(SAR)is presented in this paper. Two types of structure of CTM: the three-frame and the two-frame are discussed, of which the merits and flaws are compared. The representative application of the two-frame CTM is introduced predominantly, of which the implementation in circuit and the result are given with the Double Data Rate Synchronous Dynamic RAM(DDR SDRAM)served as the main memory.

Key words Synthetic Aperture Radar(SAR), Corner Turn Memory(CTM), Three-frame, Two-frame, Double Data Rate Synchronous Dynamic RAM(DDR SDRAM)

1 引言

合成孔径雷达(SAR)是一种高分辨率的微波成像雷达,实时成像处理器是其关键部分,用于处理雷达原始回波信号,实时获得目标场聚焦图像。在实时成像处理器中,数据进入方位向处理之前是按照距离向的顺序排列的,而数据的方位向处理是在与距离向垂直的方向上进行的。因此,为了适应方位向处理对输入数据的要求,必须对输入数据进行转置:将距离向接收的数据重新排序,使得依次沿着距离向顺序的数据变换成沿着方位向顺序输出给方位处理^[1]。由此可见,在转置存储器中,需要有大容量的存储器来缓存沿距离线方向进来的数据。然而,大容量的存储器将占据实时成像处理器很大比例的空间和成本。所以,选择高效的转置方法和存储结构,以降低所需存储器的容量及其控制单元的复杂程度,是一件非常重要的工作。本文介绍了转置存储器的基本工作原理和它的两种主要结构:三页式结构和两页式结构,重点介绍了两页式结构的实现及其优缺点,最后给出了两页式结构的典型应用实例。

2 转置存储器工作原理

如图 1 所示,数据以距离线的形式一线一线地输入至转置存储器,经过转置处理,转换到以方位线的形式一线一线地从转置存储器输出,使数据的位置坐标发生了 90° 的转换。

由于每一个方位线数据既要参与上一个合成孔径长度图像数据的 FFT 处理,又要参与下一个合成孔径长度图像数据的 FFT 处理,这就要求在方位向上相邻的两组方位线之间有一半数据是重合的。因此,转置存储器至少能够缓存一帧图像数据。对于宽测绘带、高分辨率 SAR 成像系统来说,每帧图像的数据量是很大的。例如,对于距离向采样点数为 8192 点、方位向处理点数为 16384 点、传输数据为 I, Q 两路各 32 bit 的系统,每帧图像的数据量高达 $8192 \times 16384 \times 2 \times 32 \text{ bit} = 1 \text{ GByte}$ 。转置存储器的结构形式决定着自身的容量和控制单元的复杂程度,这就要求在保证系统要求的前提下,合理选择转置存储器的存储结构和转置方法,尽量降低所消耗的容量资源,同时兼顾硬件电路的易实现性。

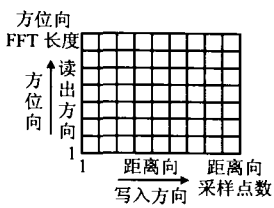


图 1 转置存储器工作原理示意图

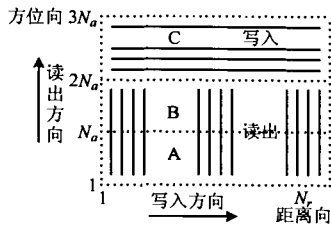


图 2 三页式结构示意图

3 转置存储器的结构

目前广泛应用的存储器结构主要有以下两种：三页式结构和两页式结构。下面将分别讨论这两种结构和它们的主要优缺点。

3.1 三页式结构

典型的三页式结构见图 2。在这种结构中，转置存储器被分成了大小相等的 3 块主存储器 A、B 和 C。每一块主存储器距离向长度等于一条距离线上的样本数 N_r ，方位向长度等于方位处理中 FFT 长度 $2N_o$ 的一半。转置存储器工作时，一块主存储器用于数据输入，同时另两块主存储器用于数据输出，输入和输出是并行进行的。这就要求在设计上要保证在写满一块主存储器的时间内能够读完另两块主存储器。因此，这种结构中的读速度是写速度的两倍。

在这种结构中，转置存储器循环执行下面 3 种工作状态：

- (1) 状态 1：写主存储器 A，同时顺序读主存储器 B 和 C；
- (2) 状态 2：写主存储器 B，同时顺序读主存储器 C 和 A；
- (3) 状态 3：写主存储器 C，同时顺序读主存储器 A 和 B。

这种存储结构的优点是控制逻辑比较简单，可以利用它和输入、输出存储器行列地址的对应关系简化地址产生器的结构，易于硬件实现。其不足之处是所需存储空间较大，完成一帧图像的三页式转置操作，所需要的总存储容量为该帧图像数据大小的 1.5 倍。

3.2 两页式结构

上述三页式结构实际上造成了存储空间的冗余。比如，在工作状态 1 中，写主存储器 A，同时顺序读主存储器 B 和 C，在读出主存储器 B 的某一存储位置的数据后，只有主存储器 B 的数据全部读出，才会有新的距离线数据写入此存储位置(进入工作状态 2)，也就是说主存储器 B 处于写空闲状态。因此，三页式结构存储器在每种工作状态都有 1/3 的存储空间处于写空闲状态。

与三页式结构相比，两页式结构采用了两块大小相等的主存储器 A、B，每一块主存储器距离向长度仍等于一条距离线上的样本数 N_r ，方位向长度仍等于方位处理中 FFT 长度 $2N_o$ 的一半。两页式存储结构消除了存储器冗余，完成一帧图像的两页式转置操作，所需要的总存储容量与该帧图像数据大小相等，其存储结构见图 3。

在这种结构中，转置存储器循环执行下面两种工作状态：

- (1) 状态 1：顺序读主存储器 A 和 B，同时写主存储器 A；
- (2) 状态 2：顺序读主存储器 B 和 A，同时写主存储器 B。

同时读写某块主存储器时，距离线数据依次写入此存储器正读出数据的存储位置上。为了保证同一存储位置上的读写不发生冲突，即要保证在同一存储位置上，数据先读后写，数据的写操作在时间上至少要滞后读操作一个读时钟周期。

两页式结构虽然大大减少了存储容量，但是需要合理安排距离线数据在转置存储器中的存放位置，以完成输入数据的正确转置。主存储器 A、B 可以看成是两块大小为 $N_o \times N_r$ 的矩阵，数据在这两块存储器中的存储方式是相同的。因此，只须分析输入数据在其中一块存储器中的存储位置规律。输入至同一块主存储器的第 i 个距离线数据在矩阵中的存储位置 (x, y) 由以下表达式决定^[2]：

$$x = z \bmod N_r \tag{1}$$

$$y = [z / N_r] \tag{2}$$

其中

$$z = (j \times N_r^t) \bmod (N_o \times N_r - 1) \tag{3}$$

$$j = i \bmod (N_o \times N_r) \tag{4}$$

$$k = [i / (N_o \times N_r)] \tag{5}$$

设 a 为整数， b 为自然数，则操作符 $\overline{\bmod}$ 定义如下：

$$\overline{a \bmod b} = \begin{cases} b, & a \bmod b = 0 \cap a \neq 0 \\ a \bmod b, & \text{其他} \end{cases} \tag{6}$$

当输入距离线数据在存储器中的存储位置 (x, y) 按上述式(1)~式(6)给出时，从该存储位置读出的数据一定是上一次在此位置写入的距离线数据的转置，数据读出后，在该存储位置写入新的距离线数据。

两页式结构虽然大大减少了主存储器的存储容量，但却增加了系统控制和地址产生器的电路复杂性，不利于硬件实现。尽管如此，当输入数据距离向长度 N_r 等于方位处理中 FFT 长度 $2N_o$ 的一半，并且需要转置的数据量很大时，采用两页式结构仍然最为合适。

如图 4 所示，在这种结构中，数据的读写过程是：

- (1) 一开始，距离线数据依次沿图中 x 方向一线一线地写入主存储器 A，写满主存储器 A 后，再以相同方式写入主存储器 B。

- (2) 主存储器 A、B 都写满后，开始按图中 y 方向顺序

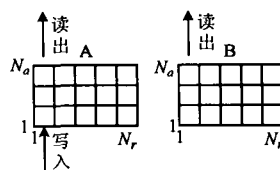


图 3 两页式结构示意图

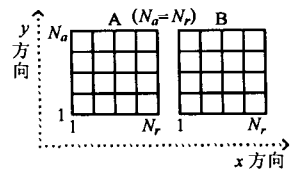


图 4 $N_o = N_r$ 的两页式结构

读主存储器A, B(先A后B)。在读主存储器B时, 距离线数据按图中y方向写入主存储器A。所以, 当主存储器A, B的所有数据都读出后, 主存储器A写满了新的距离线数据, 且数据的写入方向与数据的读出方向一致。

(3) 在主存储器A的数据全部更新后, 按图中x方向顺序读主存储器B, A(先B后A)。在读主存储器A时, 距离线数据按图中x方向写入主存储器B。所以, 当主存储器B, A的所有数据都读出后, 主存储器B也写满了新的距离线数据, 且数据的写入方向与数据的读出方向一致。

(4) 重复(2), (3), 并一直循环下去。

在这种结构中, 主存储器A, B的读写方式是相同的, 且同一主存储器相邻两次写入方向是垂直的, 相邻两次读出方向也是垂直的; 同一主存储器同时读写时, 新的数据的写入方向与旧的数据的读出方向是相同的。

4 转置存储器电路的实现和应用

基于上述转置存储器的结构分析, 我们研制了采用两页式结构的转置存储器。根据系统的技术要求, 对于距离向采样点数8192点, 方位向处理点数为16384点, 传输数据为I, Q各32bit的系统, 采用两页式结构, 需要的总存储量为 $8192 \times 16384 \times 2 \times 32 \text{ bit} = 1 \text{ GByte}$, 每页存储量为0.5GByte。若选用一般存储器, 则PCB板的密度太高, 不易布线, 可控制性和灵活性差。就目前的存储芯片而言, 采用SDRAM具有存储量大、单片体积小、读写速度快、价格低廉等优势。综合考虑性能、价格、体积、功耗等因素, 在设计中选用了DDR SDRAM(双数据率同步动态内存)作为主存储单元^[3]。DDR SDRAM是SDRAM(单数据率同步动态内存)的升级版, 因此亦被称为“SDRAM II”, 其最重要的改变是在数据传输上。它在系统时钟信号的上升沿和下降沿均可进行数据处理, 数据传输率可以达到SDRAM的两倍, 而SDRAM只在时钟上升沿传送数据。至于寻址与控制信号, 则和SDRAM相同。

设计时, 将内存组织成两块大小均为 $8k \times 8k$ 个存储单元的存储矩阵, 每个存储单元存储一个64bit的数据。由于SDRAM的控制比较复杂, 并且输入输出数据缓冲需要高速、大容量FIFO来完成, 因此, 在设计中选用了Altera公司的FPGA来完成所有的逻辑电路控制, 该FPGA自带大容量RAM, 能很好地满足输入输出缓冲容量和速度的要求^[4]。所有的高速数据交换均在FPGA内部、FPGA与内存条之间完成。这种高度集成化的结构有利于系统结构简化与参数修改, 增强了系统工作的稳定性和灵活性, 其电路框图如图5所示。

为了简化SDRAM控制命令字和读写地址产生, 对SDRAM的读写方式是: 同一行采用突发访问模式, 每个系统时钟周期就能访问一个字, 激活行地址命令在整个访问周

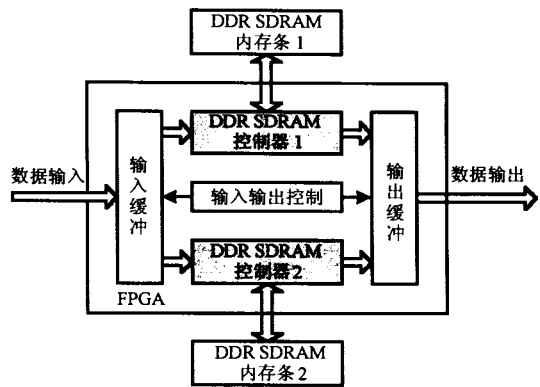


图5 转置存储器电路框图

期中只占有很小的一部分; 跨行访问采用带有自动预充电的读写操作, 每4个系统时钟周期访问一个字^[5]。因此, 跨行访问决定了系统的数据吞吐率。转置存储器工作时, 每条距离线以脉冲重复频率为周期写入转置存储器, 在DDR SDRAM工作频率达到133MHz时, 完成方位向16384个点的单字读出, 需要的时间仅为 $250 \mu\text{s}$ (包括SDRAM自动刷新所占用的时间在内), 完全满足系统要求。

5 结束语

转置存储器是SAR实时成像处理器的重要组成部分, 本文介绍了转置存储器的三页式结构和两页式结构, 重点讨论了节省存储空间的两页式结构, 并结合地面实时成像处理器对转置存储器的速度和容量要求, 采用两页式存储结构, 使用大规模现场可编程器件作为控制器件。本文提出的电路结构简洁, 集成度高, 控制效率高, 可扩展性良好, 可以预见, 随着超大规模集成电路技术的飞速发展, 转置存储器会有更多的实现方法, 性能也会得到更大的提升。

参考文献

- [1] 张澄波. 综合孔径雷达原理、系统分析与应用. 北京: 科学出版社, 1989: 243 - 245.
- [2] Ren Gang, Han Jizhong, Han Chengde. CTM on multiprocessor: Solution for bottleneck of SAR. International Conference of Signal Processing, Beijing, 2000: 1917 - 1918.
- [3] Micron Incorporated. Small-Outline DDR SDRAM DIMM Data Book, 2003.
- [4] Altera Incorporated. Stratix Device Hand Book, 2003.
- [5] Altera Incorporated. DDR SDRAM Controller Megacore Function User Guide, 2003.

卢世祥: 男, 1976年生, 硕士生, 主要研究方向为信号处理。

韩松: 男, 1971年生, 副研究员, 主要研究领域为信号处理、微波成像技术。

王岩飞: 男, 1963年生, 研究员, 博士生导师, 主要研究领域为信号处理、SAR系统设计、微波成像技术。