

文章编号: 1002-2082(2005)01-0056-04

# 使用CPLD实现对DALSA 4口 输出线阵CCD IT-P1的驱动

彭富伦

(西安应用光学研究所, 陕西 西安 710065)

**摘要:** 本文分析研究了DALSA公司1024元4口输出线阵CCD IT-P1在驱动中存在的诸多问题。针对CCD IT-P1采用多口输出工艺、驱动频率要求高、驱动时序比较难于实现等问题,提出了使用CPLD(Complex Programmable Logic Device)器件结合硬件编程语言VHDL最终实现高频驱动的方法。与使用传统门电路实现高频驱动相比,该方法实现了大量门电路功能,解决了传统方法中大量高频门电路的干扰以及采购等问题,提高了驱动电路的集成化程度、抗干扰性能及可移植性能。实验表明,使用CPLD实现CCD的驱动无论在电路设计,还是在系统集成和抗干扰等方面都表现出良好的性能,使系统十分简洁,优化了整个驱动设计。

**关键词:** 4口输出CCD;驱动;CPLD;时序;VHDL

**中图分类号:** TP312;TN386.5

**文献标识码:** A

## Four-channel Linear Array CCD-IT-P1 Driven by CPLD

PENG Fu-lun

(Xi'an Institute of Applied Optics, Xi'an 710065, China)

**Abstract:** CCD-IT-P1 produced by Dalsa Corporation is a linear scanning CCD which has 1024 pixels, and it outputs the image signals by four channels. Many problems existing in the drive aspect are analyzed in this paper. Aiming at the technology of four channels, the high requirement of driving frequency and the complex sequence etc., we put forward a method in which the complex programmable logic device (CPLD) and very-high-speed integrated circuit hardware description language (VHDL) is used. This method of using complex VHDL achieves the function gotten by many gate-circuits, solves the jamming of the gate-circuits, and raises the degree of integralization, the performance of anti-jamming and the transplant. The experiment shows that to use CPLD for driving this CCD can achieve the favorable performance.

**Keywords:** four-channel CCD; Driving; CPLD; time sequence; VHDL

### 引言

CCD驱动作为探测成像领域的基本技术,正受到越来越多的关注。传统的使用大量门电路来实现驱动的方法,不利于系统集成,且门电路的大量使用会降低整个系统的可靠性,尤其在高频CCD驱动上如果采用传统方法实现驱动十分困难,原因主要是高频干扰以及高频器件的采购问题。本文尝试用CPLD实现这种驱动,以求解决以上问题。

### 1 IT-P1 CCD的结构和驱动时序

### 要求

IT-P1 CCD为1024元4口输出CCD,驱动频率在20MHz以上,其结构如图1所示。

从图1可以看出:CCD分别从OS1、OS2、OS3、OS4 4个输出口输出光敏信号,4个口光敏元的具体分布如图2所示。

光敏元按奇偶分成两行错位排列,形成100%占空比。4口输出方式的输出速度相当于在相同驱动时钟驱动下输出速度的4倍(相对于单口双行体制)。这样就可以用较低的频率完成高频才能完成

收稿日期:2004-03-25 修回日期:2004-04-10

作者简介:彭富伦(1980-),男,四川乐山人,中国兵器科学研究院硕士研究生,主要从事传感器方面的研究。

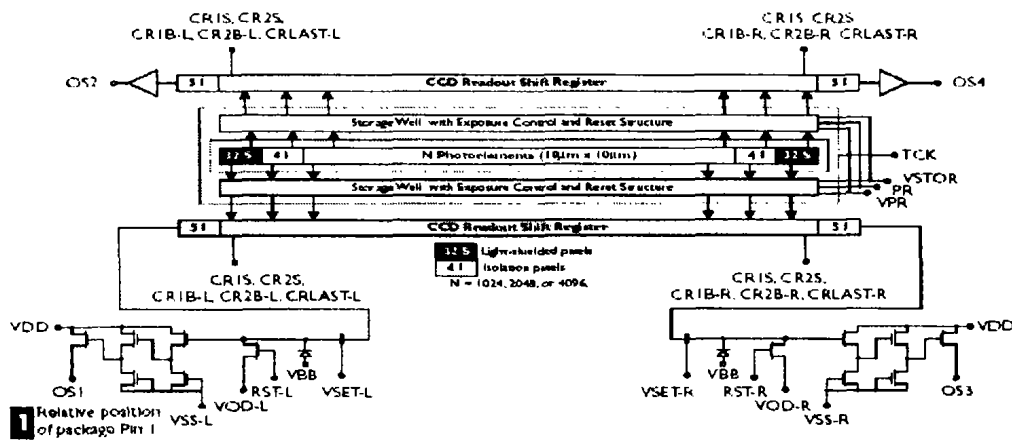


图1 CCD结构示意图

Fig. 1 Schematic diagram of CCD structure

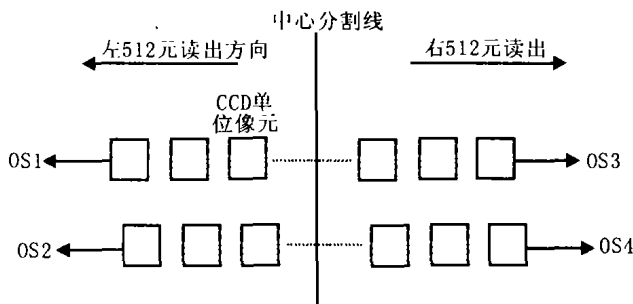


图2 CCD像元分布示意图

Fig. 2 Distribution of the CCD pixel

的功能,避免高频对电路的苛刻要求和节省购买高频器件的经费。

IT-P1 CCD 需要比较复杂的驱动时钟和偏压,这些驱动时钟和偏压有

驱动时钟: CR1S, CR2S, CR1B, CR2B, CRLAST, TCK, RSTC。

驱动时钟的时序关系如图3所示。

图3中,  $t_1, t_2, t_3, t_4, t_5, t_6, t_7, t_8, t_9, t_{10}, t_{11}, t_{12}, t_{13}$  是各个时钟之间所要求的时间关系。具体时间参数

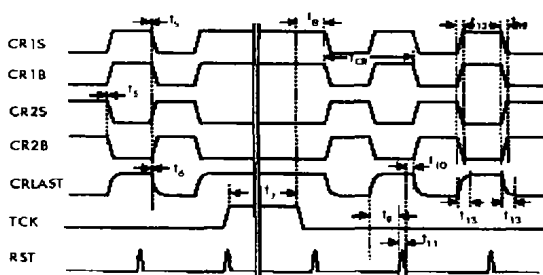


图3 驱动信号时序关系

Fig. 3 The sequence relationship of all driving signals

的选取与实际设计的电路要求有关,设计必须满足这种关系。

驱动时钟对时序的要求是十分严格的,尤其是RSTC这个复位脉冲,要在每一个主时钟的末尾产生一个5ns的高电平脉冲,清除上个周期在输出栅极没有完全输出的电荷,以保证下一个周期信号电荷的“清洁”。

除了RSTC脉冲外,TCK脉冲的产生,也将传统的计数器全部移植到CPLD中,这样通过程序就能控制计数器的模数,十分灵活。同时CPLD还集成了其它时序的实现程序,便于整个驱动电路的移植。

要使CCD正常工作,还需要以下偏压信号:  $V_{DD}, V_{OD}, V_{SET}, V_{STOR}, V_{PR}, V_{BB}, V_{LOW}, V_{SS}$ ,其偏压值必须在要求范围内。

CCD只有满足以上时序和偏压要求后才能正常工作。以前的一些驱动电路(包括CCD资料上带的)都采用传统方法实现这些偏压和时序,非常繁琐,而且门电路的大量使用,大大降低了系统可靠性。同时,在国内很难买到很多性能可靠的高频器件,即使能通过一些途径从国外购得,价格也十分昂贵。因此,本文采用的驱动方法,能从一定程度上解决这个问题。

## 2 CPLD 驱动原理

ALTERA公司的EPM7128SL184-7/10器件含有2500个可用门,84个管脚,其中有用管脚数为68。通过该公司提供的MAXPLUS II 10.0软件,对

CPLD 器件进行编程配置。下面具体介绍以 EPM7128LI84-7/10 为基础实现驱动时序的方法，重点将放在 RSTC 和 TCK 脉冲的实现上。设计原理如图 4 所示。

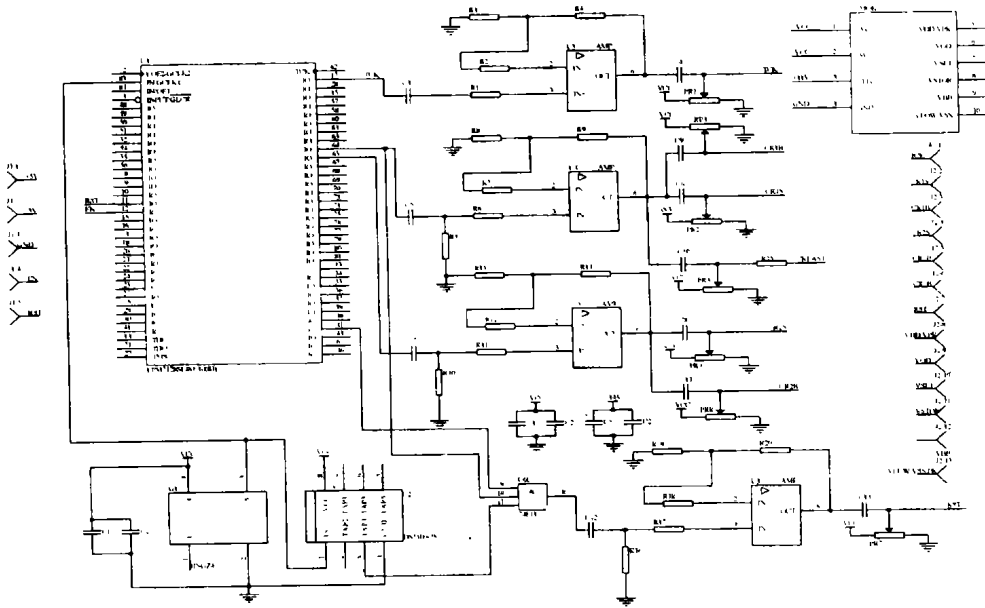


图 4 电路原理图

Fig. 4 Schematic diagram of the circuit

由图4 可以看出由晶振出来的20 MHz 主频直接进入EPM7128SLI84-7/10 进行变换,为了其后RSTC 脉冲的产生,还必须将主频送到延迟线中进行80%的延迟。CPLD 器件中的程序原理如图5 所示。

分别代表 2 输入与门、非门及 2 输入或门。TCKOUT1 和 YANCHI1 是自行用 VHDL 语言编制的两个程序,完成 TCK 转移信号的产生;该硬件语言执行后,将产生 CR1X,CR2X,CRLAST 及 TCK 信号的基础信号,只需要将这些信号进行相应的放大等变换,就可以完成最终需要的信号。其中值得一提的是 TCK 脉冲的产生,它是用图中设计的 TCKOUT1 按要求对主时钟进行重复计数,取计数器的相应端口送入 YANCHI1,器件按要求进行延时得到最终的 TCK 脉冲基础信号。这两个用语言编写的硬件语言完成了大量门电路的功能,而且效果良好。

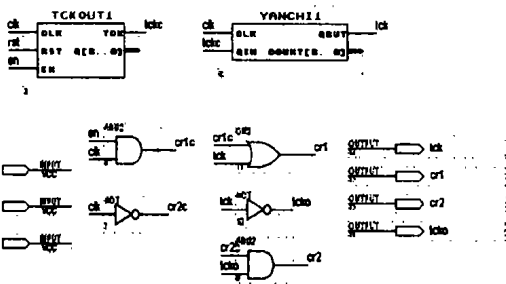


图 5 程序原理图

Fig. 5 Schematic diagram of the program

图5 是用MAXPLUS II 10.0 编制的GDF(图形界面设计程序)文件。从图中可以看出,输入信号有 3 个,它们分别为CLK,EN 和 RST。这里,CLK 表示主时钟,即 20MHz 主频;EN 为全局使能信号,它为高电平时系统才开始工作;RST 为全局复位信号,当RST 为高电平时全局数据全部重置。图中的AND2,NOT 和OR2 均为软件自身提供的逻辑,

使用 MAXPLUS II 10.0 对以上程序进行仿真,得到的结果如图 6 所示。

输入信号 RST 保持低电平不变,表示没有全局复位信号;EN 一直保持高电平表示全局使能;主时钟 CLK 为 20MHz;通过输入得到 3 个输出:1) CR1 与 CLK 同向,并且在 TCK 为高时也为高;2) CR2 与 CR1 反向,并且在 TCK 为高时为低;3) TCK 场转移信号,按规定的周期出现。

上述信号产生后,还剩下本次设计最难的一路驱动信号——RSTC。整个脉冲周期与主时钟一样,但占空比只有 20%,也就是一个周期 5 ns 的高

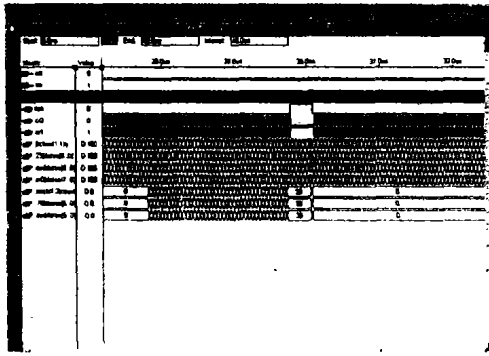


图6 程序仿真图

Fig. 6 Diagram of the program simulation

电平时间。这对于很多器件来说仅仅相当于建立时间和消隐时间,所以必须采用高速器件。当然仅采用高速器件也是不够的,还需要在设计中加入相应的改进。设计中采用74F113输入高速与门来实现。3个输入分别是由延迟线产生的TAP3(相对于主时钟有60%的延迟)、由CPLD产生的CR1和CPLD产生的TCKO(与TCK反向)。产生RSTC的原理如图7所示。

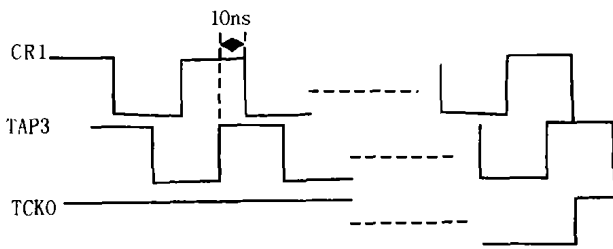


图7 RSTC脉冲产生示意图

Fig. 7 Schematic diagram of the generation of RSTC signal

通过图7可以看出,CR1与TAP3之间每个周期有10ns的高电平重合时间(为了满足30%要求,即按3DB计算的高电平时间),二者相遇就可以得到RSTC的基础信号。TCKO与TCK脉冲反向,其作用是在TCK转移脉冲作用时不产生RSTC复位脉冲。这样产生出来的RSTC脉冲直接放大后,负过冲过大,如果直接使用,可能损坏CCD,必须采取相应的消除负过冲的方法。这里使用快恢复二极管来消除负过冲,其效果基本符合使用要求。

以上过程完成了CCD驱动时序。由于驱动时序还有偏压等具体要求,所以还要加外围的放大变换电路最终得到需要的时序;同时合适的偏压产生电路也是必不可少的,所以设计电路时使用了电路变换模块和由电阻搭成的简易偏压电路。

### 3 实验结果

时序产生电路最终得到的时钟信号(通过示波器测量)如图8~10所示。

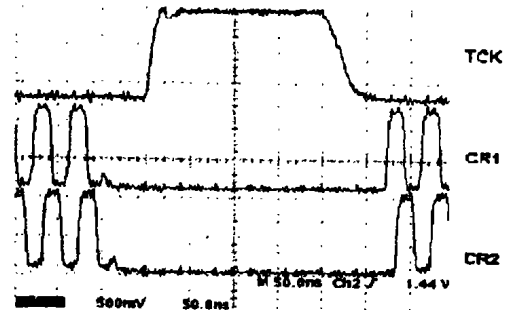


图8 主驱动信号图

Fig. 8 The master driving signal

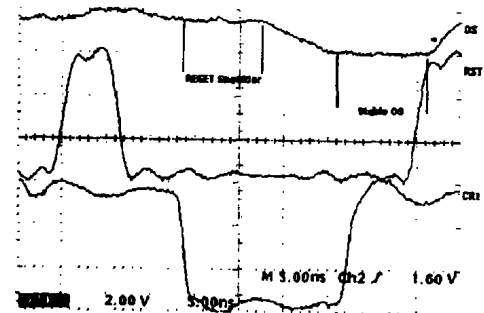


图9 RST信号

Fig. 9 RST signal

图8~10是用示波器测量得到的实际电路各驱动信号之间以及驱动信号与CCD输出之间的关系图。通过测量,时序和偏压均满足规定的要求,能正常驱动CCD。

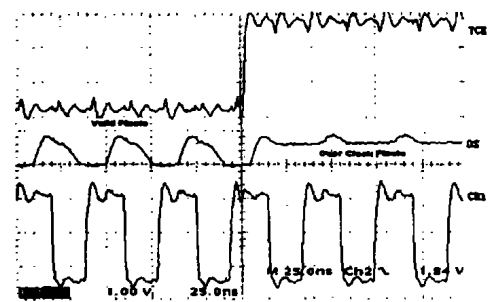


图10 CCD输出信号图

Fig. 10 CCD output signal

### 4 结论

CPLD器件驱动时序的设计使驱动电路具有很强的移植性和适应性。对于DALSA的大多数

(下转第52页)

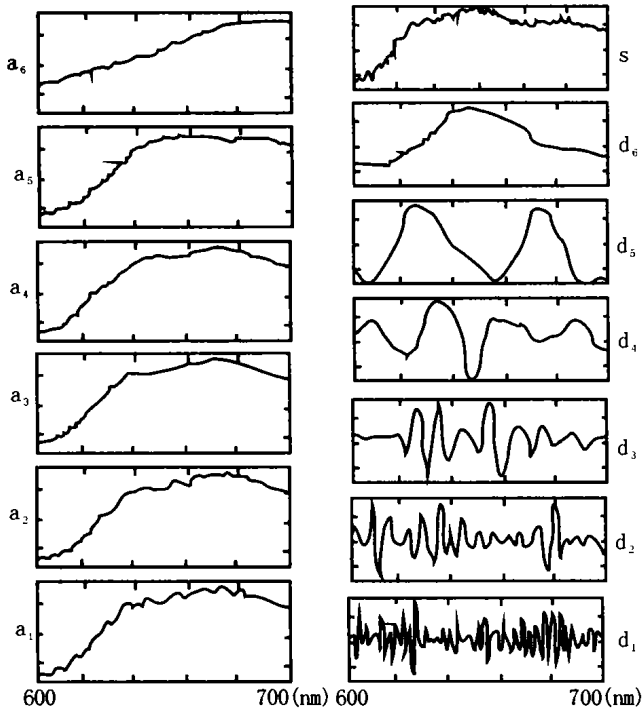


图3 小波变换对原始光谱的6次分解结果

Fig. 3 Results obtained from 6 times of decomposition to the original spectrum by wavelet transform

的识别带来了困难。在  $d_5$  中我们成功地观测到叶绿素 a 和叶绿素 b 的荧光发射峰,得到了藻类所含叶绿素的准确成份和定量信息。 $d_5$  信号中两个峰又完全重叠,因此我们选取离散逼近信号  $d_5$  来提取用于识别绿藻的特征,即叶绿素 b 的荧光发射峰。我们通过解析出叶绿素 a 和叶绿素 b 的荧光发射峰就能对藻类所含叶绿素进行定性和定量分析,

估测海洋中藻类群落结构和生物量。

### 5 结论

采用小波变换对四乳突扁藻的荧光光谱进行多级分解能有效地滤除荧光光谱中的噪声,并可对四乳突扁藻所含特征色素——叶绿素 a/b 重叠的荧光峰进行解析,这对绿藻的识别和对海洋中藻类群落结构和生物量的估测具有重要意义。本文讨论的基于小波变换的叶绿素 a/b 荧光光谱光纤测量系统还能用于海藻叶绿素 a/b 含量的在线测量,为监测海洋生态环境提供了一种新的方法。

#### 参考文献:

[1] 高洪峰,焦念志. 通过藻类色素分析估测海洋浮游植物生物量和群落组成的研究进展[J]. 海洋科学, 1997,(3):51-53.

[2] 朱延彬,吴燕燕,龚为穗,等. 大面积水域浮游植物的天然叶绿素荧光特性研究[J]. 华南师范大学学报(自然科学版),1994,(2):31-36.

[3] Mallat S G. A theory for multiresolution signal decomposition: the wavelet representation [J]. IEEE Trans Pattern Anal Machine Intell,1989,11(7):674-693.

[4] 陈逢时. 子波变换理论及其在信号处理中的应用[M]. 北京:国防工业出版社,1998.

(上接第 59 页)

CCD,只需要对器件内的驱动程序进行一些修改,并且根据要求输入主频,就可以得到时序要求十分严格的驱动时序。

#### 参考文献:

[1] 蔡文贵,李永远,贺鹏令. CCD 技术及应用. [M]. 陕西:陕西省兵工学会光电专业委员会,1991.

[2] 宋万杰,罗丰,吴顺君. CPLD 技术及其应用[M]. 西安:西安电子科技大学出版社,2000.

[3] Kevin Skahill. VHDL FOR PROGRAMMABLE LOGIC [M]. 南京:东南大学出版社,1998.

[4] 赵曙光,郭万有,杨颂华. 可编程逻辑器件原理、开发与应用[M]. 西安:西安电子科技大学出版社,2000.

[5] 黄正谨,徐坚,章小丽,熊明珍. CPLD 系统设计技术入门与应用[M]. 北京:电子工业出版社,2002.