

# 视频解码芯片中去块效应环路滤波的硬件实现

冯燕, 刘肃, 谢朝辉

(兰州大学物理科学与技术学院, 兰州 730000)

**摘要:**提出了一种支持 H.264/AVC 和 AVS 两款视频编解码标准的解码芯片中去块效应环路滤波(Deblocking Loop Filter)的硬件实现结构。这种结构通过采用恰当的片内 Buffer 管理方式和流水线设计, 解决了环路滤波的硬件实现时速度慢的问题, 使得效率提高。通过标准的复用, 能有效地节省面积。

**关键词:** H.264/AVC; AVS; 复用; 去块效应环路滤波; 流水线设计

## Hardware Implementation of Deblocking Loop Filter in Video Decoder Chip

FENG Yan, LIU Su, XIE Zhaohui

(School of Physical Science and Technology, Lanzhou University, Lanzhou 730000)

**【Abstract】** This paper proposes hardware implementation architecture for deblocking loop filter in a multi-mode video decoder chip which supports H.264/AVC and AVS. This architecture adopts appropriate management of buffer-on-chip and pipelining design to improve filter speed and efficiency. The reuse with two standards can save area efficiently.

**【Key words】** H.264/AVC; AVS; Reuse; Deblocking loop filter; Pipeline design

H.264/AVC是由联合视频专家组(Joint Video Team, JVT)制定的最新视频编解码国际标准, 该标准与MPEG-2和H.263相比, 具有更好的图像压缩性能。AVS(Audio Video Coding Standard)是由我国制定的自主知识产权的视频编解码标准, 在高清图像的处理上具有与H.264/AVC相当的性能, 但是计算复杂度比H.264/AVC低得多。H.264/AVC和AVS都采用基于块的DCT变换、量化、运动补偿, 这些技术都会不可避免地在块边界引入块效应, 严重影响了图像的主观质量; 而且块效应会随着前面的已解码帧作为参考帧而累积, 降低编码效率。因此, H.264/AVC和AVS标准都采用去块效应环路滤波(简称环路滤波)来去除块效应, 以提高图像的主观质量和编码效率。由于环路滤波过程中数据读取的不规则性, 使得环路滤波的计算复杂, 速度慢<sup>[3]</sup>。本文提出了一种有效的环路滤波硬件结构, 可以同时支持H.264/AVC和AVS, 该结构通过适当的片内Buffer管理和流水线设计来提高滤波速度。

### 1 H.264/AVC 和 AVS 标准中环路滤波技术

环路滤波在整个视频解码过程中位于重建之后, 对每个解码完成的宏块按光栅扫描顺序进行滤波, 图像边界不用滤波。对每个宏块, 按照先垂直边界(从左到右)、后水平边界(从上到下), 先亮度、后色度的顺序对最小尺寸的块边界(H.264/AVC为4×4块, AVS为8×8块)进行滤波, 图1所示为一个宏块中需要滤波的边界, H.264/AVC对于实线、虚线边界均需要滤波, AVS只对实线边界进行滤波。图1中 $p_0$ 、 $p_1$ 、 $p_2$ 、 $p_3$ 和 $q_0$ 、 $q_1$ 、 $q_2$ 、 $q_3$ 为滤波边界两边的像素值。

为了更好地去除块效应, H.264/AVC和AVS都采用自适应环路滤波, 滤波的参数、滤波的模式都随边界两边的编码参数自适应地改变<sup>[3]</sup>。H.264/AVC和AVS的自适应环路滤波都包括如下几个部分: (1) 计算边界的滤波强度(Boundary

Strength)。根据不同的滤波强度, 选择不同的滤波器。滤波强度大小主要取决于边界两边块的编码特性。根据滤波强度的不同, H.264/AVC和AVS标准中均提出两种滤波器: 对于滤波强度相对小的边界采用线性滤波器, 对于滤波强度相对大的边界, 则针对不同的像素点分别采用3抽头、4抽头、5抽头的滤波器。称前者为标准滤波, 后者为强滤波。不能对图像的所有边界一味地加以平滑, 必须先分清图像的真实边界和虚假边界。对真实边界要加以保持, 而对虚假边界进行平滑滤波。(2) 计算边界阈值 $\alpha$ 、 $\beta$ 、 $c_0$ 。最后对滤波强度不为0的虚假边界进行平滑滤波。

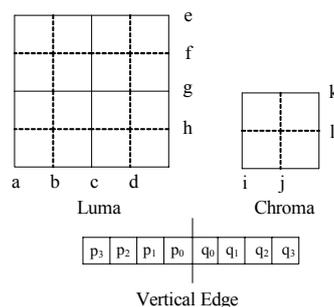


图1 宏块中需要滤波的边界

### 2 硬件结构

考虑 H.264/AVC 和 AVS 两个标准的异同, 以及上文中关于自适应环路滤波的 3 个步骤, 提出如图 2 的硬件结构, 用来实现两款标准的环路滤波。

**作者简介:**冯燕(1980-), 女, 硕士生, 主研方向: 集成电路设计, 视频编解码技术; 刘肃, 硕士、教授; 谢朝辉, 硕士生

**收稿日期:** 2006-05-08 **E-mail:** liusu@lzu.edu.cn

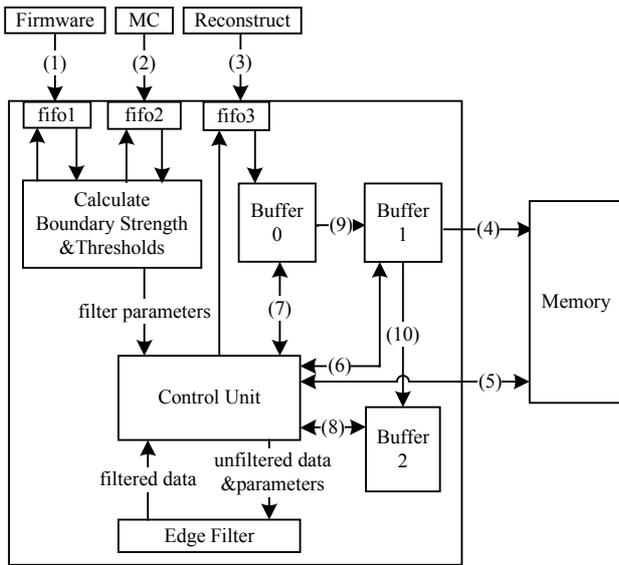


图 2 Deblocking loop filter 的硬件结构

## 2.1 与其他模块的接口

图 2 中, (1)为环路滤波与 Firmware 的接口。Firmware 发送与环路滤波有关的参数到 fifo1,如当前码流是 AVS 还是 H.264/AVC(avs\_flag)、环路滤波禁用标志、滤波偏移参数、当前宏块的编码类型(帧内编码或者帧间编码)、量化参数等。(2)为环路滤波与 MC(Motion Compensation)的接口。MC 发送各个小块的参考帧索引和运动矢量等信息到 fifo2。(3)为环路滤波与 Reconstruct 模块的接口, fifo3 中存放的是重建后的像素数据。(4)、(5)为环路滤波与 RAM controller 的接口,滤波后像素数据的写外存工作通过这两个接口控制完成。

## 2.2 环路滤波各部分的功能

### 2.2.1 计算边界滤波强度和阈值

该部分首先读取 fifo1 和 fifo2 中的数据,然后计算下一个宏块(指光扫描顺序上当前宏块的下一个宏块)的滤波强度和阈值。此处,滤波当前宏块和计算下一个宏块的滤波参数是并行的(如图 6 所示)。在接到当前宏块的滤波结束信号之后,将滤波参数送入 Control Unit 模块准备下一个宏块的滤波,而该模块开始计算下下个宏块的滤波参数。

### 2.2.2 数据缓存器

图 3 为本文的设计中亮度所用数据缓存器的示意图。图中每个小方块代表一个  $4 \times 4$  块的像素数据,箭头代表数据的转存方向。Buffer0 中包含 Buffer0-a 和 Buffer0-b 两个单独的 buffer,从 fifo3 读入的重建数据,被分别送给这两个 buffer,采用这种方式是为了在垂直滤波时同时读写边界两边的像素,提高滤波的速度。

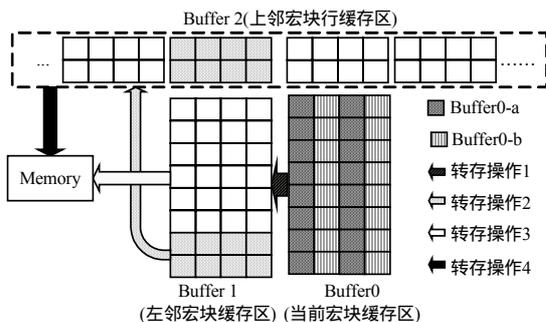


图 3 环路滤波中的数据缓存器(亮度)

图 3 中转存操作 2 和转存操作 3 都是在 a 边界(见图 1)

滤波完成之后进行。其中,转存操作 2 只针对左邻宏块缓存区中阴影部分的小块数据,转存操作 3 针对非阴影部分的小块数据。Buffer2 用来保存当前宏块的上邻宏块行中最下面 4 行(或 8 行)数据。由于在 H.264/AVC 中 MC 模块对片外存储器的访问次数很多,使得访存成为解码器的瓶颈。为了减少对外部存储器的访问次数,本设计中利用 24KB 的片内 buffer 来保存这些数据。

### 2.2.3 控制单元

该模块产生数据缓存器和片外存储器的地址信号和读写使能信号,控制当前宏块(或宏块对)的滤波和左邻宏块(或宏块对)滤波后数据的写外存工作。此处,滤波和写外存工作是并行的。

### 2.2.4 边界滤波

边界滤波是环路滤波的核心部分,完成一个  $4 \times 4$  块边界的垂直或者水平滤波。为了复用,AVS 中也按  $4 \times 4$  块滤波,但只对  $8 \times 8$  块的块边界滤波, $8 \times 8$  块内部跳过(不用滤波)。该模块的输入为 Control Unit 发送的需要滤波的像素数据和相应的滤波参数(BS、Thresholds),滤波后的数据返回给 Control Unit 模块。图 4 所示为边界滤波模块的内部结构。

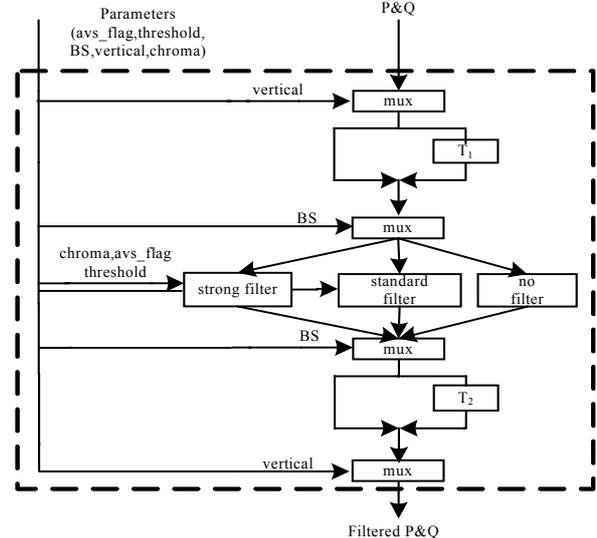


图 4 Edge filter 的结构

$T_1$ 和 $T_2$ 代表转置操作。因为Edge Filter模块需要完成垂直和水平两种边界的滤波,基于对两种边界读取像素方式的不同,在水平边界滤波前先进行转置操作。 $T_1$ 所完成的工作是把输入的两个  $4 \text{ pixels} \times 4 \text{ lines}$  矩阵通过转置得到  $8 \text{ pixels} \times 4 \text{ cols}$  矩阵。它的工作原理如图 5 所示。图 5 中每个正方形代表一个像素点,箭头代表像素移动方向。输入的像素数据先通过实线箭头分别填充到两个  $4 \times 4$  矩阵,然后通过虚线箭头依次将每列的 8 个像素点输出准备滤波。此时会有以下几种情况:对于 H.264/AVC,  $BS = 0$  时不用滤波, $BS = 1 \sim 3$  时标准滤波, $BS = 4$  时强滤波;对 AVS,  $S = 0$  时不用滤波, $BS = 1$  标准滤波, $BS = 2$  时强滤波。所以本设计中用 BS 控制选择器(如图 4 中的 MUX)来选择正确的滤波情况。滤波过程中,阈值用来区分当前边界是图像的真实边界还是虚假边界。色度标志用来控制色度的滤波。avs\_flag 用来决定滤波器的抽头个数、系数等。

从图 4 中可以看出,滤波后的数据处理结构和滤波前完全对称。滤波后的像素经过两次选择和一次转置操作 $T_2$ (其像素移动方向与 $T_1$ 相反)输出。

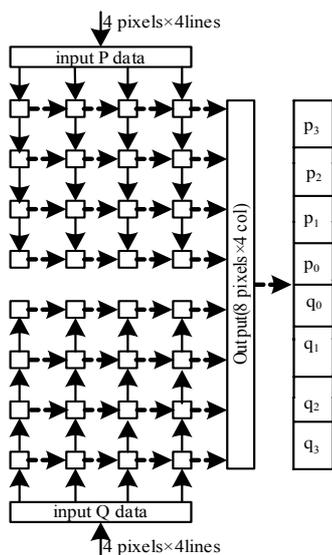


图 5 T<sub>1</sub>的工作原理

### 2.3 流水线设计

H.264/AVC 的滤波以 4×4 块为基本单元,这使得一个宏块需要滤波的像素点较多,滤波速度慢。为了解决这个问题,本文采用流水线设计,包括以下 2 个方面:(1)在宏块级的滤波循环中采用三级流水线操作,即将计算滤波强度和阈值、滤波、滤波后数据的存储 3 部分并行,如图 6 所示;(2)对于块边界的滤波,也采用三级流水线,即在一个周期中滤波前块边界两边数据的读取、滤波、滤波后数据的返回同时进行。这两处的流水线设计有效地提高了滤波的速度。

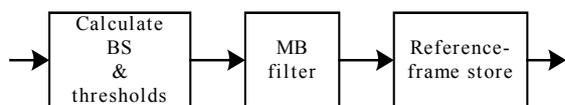


图 6 宏块级的流水线设计

### 3 验证与仿真

该结构首先通过 Cmodel 验证了其功能,然后用 Verilog HDL 代码加以实现并利用 Cmodel 产生的测试向量进行仿真。仿真结果显示,该结构能正确完成两个标准的环路滤波。该

(上接第 214 页)

多路适配器的硬件部分是并行测试的执行载体,在逻辑上区分的各个端口对应到物理端口后,物理连接模块实现与被测对象的互通互联,对之进行测试和验证。利用 TTCN-3 的并行功能特性,编写同时测试多个被测对象(如终端)的测试套,以软件形式实现了并行测试的目的。减少了设备的复杂性,并可以降低成本。

### 4 结论

本文介绍了 TTCN-3 协议一致性测试的原理、执行机和 TCI/TRI 接口的实现方法,重点探讨了测试执行时,对多被测对象,实现多路并行独立测试的问题;解决了并行测试中,逻辑的并行策略映射于物理的多路实现的问题。把多路并行测试的逻辑部分利用测试脚本由软件实现,可以降低测试设备的复杂性,节约测试费用。我们实现的工具还可以方便编

设计在 Xilinx Virtex6000-6 的 FPGA 上通过验证,能运行到 99.7MHz。表 1 为不同设计在 FPGA 上的资源占用情况(不包括数据缓存器)比较。

表 1 各种环路滤波设计在 FPGA 上资源占用情况比较

Design	Occupation (slice)
Reuse design in this paper	12 490
Realize AVS only	5 724
Realize H.264/AVC only	10 902

由表 1 可以看出,本文的设计所占用的资源为单独实现 AVS 的 2.18 倍,为单独实现 H.264/AVC 的 1.15 倍,说明本设计通过复用能很好地节省面积。

### 4 结论

本文首先简单介绍了 H.264/AVC 和 AVS 两款标准中自适应环路滤波的算法,然后提出了一种能同时支持 H.264/AVC 和 AVS 环路滤波的硬件实现结构。设计的主要思想是通过适当的 Buffer 管理和流水线设计来提高环路滤波的速度。这个设计可以用在支持 H.264/AVC 和 AVS 的多模编解码芯片中,也可用在只支持 H.264/AVC 的编解码芯片中。

### 参考文献

- 1 Video Coding Standard FCD1.0. Audio Video Coding Standard Workgroup of China(AVS)[S]. 2003-11.
- 2 Joint Video Team (JVT) of ISO/IEC MPEG and ITU-TVCEG. Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification (ITU-T Rec.H.264/ISO/IEC 14 496-10 AVC)[S]. JVTG050, 2003.
- 3 List P, Joch A, Lainema J, et al. Adaptive Deblocking Filter[J]. IEEE Trans. on Circuit Syst.Video Technol., 2003, 13(7).
- 4 Miao Sima, Zhou Yuanhua, Zhang Wei. An Efficient Architecture for Adaptive Deblocking Filter of H.264/AVC Video Coding[J]. IEEE Transactions on Consumer Electronics, 2004, 50(1).
- 5 Huang Yuwen, Chen Towei, Hsieh Bingyu, et al. Architecture Design for Deblocking Filter in H.264/JVT/AVC[C]//Proceedings of International Conference on Multimedia and Expo. 2003-07.

辑、修改、调整测试内容以及方便收集测试结果和统计信息。

### 参考文献

- 1 ETSI ES 201 873-1 V3.0 European Telecommunications Standards Institute. Methods for Testing and Specification (MTS); The Testing and Test Control Notation version 3; Part 1: TTCN-3 Core Language[S], 2005-03.
- 2 高翔,蒋凡,杨敬峰,等. TTCN-3 研究综述[J]. 计算机工程与科学, 2004, 26(6): 17-20.
- 3 高翔. 基于 TTCN-3 的测试执行与实现[D]. 合肥: 中国科学技术大学计算机科学技术系, 2005-05.
- 4 IEEE 802.16d PCT Specification[Z]. 2005-06.
- 5 IEEE 802.16d and Amendments[Z]. 2004-06.