

JPEG2000 位平面编码器的硬件实现

乔世杰, 赛金乾, 高 勇, 王 永, 闫玉玲

QIAO Shi-jie, SAI Jin-qian, GAO Yong, WANG Yong, YAN Yu-ling

西安理工大学 电子工程系, 西安 710048

Department of Electronic Engineering, Xi'an University of Technology, Xi'an 710048, China

E-mail: shijie_qiao@126.com

QIAO Shi-jie, SAI Jin-qian, GAO Yong, et al. Hardware implementation of JPEG2000 bit-plane coding. *Computer Engineering and Applications*, 2009, 45(24): 70-71.

Abstract: This paper proposes a new simple and flexible architecture for JPEG2000 bit-plane coding, the architecture contains three state machines to control the coding process. By using local optimization and template technology for data buffering, the coding efficiency is improved. The new architecture has fewer hardware consumption and great flexibility in handling the code block. The Verilog HDL modules of architecture are designed, simulated and synthesized to FPGA, the results show that the architecture designed is correct and the highest frequency of the design is up to 82 MHz.

Key words: JPEG2000; bit-plane coding; Verilog HDL

摘 要: 采用三个状态机控制编码操作, 并采用局部优化和模板数据缓冲技术, 提出了一种简单、灵活的新结构, 提高了编码效率, 减小了硬件实现的资源消耗, 在码块处理上也具有很大灵活性。设计了硬件结构的 Verilog HDL 模型, 进行了仿真和逻辑综合, 并用 FPGA 进行了验证。仿真和综合结果表明, 设计的硬件结构是正确的, 最高频率可达 82 MHz, 满足设计要求。

关键词: JPEG2000; 位平面编码; Verilog HDL

DOI: 10.3778/j.issn.1002-8331.2009.24.022 文章编号: 1002-8331(2009)24-0070-02 文献标识码: A 中图分类号: TN919.81

1 前言

JPEG2000 是一种高品质的图像压缩标准, 它具有高压缩率, 同时支持有损和无损压缩, 能实现渐进传输等优点^[1]。位平面编码是 JPEG2000 中核心编码——嵌入式块编码(EBCOT)的一部分, 其运算量占据了 T1 编码的 50% 以上, 是制约 JPEG2000 编码速度提高的一个重要因素, 许多学者对位平面编码进行了研究。文献[2]将位平面编码中的三次扫描变为一次扫描, 但从整体考虑, 位平面编码后就是算术编码, 而算术编码数据之间的相关性很强, 后一个数据的编码依赖前一个数据编码的编码结果, 一次扫描后产生的数据归属不同通道, 并不能都立即处理。文献[3]对不同位平面的数据并行处理, 可以同时处理多个位平面, 但必须对数据做预处理, 以消除各个位平面之间数据的相关性, 结构相对复杂。文献[4]则在处理过程中对存储做了优化设计。文献[5]对被编码的数据位及其周围 8 个相关位做了

缓冲处理。文献[6]在游程长度编码中使用查表法等对位平面编码进行局部优化。该文在文献[6]的基础上, 采用 3 个状态机控制编码操作, 并采用局部优化和模板数据缓冲技术, 提出了一种简单、灵活的新结构, 提高了编码效率, 减小了硬件实现的资源消耗, 在码块处理上具有很大灵活性。设计了硬件结构的 Verilog HDL 模型, 进行了仿真和逻辑综合, 并用 FPGA 进行了验证。

2 位平面编码的硬件实现

2.1 位平面编码的总体结构

对文献[6]中的位平面编码器做了改进, 采用了新的状态机进行组织运算, 保留了符号编码、零编码、幅度细化编码以及游程长度编码的基本结构。位平面编码的总体结构如图 1 所示, 系统由 3 个部分组成: 4 个 RAM 存储器, 3 个状态机及 3 个编

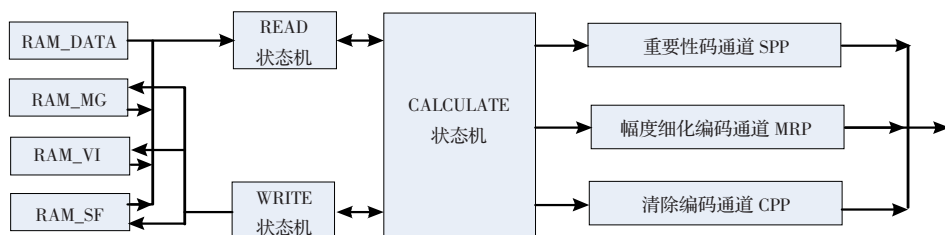


图1 位平面编码的总体结构

作者简介: 乔世杰(1969-), 男, 副教授, 研究方向为小波变换图像编码算法及其 VLSI 实现等。

收稿日期: 2008-07-21 修回日期: 2008-10-14

码通道。RAM_DATA 中存储数据位和符号位信息, RAM_MG 存储幅度细化状态信息, RAM_VI 存储该位是否访问过信息, 而 RAM_SF 存储重要性状态信息; READ 状态机和 WRITE 状态机负责缓冲处理, CALCULATE 状态机负责总体的调度; 数据在重要性编码通道 SPP、幅度细化编码通道 MRP 及清除编码通道 CPP 中进行编码。

2.2 状态机设计

3 个状态机及 READ 状态机、WRITE 状态机和 CALCULATE 状态机通过 4 个控制信号来协调工作, 如图 2 所示。这 4 个信号分别为 c_fetch、c_write、r_ready 和 w_ready。该文设计了 4x4、6x6 及 6x5 的模板用于缓冲处理, 图 3 给出了采用 4x4 模板处理 8x8 码块的示意图。

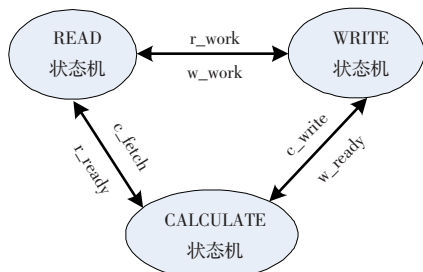


图 2 3 个状态机之间协调

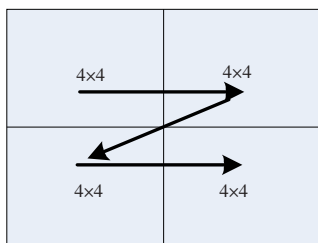


图 3 模板缓冲处理操作

READ 状态机负责读取模板数据, 使用了 4x4 和 6x5 两种类型的模板, 其中数据位信息、幅度细化状态信息及是否访问过信息采用 4x4 模板, 而符号位信息和重要性状态信息使用 6x5 模板。当它处于空闲状态时, 将检查 c_fetch 和 r_ready 两个信号的状态, 若 r_ready 为真即高电平, 则表明 READ 已将相关数据准备好, 且数据未被 CALCULATE 取走, READ 状态机继续处于空闲态。若 r_ready 为假即低电平, 则表明数据已被 CALCULATE 取走, READ 状态机进入工作态, 接着它将判断 WRITE 是否处于工作态, 若 WRITE 处于工作态, 则表明 RAM 正在被使用, 它将等待 WRITE 对 RAM 操作完毕, 然后从 RAM 中读取对应的数据。读取一组数据结束后, 它将判断该码块各位平面的数据是否取完, 以决定是进入空闲态还是结束态。

CALCULATE 状态机负责进行位平面编码, 使用了 4x4 和 6x6 两种类型的模板, 其中数据位信息、幅度细化状态信息及是否访问过信息采用 4x4 模板, 符号位信息和重要性状态信息使用 6x6 模板。当其处于空闲态时, 将检查 r_ready 信号, 若 r_ready 为真, 则从 r_ready 读取一个模板对应的数据, 并通过拉高 c_fetch 的电平通知 r_ready 已将数据取走, 接着 CALCULATE 进入工作态, 在工作态期间它将检查 read 是否处于工作态, 若 read 处于工作态, 则将 c_fetch 赋值为 0。当该模板的数据编码完毕后, 它将检查 WRITE 是否处于工作态, 若 WRITE 处于工作态, 则等待, 否则将数据传给 WRITE, 接着它将决定进入空闲态还是结束态, 若进入结束态, 则发出码块位平面编

码完毕的信号, 通知送入下一个码块的数据。

WRITE 状态机负责向各个状态 RAM 中写入数据, 使用了 3 个 4x4 类型的模板, 用于重要性状态信息、幅度细化状态信息及是否访问过信息。当它处于空闲态时, 将检查 c_write、r_ready 两个控制信号, 若 c_write 为真, 接下来检查 r_ready, 若 r_ready 为假, 表明 READ 正在使用 RAM, 等待 r_ready 为真后向 RAM 中写入数据。

2.3 局部优化设计

该文保留了文献[6]中符号编码、零编码、幅度细化编码以及游程长度编码的基本结构。游程长度编码采用查表法, 该法可以提高游程长度编码的效率, 简化电路结构。

对于 RAM 写操作方面, CALCULATE 状态机计算完一个模板后, 在位平面 SPP 通道编码时, 把该模板对应的所有状态都传递给 WRITE, 其他两个通道编码时, 只将被编码的数据位状态传递给 WRITE, 这样节省了写 RAM 所花费的时间。

2.4 码块处理的灵活性

当前的解决方案都是针对固定大小的码块进行处理^[2-6], 比如对 32x32 或 64x64 的码块进行处理。该文设计的位平面编码中的 RAM 采用 64x64 的深度, 在编码前置入码块的大小信息, 该位平面编码器可进行 $4m \times 4n$ ($16 \geq m \geq 1, 16 \geq n \geq 3$) 大小码块的编码, 提高了编码系统的灵活性。

3 实验结果

该本设计采用 Verilog 语言描述, 使用 Modesim 仿真, 前仿真部分波形如图 4 所示。将仿真结果与 C 语言结果进行对比, 结果表明, Verilog 仿真输出与 C 语言输出结果完全相同。

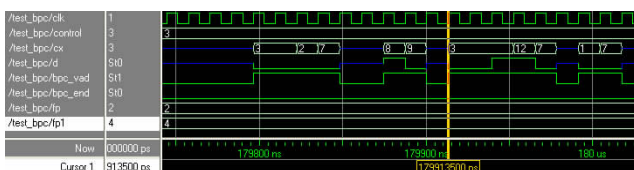


图 4 前仿真部分波形

利用 Altera 的 QuartusII 进行综合, 采用器件为 EP2c35F484C8。表 1 给出了码块为 32x32 时, 优化前后的综合结果 (RAM 采用 32x32 深度), 对比优化前后数据可知, 新结构所用的逻辑单元不到原来的 50%, 频率提升了 50%。

表 1 逻辑综合的结果

	优化前 ^[6]	优化后
Family	CycloneII	CycloneII
Device	EP2C35F672C8	EP2C35F484C8
Total logic elements	6 752	2 423
Total memory bits	11 239	11 239
Frequency/MHz	50.26	82.31

对综合后的网表做了后仿真, 部分后仿真波形如图 5 所示。与前仿真结果对比可知, 两者编码结果一致。

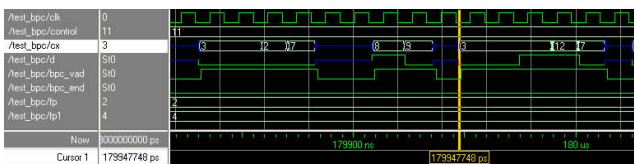


图 5 后仿真部分波形