

文章编号:1672-3961(2008)03-0010-04

# 基于 VHDL 的正交编码脉冲电路 解码计数器设计

胡天亮<sup>1</sup>, 李鹏<sup>1</sup>, 张承瑞<sup>1</sup>, 左毅<sup>2</sup>

(1. 山东大学机械工程学院, 山东 济南 250061;

2. 山东济南一机床集团有限公司, 山东 济南 250022)

**摘要:**针对正交编码脉冲电路脉冲(quadrature encoder pulse, QEP)的解码和计数的问题,给出了 QEP 解码计数器的解决方案.本方案在复杂可编程逻辑器件(complex programmable logic device, CPLD)中使用 VHDL(VHSIC hardware description language)实现语言硬件编程.整个解码计数器设计分为脉冲边沿检测器,计数脉冲和计数方向发生器,上下行计数器三部分,成功的解决了由传感器抖动引起频繁换向时准确计数的问题.该解决方案使用 Altera 公司的 Quartus II 软件进行设计并进行了仿真分析,最后给出了基于此技术的机床数显表的应用实例来说明此技术的可行性和柔性.

**关键词:**正交编码脉冲;解码;VHDL 硬件语言编程;复杂可编程逻辑器件

**中图分类号:**TP273 **文献标志码:**A

## Design of a QEP decode counter based on VHDL

HU Tian-liang<sup>1</sup>, LI Peng<sup>1</sup>, ZHANG Cheng-rui<sup>1</sup>, ZUO Yi<sup>2</sup>

(1. School of Mechanical Engineering, Shandong University, Jinan 250061, China;

2. Jinan First Machine Tool Company LTD, Jinan 250022, China)

**Abstract:** To solve problems in decoding and counting of Quadrature Encoder Pulse (QEP), a design of a QEP decode counter was presented. VHSIC hardware description language (VHDL) was used as the programming language, which was implemented in a complex programmable logic device (CPLD). The whole structure of this design includes three parts: edge pickers, pulse/direction generator and up/down counter. By using this structure, the counting accuracy in a dithering case was successfully guaranteed. Altera Quartus II was used for design as well as simulation analysis. The application in Digital Readout for machine tools was given to improve the feasibility and flexibility.

**Key words:** quadrature encoder pulse (QEP); decoder; VHSIC hardware description language (VHDL); complex programmable logic device (CPLD)

## 0 引言

在机电系统中,常常使用光电编码器或者光栅尺产生 QEP 信号来传递转速信号和位移信号.如何将正交编码脉冲信号解码并计数以方便的提供给控制单元(MCU)做运动控制和检测,成为运动控

制系统硬件设计中的一个重要的环节<sup>[1-2]</sup>.在目前设计应用和研究中,QEP 的解码工作大多是由专用解码芯片来完成<sup>[3-4]</sup>.虽然一些公司提供了专用的脉冲解码器件,但这些应用中往往会增加硬件设计和软件设计上的负担.VHDL 是一种主流硬件描述语言,具有很强的描述和建模能力,能从多个层次对数字系统进行建模和描述,大大简化硬件设计任务,提

收稿日期:2007-09-12

基金项目:国家自然科学基金资助项目(50575129)

作者简介:胡天亮(1981-),男,山东济南人,博士研究生,主要研究领域为机电集成,数控技术.

E-mail: tianliang.hu@hotmail.com

高设计的可靠性<sup>[5]</sup>.在CPLD中通过VHDL实现了正交编码脉冲信号的解码和上下行计数,增加了系统的柔性和稳定性,减少了PCB设计的复杂性.

## 1 正交编码脉冲信号简介

正交编码脉冲信号是具有变化频率和 $1/4$ 个周期( $\pi/2$ )固定相移的两组脉冲信号.在机电系统中其大多由光电编码器或者光栅尺产生.在应用中,通过记录脉冲计算位置,通过两路信号相位的超前滞后关系来标识移动方向的改变.如图1所示,A、B为两路正交信号,CLK和DIR为其携带的计数脉冲和计数方向信号.

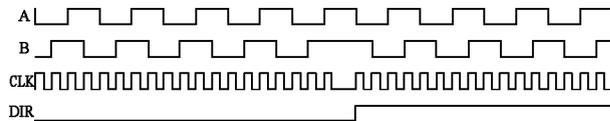


图1 正交编码脉冲信号示例  
Fig.1 Example of QEP signal

## 2 系统结构

将整个设计分为三个模块,分别为:脉冲边沿检测器(edgePicker),计数脉冲和计数方向发生器(程序中为clk\_gen),上下行计数器(程序中为counter),如图2所示.其中,滤波器使用适当的滤波时钟滤波,滤波时钟由分频器分频高频时钟信号生成,分频值由具体的QEP使用频率范围决定(一般为QEP信号频率的8~16倍).edgePicker在高频时钟采样滤波后的QEP信号A、B的上升沿和下降沿产生脉冲;计数脉冲和计数方向发生器根据edgePicker产生的信号产生计数脉冲信号和计数方向信号;上下行计数器用来根据计数脉冲和计数方向信号计数并将数据送出到外部MCU总线.整个系统用高频的时钟信号(程序中为sysClk)来进行采样和时序控制.

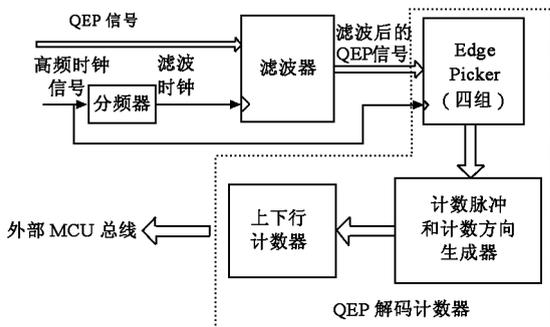


图2 顶层设计原理框图  
Fig.2 Principle chart of top design

## 3 edgePicker的设计

该模块需要检测出输入方波的上升沿并在跳变处产生窄脉冲信号.该设计用高频时钟信号对输入的方波进行采样,在脉冲上升沿生成一个窄脉冲信号.程序如下所示.

```
process
begin
wait until sysClk = '1' and sysClk'event;
if phIn_flag = '1' then
clkCtSig <= '0';
elsif phIn = '1' and phIn_flag = '0' then
clkCtSig <= phIn;
phIn_flag <= '1';
elsif phIn = '0' then
phIn_flag <= '0';
end if;
end process;
```

如程序中所示,如系统时钟sysClk在上跳沿采样到输入信号phIn的高电平后,若phIn\_flag为0,则将clkCtSig置1,并将内部信号phIn\_flag置1,在下一个高频系统时钟到来时如果phIn\_flag为1则将输出电平clkCtSig变低.由此就在方波的上跳沿产生了一个与高频时钟周期相同的窄脉冲.产生此脉冲后phIn\_flag被置高,因此在输入信号phIn的同一个相同电平周期内,只会产生一个高电平脉冲.当sysClk采样到phIn的低电平时,会将phIn\_flag复位以允许下次高电平时相应窄脉冲的产生.本程序通过phIn\_flag的控制和高速采样,实现了对相位输入信号phIn的上跳沿检测,并在每个上升沿输出窄脉冲来触发产生计数脉冲和计数方向.同时若将phIn进行反相处理,输入另外一个edgePicker则可检测出phIn反向信号的下降沿,也就是phIn的下降沿.

## 4 计数脉冲和计数方向发生器(clk\_gen)的设计

该发生器以脉冲边沿检测器产生的四路标识输入信号上升下降沿的窄脉冲信号(phaUp, phaDw, phbUp, phbDw)作为输入信号,并将此四路信号合并为ctClk作为计数脉冲信号输出.同时通过检测pha和phb的电平状态,产生计数方向信号ctUp.其实体描述如下:

```

ENTITY clk_gen IS
PORT
(
  phaUp : IN STD_LOGIC;
  phaDw : IN STD_LOGIC;
  phbUp : IN STD_LOGIC;
  phbDw : IN STD_LOGIC;
  pha : IN STD_LOGIC;
  phb : IN STD_LOGIC;
  ctClk : OUT STD_LOGIC;
  ctUp : OUT STD_LOGIC
);
END clk_gen;

```

具体程序中使用查表原则来确定计数方向.计数方向其真值表如表1所述.

可以看出,表1穷举包含了QEP信号的所有可能出现的情况,通过在ctClk计数脉冲的每个脉冲沿的查询计算,可检测到QEP脉冲信号的所有变化情况以实现抖动的灵敏检测计数,有效的消除了信

号抖动对计数的影响.图3,图4为仿真结果.图4中,在510~670 ns之间,正交信号突然换向并在一个脉冲计数精度之内迅速换回,在仿真结果可以看出在输入信号抖动时解码器工作正常.

表1 计数脉冲和方向真值表  
Table 1 Truth table of counter pulse and direction

信号类型	信号名称	信号值
输入	phaUp	
输入	phaDw	
输入	phbUp	
输入	phbDw	
输入	pha	- - - - 0 1 0 1
输入	phb	0 1 0 1 - - - -
输出	ctClk	
输出	ctUp	1 0 0 1 0 1 1 0

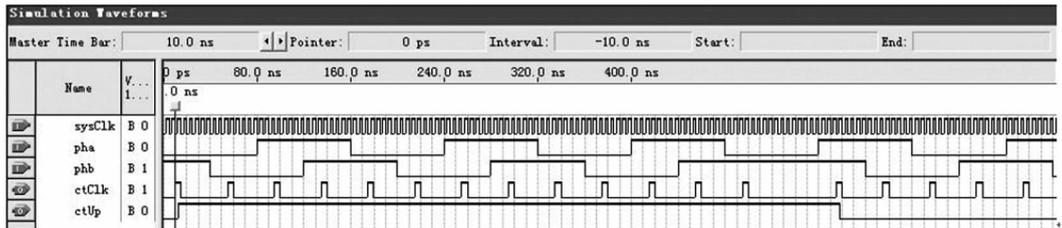


图3 计数脉冲和方向发生器仿真结果(通常状态)  
Fig.3 Simulation result of counter pulse and direction (normal)

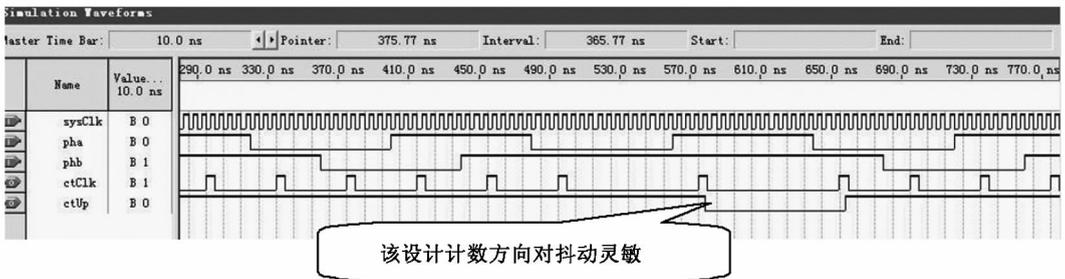


图4 计数脉冲和方向发生器仿真结果(抖动情况)  
Fig.4 Simulation result of counter pulse and direction (dithering)

图4中可见因为CPLD器件速度的原因仿真波形有一个15 ns左右的延时,但考虑到实际应用中的频率远比仿真中的小,其不影响最终结果.从仿真波形上可以看出,在每次计数脉冲到来时,计数方向都进行更新.此处理方法有效的保证了在传感器抖动频繁变向时计数的准确性.

### 5 上下行计数器的设计

上下行计数器以计数脉冲和方向发生器产生的计数窄脉冲ctClk和计数方向信号ctUp作为输入信号,产生计数值并在read信号到来时发送到外部MCU总线.注意到ctUp的更新滞后于ctClk的上升

沿,因此,在内部处理上应将 ctClk 延后一段时间并在下降沿取样计数以保证和 ctUp 表达的方向信息保持一致.此设计中使用系统高频时钟信号 sysClk 进行延时处理,然后用 ctClkSig 信号的下降沿进行计数,以保证计数方向的正确.程序中对应的代码如下:

```
process
begin
wait until sysClk'event and sysClk = '0';
ctClkSig <= ctClk;
end process;
```

该计数器模块的描述如下:

```
ENTITY counter IS
PORT
(
ctClk : IN STD_LOGIC;
ctUp : IN STD_LOGIC;
clr : IN STD_LOGIC;
```

```
sysClk : IN STD_LOGIC;
read : IN STD_LOGIC;
data : OUT STD_LOGIC_VECTOR(15 downto 0)
);
END counter;
```

其中,ctClk 为计数器输入计数脉冲,ctUp 为计数方向,clr 为计数值清零,sysClk 为系统时钟,read 为读允许信号,data 为计数结果输出.通过将 ctClk 与系统时钟下降沿同步之后作为上下行计数器的计数脉冲输入,配合计数方向进行上下行计数.

### 6 系统总体性能仿真

整个系统仿真结果如图 5,图 6 所示.其中,各信号名称与第 5 节所述对应.图 5 为正常状态的仿真结果,图 6 为在 480~640 ns 之间在一个计数精度内换向两次的仿真结果.

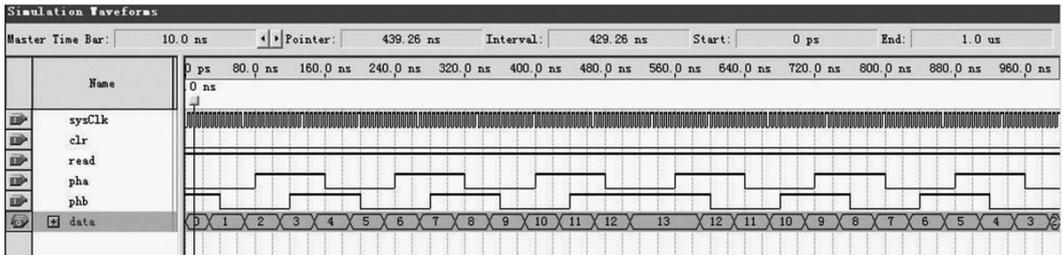


图 5 整体系统仿真结果(通常状态)  
Fig.5 Simulation result of whole system (normal case)

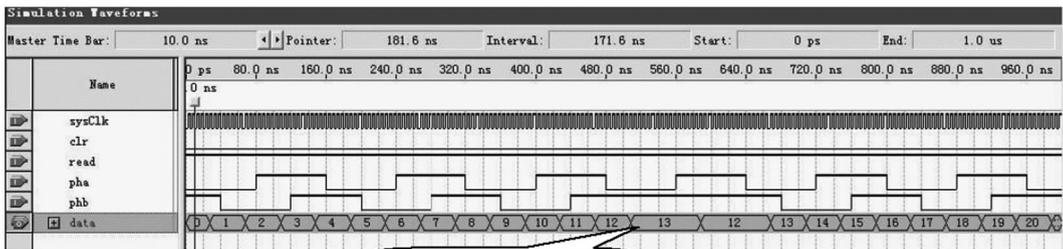


图 6 整体系统仿真结果(抖动情况)  
Fig.6 Simulation result of whole system (dithering case)

从仿真结果上来看,该设计在传感器正常换向和抖动情况下,均能保证精确计数.

### 7 应用实例:基于本研究的机床数显表设计

机床数显表在传统机床的改造中应用广泛.传统的数显表都采用专用计数芯片.软件程序和硬件

PCB 设计复杂,可靠性低.采用基于本研究的系统结构框图如图 7 所示.

图 7 中,QEP 解码计数器,数字低通滤波器,总线锁存/译码器均在 CPLD 中用 VHDL 实现,配合一片简单的 8031 单片机即可实现 3 轴数显表的主要功能.同时由于 CPLD 器件的柔性,在 PCB 布线时,可使用 CPLD 任意可用引脚,使 PCB 设计大大简化,同时减少了器件的使用数量, (下转第 57 页)

(上接第13页) 提高了系统的可靠性.

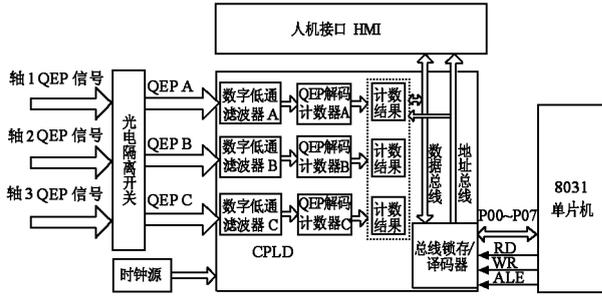


图7 基于CPLD的机床数显表设计框图

Fig.7 Structure of digital readout for machine tools based on CPLD

### 8 结束语

使用VHDL语言实现了QEP信号的解码计数,在CPLD内可完全实现,具有很高的可靠性和柔性.考虑到生产现场的恶劣环境,即使微控制单元(MCU)受到干扰死机,CPLD中的QEP解码计数器仍然可以继续正常工作,通过看门狗电路恢复后仍然可以保证数据的正确性,并且可以与其他一些逻辑电路结合在CPLD中实现来满足不同的设计需要.该技术已在自主研发的机床运动控制检测系统中成功应用.配合MCU的软件程序操作,可用于电动机转速的检测及控制,也可用于光栅尺等使用QEP的传感器信号的后处理,可在机电系统中广泛应用.

### 参考文献:

[1] 张剑,潘月斗,许镇琳,等. 数控机床伺服系统高精度位置检测研究与实现[J]. 制造业自动化, 2004, 26(10): 23-25.  
 ZHANG Jian, PAN Yue-dou, XU Zhen-lin, et al. Research on the high-precision rotor position detection of the machine tools servo system[J]. Manufacturing Automation, 2004, 26(10):23-25.

[2] 陈荣,严仰光. 永磁电机的转子位置检测与定位[J]. 中小型电机. 2003, 30(3):61-65.  
 CHEN Rong, YAN Yang-guang. Rotor position detection and incipient position location of PMSM[J]. S & M Electric Machines, 2003, 30(3):61-65.

[3] 徐正跟. 基于DSP的同步伺服控制系统的设计[J]. 机械与电子, 2001(5):46-48.  
 XU Zheng-gen. Design of position servo control system based on DSP[J]. Machinery & Electronics, 2001(5):46-48.

[4] 田新诚,于金鹏,马玉梅,等. HCTL-2020 解码器及其在多关节机器人运动控制中的应用[J]. 机电一体化, 2005, 11(1):27-29.  
 TIAN Xin-cheng, YU Jin-peng, MA Yu-mei, et al. HCTL-2020 decoder and its application in movement control of multiple-joint robot[J]. Mechatronics, 2005, 11(1):27-29.

[5] ARMSTRONG J R, GRAY F G. VHDL design representation and synthesis (2nd edition) [M]. Upper Saddle River: Prentice Hall PTR, 2000.

(编辑:陈燕)