

文章编号:1671-9352(2008)01-0040-03

# Si 夹层对 GaAs/AlAs 异质结的影响

李永平<sup>1</sup>, 刘杰<sup>1\*</sup>, 姜永超<sup>1</sup>, 田强<sup>2</sup>

(1. 青岛农业大学理学院, 山东 青岛 266109;

2. 北京师范大学物理系, 北京 100875)

**摘要:**用 MBE 生长了 GaAs/Si/AlAs 异质结及其对比样,通过深能级瞬态谱技术(DLTS)和 X 射线光电子谱测量(XPS)研究了 Si 夹层的引入对异质结的影响,研究发现 Si 夹层的引入不会引起明显的深能级缺陷,异质结仍保持较好的质量,但使 GaAs/AlAs 的带阶发生了改变。

**关键词:**GaAs/AlAs 异质结;Si 夹层;X 射线光电子谱测量;深能级瞬态谱测量

中图分类号:TN405 文献标志码:A

## Effect of Si interlayer on GaAs/AlAs hetero-junction

LI Yong-ping<sup>1</sup>, LIU Jie<sup>1\*</sup>, JIANG Yong-chao<sup>1</sup>, TIAN Qiang<sup>2</sup>

(1. School of Science, Qingdao Agricultural University, Qingdao 266109, Shandong, China;

2. Department of Physics, Beijing Normal University, Beijing 100875, China)

**Abstract:** GaAs/Si/AlAs heterojunctions prepared by MBE were examined. The influence of 0.5 ML and 1ML Si interlayer on GaAs/AlAs were investigated by DLTS technique and XPS measurement. The results reveal that the Si interlayer has little influence on the crystal, and the valence-band offset of GaAs/AlAs is increased because of the presence of the Si interlayer.

**Key words:** GaAs/AlAs hetero-junction; Si interlayer; X-ray photoelectron spectroscopy; Deep level transient spectroscopy

## 0 引言

分子束外延技术(molecular beam epitaxy, MBE)是现代先进的薄膜外延技术之一,已经广泛用于通常的半导体材料生长,能够把生长厚度控制在单原子层的精度。Capasso<sup>[1]</sup>首先利用分子束外延技术(MBE)形成了掺杂界面偶极矩(doping interface dipole, DID),制成了控制掺杂剖面的异质结。由于 Si 掺杂半导体工艺比较成熟,GaAs/AlAs 是现已实用的异质结,是量子阱和超晶格等结构的一种重要类型,因而 Si 夹层的引入对 GaAs/AlAs 的影响引起了广泛的重视<sup>[2-4]</sup>。Si 夹层的引入给 GaAs/AlAs 异质结带来各种影响,直接影响其在超晶格和量子阱材料组成的高电子迁移率晶体管等半导体器件中的应

用。本文用 MBE 生长了 GaAs/Si/AlAs 异质结及其对比样,通过深能级瞬态谱法(deep level transient spectroscopy, DLTS)研究了 Si 夹层的引入对异质结晶体质量的影响,得到 Si 夹层的引入不会引起明显的深能级缺陷,异质结仍保持较好的质量,通过 X 射线光电子发射谱(X-ray photoelectron spectroscopy, XPS)研究了 Si 夹层对异质结带阶的影响,得到 Si 夹层的引入使 GaAs/AlAs 的带阶发生了改变。

## 1 实验

### 1.1 样品的制备

#### 1.1.1 DLTS 样品制备

为了研究 Si 夹层的引入对异质结质量的影响,生长了 3 种样品,对比样 GaAs/AlAs 和含 Si 层的

收稿日期:2007-12-03

基金项目:教育部高等学校骨干教师计划资助项目

作者简介:李永平(1973-),女,副教授,硕士,研究方向为半导体异质结材料. Email: yongpli@163.com

\* 通讯作者:刘杰(1970-),男,硕士,研究方向为凝聚态物理. Email: qlj2003@tom.com

GaAs/AlAs, Si 层分别为 0.5 ML, 1 ML。样品是用 MBE 法制备的, 生长过程如下:  $n^+$ -GaAs(100) 基底上, 经 580 °C 脱氧后, 在 620 °C 生长 0.5  $\mu\text{m}$  的 GaAs 缓冲层, 再生长 0.3  $\mu\text{m}$  的 AlAs, 然后将温度降到 480 °C 进行 Si 层生长, 最后是 0.3  $\mu\text{m}$  GaAs 层的生长, GaAs 层的生长温度是 600 °C, 得到含 Si 夹层的异质结 GaAs/Si/AlAs, Si 层分别为 0.5 ML 和 1 ML, 接着进行了对比样 GaAs/AlAs 生长, 其区别仅是没有生长 Si 夹层, 样品结构如图 1 所示。图中所有样品各层都进行了 Si 低浓度均匀掺杂, GaAs 层的掺杂浓度为  $3 \times 10^{16} \text{cm}^{-3}$ , AlAs 层的浓度为  $1 \times 10^{16} \text{cm}^{-3}$ 。

n-GaAs(0.3 $\mu\text{m}$ )600 °C	n-GaAs(0.3 $\mu\text{m}$ )600 °C	n-GaAs(0.3 $\mu\text{m}$ )600 °C
Si(1 ML)	Si(0.5 ML)	n-AlAs(0.3 $\mu\text{m}$ )
n-AlAs(0.3 $\mu\text{m}$ )	n-AlAs(0.3 $\mu\text{m}$ )	n-GaAs(0.5 $\mu\text{m}$ )
n-GaAs(0.5 $\mu\text{m}$ )	n-GaAs(0.5 $\mu\text{m}$ )	GaAs( $n^+$ )
GaAs( $n^+$ )	GaAs( $n^+$ )	GaAs( $n^+$ )

图 1 三种样品的结构图

Fig.1 Cross-sectional view of three specimens

### 1.1.2 XPS 样品制备

为了研究 Si 夹层对 GaAs/AlAs 带阶的影响, 又生长了 GaAs/Si/AlAs 及其对比样 GaAs/AlAs, Si 层分别为 0.5 ML 和 1 ML。 $n^+$ -GaAs(100) 基底上, 经 580 °C 脱氧后, 在 620 °C 生长 0.5  $\mu\text{m}$  的 GaAs 缓冲层, 再生长 25 nm 的 AlAs, 然后将温度降到 480 °C 进行 Si 层生长, Si 层生长完毕后, 生长了 2 nm GaAs 盖层, 然后将温度升到 590 °C 进行外延层的 GaAs 的生长, 其中无 Si 层样品 GaAs 的生长厚度为 10 nm, 含 Si 层样品 GaAs 的生长厚度共为 12 nm, 如图 2 所示。

GaAs(12 nm)	GaAs(12 nm)	GaAs(10 nm)
Si (1 ML)	Si (0.5 ML)	AlAs(25 nm)
AlAs(25 nm)	AlAs(25 nm)	GaAs(0.5 $\mu\text{m}$ )
GaAs(0.5 $\mu\text{m}$ )	GaAs(0.5 $\mu\text{m}$ )	GaAs( $n^+$ )
GaAs( $n^+$ )	GaAs( $n^+$ )	GaAs( $n^+$ )

图 2 XPS 样品结构示意图

Fig.2 Sample structures of XPS

### 1.2 XPS 测量原理<sup>[5]</sup>

图 3 是 GaAs 和 AlAs 异质结中各自的价带和相应的内层电子的能级位置。

根据

$$\Delta E_v = \Delta E_{cl} + (E_{\text{Ga3d}}^{\text{GaAs}} - E_v^{\text{GaAs}}) - (E_{\text{Al2p}}^{\text{AlAs}} - E_v^{\text{AlAs}}) \quad (1)$$

可以求得  $\Delta E_v$  的值。其中  $(E_{\text{Ga3d}}^{\text{GaAs}} - E_v^{\text{GaAs}})$  和  $(E_{\text{Al2p}}^{\text{AlAs}} - E_v^{\text{AlAs}})$  是 GaAs 和 AlAs 体材料中的常数, 可以对每个样品分别测试出来, 其差值记为  $\Delta E_b$ 。 $\Delta E_{cl}$  是 GaAs

和 AlAs 中的 Ga3d 和 Al2p 的束缚能之差, 可以用光电子发射谱测量。方法是用已知波长 X 光照射样品, 同时分别由 GaAs 和 AlAs 层中激发出光电子, 测量光电子的能量, 求出 Ga3d 和 Al2p 束缚能, 可从式 (1) 得到价带  $\Delta E_v$ 。

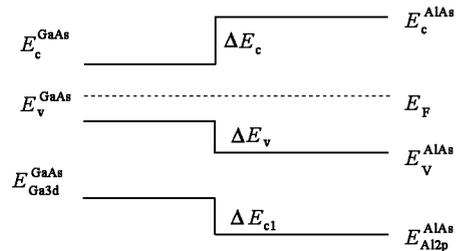


图 3 GaAs/AlAs 中相应能级的位置

Fig.3 Energy levels in GaAs/AlAs

### 1.3 实验条件

为了测得 Ga3d, Al2p 的束缚能, 对样品进行了易位 XPS 测量, 所用仪器为 VG ESCALAB MK II 型多功能电子谱仪, 激发光源 X 光为  $\text{AlK}_\alpha$  线 ( $h\nu = 1486.6 \text{eV}$ ), 由于最上层 GaAs 的生长厚度稍厚, 仪器不能同时探测到 Ga3d 和 Al2p 电子, 用  $\text{Ar}^+$  枪进行了刻蚀剥离,  $\text{Ar}^+$  能量为 4 kV, 束流为 20  $\mu\text{A}/\text{cm}^2$ , 刻蚀速率约为 2~3 nm/min, 光电子接收角为 75°。DLTS 是在瑞典 INNOVANCE 瞬态谱仪上进行的。样品是在中科院半导体所生长, 所用 MBE 设备是英国 VG 公司 V80H MK II 型分子束外延系统。

## 2 实验结果及讨论

### 2.1 Si 薄夹层对晶体质量的影响

由于 Si 夹层的引入可能引起 GaAs 晶体缺陷而影响 GaAs/Si/AlAs 异质结晶体质量<sup>[6]</sup>, 深能级 quantum dot(量子点)瞬态谱是测量晶体质量的有效手段<sup>[7,8]</sup>, 因而对样品进行了 DLTS 测量。图 4, 图 5 给出了有 Si 层样品和无 Si 层样品的 DLTS 谱。DLTS 信号是在填充脉冲过后二极管在 2 个取样时间之间电容的差值, 其峰值的幅度和深中心的浓度密切相关。根据细致平衡原理, 载流子的发射时间常数和缺陷参数的关系为:

$$e_n = \tau^{-1} = \sigma_n v_n N_c \exp(-E_T/kT) \quad (2)$$

其中  $\sigma_n$  是载流子的俘获截面,  $v_n$  是载流子的热运动速率,  $N_c$  为有效态密度,  $E_T$  为缺陷能级深度,  $k$  为玻耳兹曼常数,  $T$  为绝对温度。设定率窗, 即设定电子的发射率窗口, 用温度进行扫描, 若晶体中有深能级缺陷, 对某一深能级, 电子的发射率随温度变化, 当某温度相应的发射率等于设定的率窗时, 其 DLTS 信号最大。

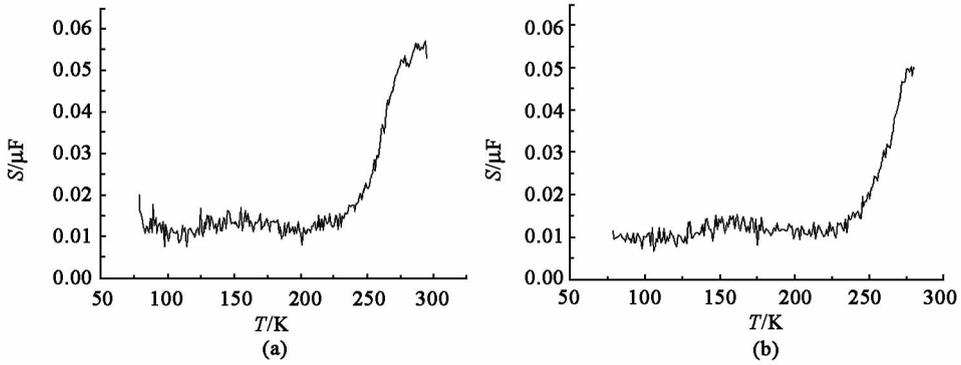


图 4 GaAs/Si/AlAs 样品 DLTS 谱

(a) Si 层为 0.5ML 的 GaAs/Si/AlAs 的 DLTS 谱; (b) Si 层为 1ML 的 GaAs/Si/AlAs 的 DLTS 谱

Fig.4 DLTS spectra of GaAs/Si/AlAs sample

(a) for 0.5ML Si intralayer at GaAs/AlAs junction; (b) for 1ML Si intralayer at GaAs/AlAs junction

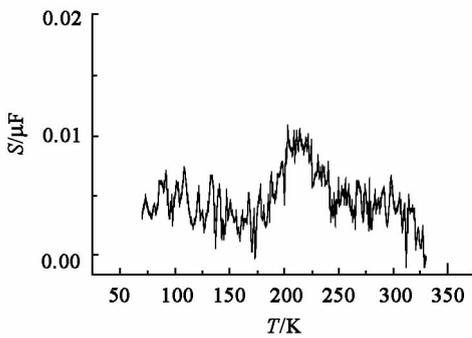


图 5 GaAs/AlAs 样品 DLTS 谱

Fig.5 DLTS spectra of GaAs/AlAs sample

由图 4,图 5 可以看出,引入 Si 夹层与无 Si 层样品都没有观察到明显的深能级缺陷,说明 Si 层的引入并没有引起 GaAs 层的晶体缺陷,GaAs 晶体仍保持了较好的晶体质量。

### 2.2 Si 薄夹层对 GaAs/AlAs 异质结带阶的影响

利用光电子发射谱,得到 Al2p 和 Ga3d 的束缚能谱,如图 6 所示。利用公式(1),表 1 给出了 XPS 对 GaAs/AlAs 及含 Si 层样品的测量结果。其中 GaAs 中的 Ga 芯能级(相对于价带)为  $(18.86 \pm 0.05)$  eV,AlAs 中 Al 的芯能级(相对与价带)为  $(72.86 \pm 0.05)$  eV<sup>[1]</sup>。

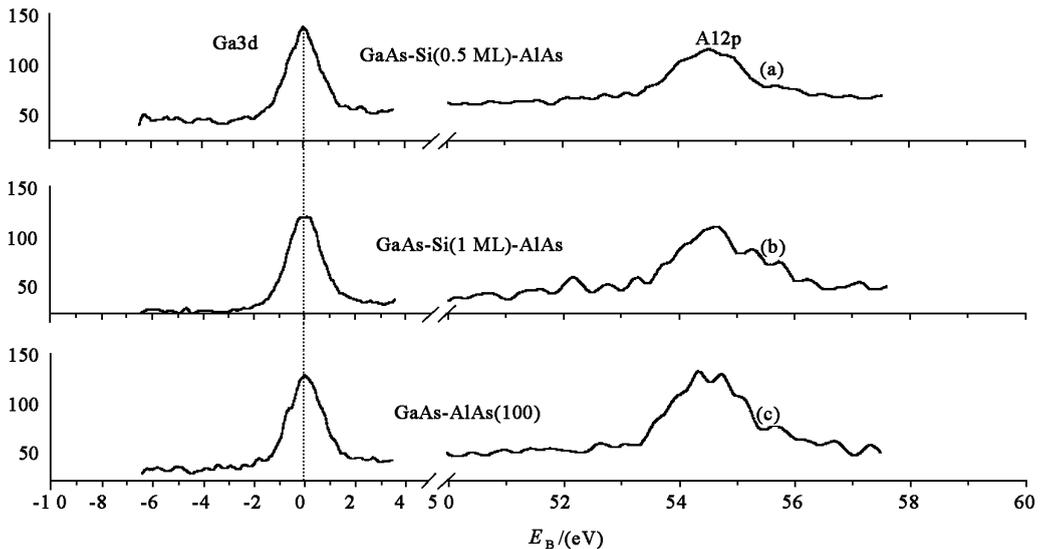


图 6 各样品 Al2p 和 Ga3d 芯能级 XPS 谱

(a) Si 层为 0.5ML 的 GaAs/Si/AlAs 的芯能级 XPS 谱; (b) Si 层为 1ML 的 GaAs/Si/AlAs 的芯能级 XPS 谱;

(c) GaAs/AlAs 的芯能级 XPS 谱

Fig.6 XPS spectra of Al2p and Ga3d levels

(a) Core emission of GaAs/AlAs junction with a 0.5 ML Si interlayer; (b) Core emission of GaAs/AlAs junction with a 1 ML Si interlayer; (c) Core emission of GaAs/AlAs junction

由上面的测量结果看出, GaAs/AlAs 的带阶在无 Si 夹层时,其带阶为 0.52 eV,而当引入 0.5 ML Si 夹层时,异质结的带阶增大为 0.57 eV,引入 1 ML Si

夹层时,异质结的带阶增大为 0.72 eV,由此知 Si 夹层的引入可以改变 GaAs/AlAs 的带阶,使带阶增大。(下转第 48 页)

(上接第42页)

表1 XPS测量结果及带阶调节量

Table 1 Results of XPS measurement and energy offset eV

Sample	$E_B$				
	Ga3d	Al2p	$\Delta E_{cl}$	$\Delta E_v$	$\Delta E_b$
GaAs/AlAs	19.295	73.812	54.517	0.517	54.00
GaAs/(0.5 MLSi)/AlAs	19.295	73.862	54.567	0.567	54.00
GaAs/(1 MLSi)/AlAs	19.195	73.912	54.717	0.717	54.00

### 3 结语

对 GaAs/Si/AlAs 中 Si 夹层对 GaAs/AlAs 异质结的影响进行了测量研究,通过深能级瞬态谱的测量发现 Si 夹层的引入不会引起明显的深能级缺陷,异质结仍保持较好的质量。通过 XPS 测量发现 Si 夹层的引入会影响异质结的带阶,使带阶增大。GaAs/AlAs 异质结在半导体器件中广泛应用,其带阶的控制是非常关键的参数,Si 层的引入可以调节其带阶,但不会引起异质结质量的明显改变,这对器件的设计非常有利。

参考文献:

[1] Federico Capasso, ALFRED Y, Khalid Mohammed, et al. Dop-

ing interface dipoles: tunable heterojunction barrier heights and band-edge discontinuities by molecular beam epitaxy[J]. Appl Phys Lett, 1985, 46(7):664-666.

- [2] SORBA L, BRATINA G, ANTONINI A, et al. Structure and local dipole of Si interface layers in AlAs-GaAs heterostructures [J]. Phys Rev B, 1992, 46(11):6834-6845.
- [3] PERESSI M, BARONI S, Raffaele Resta. Tuning band offsets at semiconductor interfaces by intralayer deposition[J]. Phys Rev B, 1991, 43(9):7347-7350.
- [4] 李永平,田强,牛智川,等. GaAs/Si/AlAs 异质结不同生长温度 Si 夹层分布的 CV 实验研究[J].北京师范大学学报:自然科学版,2002,38(4):474-475.
- [5] 虞丽生. 半导体异质结物理[M]. 第1版. 北京:科学出版社,1990:55-56.
- [6] Tomonori Ishikawa, Junji Saito, Shigehiko Sasa, et al. Electrical properties of Si-doped  $Al_xGa_{1-x}As$  layers grown by MBE[J]. Japanese Journal of Applied Physics, 1982, 21(11):675-676.
- [7] LONG D V, IOGAN R A, KIMERLING L C. Identification of the defect state associated with a gallium vacancy in GaAs and  $Al_xGa_{1-x}As$ [J]. Phys Rev B, 1977, 15(10):4874-4877.
- [8] 宋淑芳,陈维德,徐振嘉,等. 掺 Er/Pr 的 GaN 薄膜的深能级研究[J]. 物理学报,2006,55(3):1407-1411.

(编辑:孙培芹)