

# 数字电源控制模块的设计

龙锋利, 程 健

(中国科学院 高能物理研究所, 北京 100049)

**摘要:**为加速器高精度磁铁稳流电源设计了数字电源控制模块 DPSCM,以硬开关拓扑结构的磁铁电源作为被控对象,实现电源的全数字化控制。DPSCM以现场可编程门阵列 FPGA 为控制部件,实现对高精度 ADC 和 DAC 的控制,由数字调节器产生高精度数字脉宽调制信号,并实现电源的逻辑控制和联锁保护功能。通过模拟负载测试了 DPSCM 的基本功能,并在数字电源样机上测试了 DPSCM 长期运行的可靠性及稳定性,样机电源连续运行 72 h,电流稳定度优于  $5 \times 10^{-5}$ 。

**关键词:**数字电源控制模块;现场可编程门阵列;数字调节器;高精度数字脉宽调制信号;模拟负载

**中图分类号:**TL503.5      **文献标志码:**A      **文章编号:**1000-6931(2009)11-1043-06

## Design of Digital Power Supply Control Module

LONG Feng-li, CHENG Jian

(*Institute of High Energy Physics, Chinese Academy of Sciences, Beijing 100049, China*)

**Abstract:** The digital power supply control module (DPSCM) was designed for accelerator high precision current stabilized magnet power supplies. Based on the topology of the switching mode, the power supply embedding the DPSCM fulfilled all-digital control and regulation. The field programmable gate array (FPGA) was chosen as the control component for the DPSCM. The control of high precision ADC and DAC, the digital regulating loop, and the logic control and interlock protection were implemented in the FPGA. The high precision pulse width modulation (PWM) signals were produced by the DPSCM. After testing on the load simulator and the digital power supply prototype, it is proved that the DPSCM can meet requirements for most accelerator magnet power supplies. The current stability of the prototype is better than  $5 \times 10^{-5}$  after 72 h test.

**Key words:** digital power supply control module; field programmable gate array; digital regulating loop; digital high precision PWM signal; load simulator

磁铁电源以大功率直流稳流电源为主,因它们的负载多是要求大激励电流的磁铁负载。由于各加速器设计目标不同,因而对电源系统的要求各异。但随着现代加速器的发展,对束

流稳定性的要求越来越高,因此,对电源系统的输出稳定性、控制分辨率及长期可靠性和再现性的要求也不断提高。国际上新建成和在建的第三代同步辐射光源(如瑞士光源 SLS,英国的

DIAMOND 等)已采用数字化电源。采用数字化电源可显著改善电源的稳定性和再现性指标,增加电源控制部分的可替换性,简化电源和上层控制系统的结构,缩短电源的调试和故障排除时间。已建成的瑞士光源 SLS 中,600 多套电源采用了全数字化控制,完全统一了电源控制系统(包括上层控制接口和电源调节器设计)的硬件结构。只需通过软件来设置电源调节器的参数便可使电源的数字化控制器满足不同磁铁负载的需求<sup>[1]</sup>。

国内针对高能加速器高精度磁铁电源数字化技术的研究尚处于发展阶段。数字化技术一般应用在一些精度要求不高的普通逆变器控制或电机调速系统中<sup>[2-3]</sup>,目前的数字化技术无法满足高能加速器对电源的要求。数字电源控制模块 DPSCM 是专为硬开关类型的加速器磁铁电源而设计的,嵌入 DPSCM 的磁铁电源将实现全数字化控制,并达到高精度直流稳流电源输出精度的控制需求。

## 1 DPSCM 简介

选定 Altera 公司嵌入 DSP 模块的 FPGA 作为数字电源控制模块 DPSCM 的控制核心。在 FPGA 内实现数字调节器 DRL(digital regulating loop),并通过数字平均法实现高精度的脉宽调制信号 PWM(pulse width modulation)输出。DRL 的反馈量输入,即负载电流和电压及前馈电压的回采值,通过 ADC 转换为数字量并进行归一化处理送入 DRL。FPGA 实现对高精度 ADC 及负责监测功能的 DAC 的控制。电源的联锁保护及逻辑控制功能也在 FPGA 内实现。图 1 为 FPGA 基于硬件设计的框图。

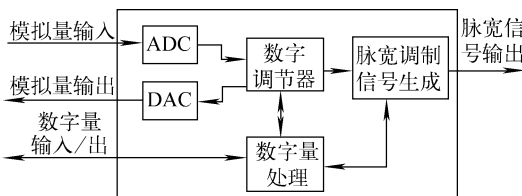


图 1 DPSCM FPGA 基于硬件设计的框图

Fig. 1 Block diagram of hardware-based design of DPSCM

## 2 DPSCM 的 FPGA 控制

根据 DPSCM FPGA 基于硬件设计的框图,其 FPGA 控制主要包括以下几部分:高精度 ADC 和 DAC 的控制,驱动功率开关管脉宽调制信号的控制及电源联锁保护和逻辑控制,以及电源本体调节器的 FPGA 实现。

### 2.1 高精度 ADC/DAC 的 FPGA 控制

加速器磁铁电源系统并非若干单个设备的简单组合,而是由加速器控制系统的中央控制计算机(通常称为远地控制)进行全方位控制并与其它设备统一协调运行的电源系统。远地控制通过计算机送出的数字给定通过数模转换器 DAC,转换为模拟信号进入电源的调节系统,DAC 对于磁铁电源的输出精度控制起关键作用。而数字电源采用数字调节器,给定直接为数字信号;反馈信号需经 ADC 转换为数字量进入 DRL。因此,ADC 成为数字电源控制的关键设计。

DPSCM 的数字调节器设计了两个反馈回路,即电流闭环反馈和电压闭环反馈。每一调节回路均需一 A/D 转换器。但电流环和电压环对于 A/D 转换器的需求不同。一般来说,电流环的带宽窄,但要求的分辨率和稳定度高;电压环的带宽较宽,而稳定度要求较电流环低。两个控制回路虽可使用同一类型 A/D 转换器,但必定要以牺牲某一方面的性能为代价而做出一权衡的选择,故 DPSCM 针对不同的控制回路考虑采用不同的 A/D 转换器。

电压环作为电流环的内环,其响应速度要求为电流环的 10 倍以上。所以,对于电压反馈的 A/D 转换器要求采样速率快,其控制精度可不作为主要的考虑对象。DPSCM 选择了 SAR 型 A/D 转换器,即 ADS8382IB 作为电压反馈的模数转换器件<sup>[4]</sup>,该 A/D 转换器提供 18-bit 分辨率,采样速率最高可达  $6 \times 10^5 \text{ s}^{-1}$ 。电流闭环反馈所需的 A/D 转换器需尽可能高的分辨率和稳定度。受电流环带宽的影响,对其速度的要求并不很高。DPSCM 选择 delta-sigma 型 A/D 转换器 ADS1251<sup>[5]</sup>,其分辨率达 24-bit,20 kHz 数据输出率时,仍可达 19-bit 的有效分辨率;双极性全差分输入,采样输出的群延时(group delay)仅为  $5/f_{\text{DATA}}$  ( $f_{\text{DATA}}$  为采样速率)。为监测电源系统的其它模拟量及前馈电

压的采样, DPSCM 还设计了一高速多通道的 ADC, 即 AD7328, 其分辨率为 12-bit, 采样速率达  $1 \times 10^6 \text{ s}^{-1}$ 。AD7328 接收真正的双极性输入, 且通过软件可设置各通道的量程范围、带内部电压基准, 适合于 DPSCM 的控制需求<sup>[6]</sup>。

对于 DPSCM, DAC 仅作为分析和观测手段, DPSCM 选择分辨率为 16-bit、采样速率为  $15 \times 10^5 \text{ s}^{-1}$  的 AD5542<sup>[7]</sup>。通过软件设计, 可分时选择多个数字信号源作为 DAC 的输入, 以实时观测数字调节器中多个测试点。

通过对上述 ADC/DAC 时序和工作原理的分析, 用 VHDL 语言在 FPGA 内通过状态机实现控制。以 ADS8382 为例, 表 1 列出该 ADC 的控制信号。

表 1 ADS8382 主要控制信号

Table 1 Interface signals for ADS8382

信号名称	功能	描述
nCONVST	数字量输入	下降沿标志转换开始
BUSY	数字量输出	转换过程中高电平
CS	数字量输入	片选信号
FS	数字量输入	帧同步信号
PD	数字量输入	信号高电平复位转换器 并进入低功耗模式
SCLK	数字量输入	串行数据时钟
SDO	数字量输出	串行数据输出

ADS8382 的数据传输通过串行接口。在串行时钟输入信号 SCLK 的上升沿, 数据从串行数据输出端 SDO 移位输出。片选信号 CS 置为高电平可将 SDO 置为三态; 将电源控制信号 PD 置为高电平, ADC 进入复位状态, 停止数据转换, 此时, ADC 的功耗最小。为获得最高的数据转换速率  $6 \times 10^5 \text{ s}^{-1}$ , CS 和 PD 均直接接低电平, 不使用上述功能。ADS8382 的数据转换从 CONVST 下降沿开始, BUSY 信号高电平指示 ADC 处于转换状态, 低电平指示转换结束。ADC 转换结束后, 向帧同步信号 FS 发送高电平, 此时, ADC 转换的数据将被送入 ADC 输出寄存器, 可从 SDO 读取转换结果。

## 2.2 高精度 PWM 信号的 FPGA 实现

通过闭环控制产生 PWM 波形, 理论上 PWM 信号的分辨率无穷大。而数字 PWM 生成器一般采用计数器通过可编程逻辑器件 PLD 实现, 两个频率决定了数字 PWM 信号的

分辨率, 即计数器的时钟频率和开关频率, 可用  $T_c/T_{\text{rep}}$  表示 ( $T_c$  为计数器的时钟周期;  $T_{\text{rep}}$  为 PWM 信号的周期, 即开关频率)。假设计数器的时钟频率为 100 MHz, PWM 信号的输出频率为 20 kHz, 则数字 PWM 信号的分辨率为  $200 \times 10^{-6}$ , 等价于 12~13 位的分辨率<sup>[8]</sup>。

数字 PWM 信号要达到 18 位或 18 位以上的高分辨率, 在开关频率一定的条件下, 只能通过提高 PLD 的主频, 即计数器的时钟频率。如对于 20 kHz 的开关频率, PLD 的主频必须达到 5 GHz, PWM 信号的分辨率才能达到 18 位, 而如此高的主频对于目前的 PLD 器件是不可能的。低频 PWM 信号增大了 PWM 信号的周期  $T_{\text{rep}}$ , PWM 信号的控制精度可以提高。但为了追求无源滤波元件的小型化, 需采用高频 PWM 方式, 这时, 在最小脉宽相同的情况下, 调节精度随开关频率升高而降低。当前电源变换器的发展趋势是高频小型化, 控制数字化。因此, 在应用中必须解决 PWM 在高频和数字化控制时调节精度受限制的问题。对于高精度的稳流电源, 需高精度的 PWM 信号。

数字调节器 DRL 采用浮点数进行运算处理。DRL 计算 PWM 的基准脉冲宽度, 而 PWM 信号的输出只可能是最小调节步长  $T_c$  的整数倍, 这样, 基准脉冲宽度被取整至  $T_c$  的整数倍。对于基准值和取整后的整数值之间的差, 即余数, 可在 FPGA 中采用基于硬件处理的办法, 即应用 VHDL 语言, 将所得的余数不断累加, 当累加的和不少于最小调节步长时, 将该最小脉冲和基准脉冲叠加输出。此时, 对于整数部分采用了脉冲宽度调制, 而对于余数部分采用了脉冲频率调制。这种高频调制和低频调节相结合的设计, 被称为数字平均法。从数字平均的角度, 理论上该调制办法产生的 PWM 信号的分辨率也无穷大。DPSCM 采用数字平均法, 输出高精度的脉宽调制信号。

## 2.3 数字输入输出量的 FPGA 控制

数字输入信号根据响应时间要求分为两类, 一类响应快, 称为高速输入, 如数字调节器 DRL 的使能信号、电源急停或安全连锁信号及同步输入信号等, 这些信号响应时间要求尽可能小, 一般要求小于  $10 \mu\text{s}$ 。还有一些数字输入信号, 诸如磁铁负载过温、负载极性反、复位、准

备好(standby)等,一般响应时间在 100 ms 内均可接受,可归入低速输入类。对于高速输入和输出的数字量,直接与 FPGA 的 I/O 管脚相连,直接输入或根据逻辑控制的需求从 FPGA 输出。故高速数字量输入和输出直接采用硬件描述语言 VHDL 在 FPGA 内实现控制。低速输入和输出数字量,采用基于软件处理的方法。根据 NiosII Avalon 总线的规范,设计用户自定义逻辑,作为 Avalon 总线从设备通过 NiosII CPU 进行数据的读写操作。以 1 个字节为单位,所有低速数字量占用相同的 FPGA I/O 管脚。通过 Avalon 总线产生片选、地址及读写信号,通过外围的地址译码产生读或写不同数字输入输出量通道(以字节为单位)的选通信号,以完成对低速数字量的读写操作<sup>[9-11]</sup>。

## 2.4 数字调节器的 FPGA 控制

数字调节器 DRL 的 FPGA 实现采用基于浮点数的处理。可编程逻辑的基本设计原则之一是“面积和速度的平衡与互换原则”,为保证 DRL 的运行速度及利用 FPGA 有限的逻辑资源,DRL 的设计采用流水线式的数据处理流程(图 2),同时浮点数处理的模块分时复用<sup>[12-13]</sup>。

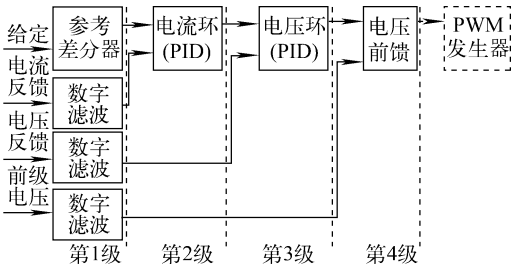


图 2 数字调节器的流水线处理框图

Fig. 2 Pipeline design of DRL

## 2.5 FPGA 的配置

DPSCM 的设计除采用 Altera 专用的配置芯片 EPCS64 进行 AS(active serial)的配置方式外,还采用了 CPLD+Flash 的 PS(passive serial)配置方式。根据 PS 配置时序图,在 CPLD 内设计状态机完成对 FPGA 的 PS 配置过程。因 CPLD 的保密性优于 FPGA,且可设计专门的加密算法,采用 CPLD+Flash 的 PS 配置方式可很好保护设计程序。随 DPSCM 功能的完善,可能需要动态配置,此时,AS 方式

便无法完成,而 CPLD+Flash 的配置方式可实现动态配置,故这种方式更具灵活性<sup>[14]</sup>。

## 3 DPSCM 的 FPGA 开发

DPSCM 以 Altera CycloneII FPGA 为控制核心,在 FPGA 内嵌入 Altera 的 NiosII 软核处理器,构成片上可编程的嵌入式处理系统。

### 3.1 FPGA 的开发环境

Altera 的 QuartusII 软件是 DPSCM FPGA 设计的综合开发环境。QuartusII 软件集成的 SOPC Builder 是一自动系统开发工具,DPSCM 应用 SOPC Builder 完成 NiosII 嵌入式处理器、外设、存储器和用户自定义逻辑的添加、参数设置和连接等操作,生成 DPSCM 的可编程单芯片 SOPC 系统。与 QuartusII 软件配套使用的 NiosII 集成开发环境 IDE 是一图形化用户界面(GUI),在这个开发环境中完成 DPSCM 的 NiosII 软核处理器的所有开发任务,包括编辑、编译、管理和调试嵌入式系统的软件程序。

### 3.2 NiosII 嵌入式软核处理器

20 世纪 90 年代末,可编程逻辑器件 PLD 的复杂度已能够在单个可编程器件内实现整个系统。2004 年 6 月,Altera 公司推出了支持 CycloneII 等器件系列的 NiosII 嵌入式处理器。NiosII 处理器系列包括了 3 种内核,即快速的(NiosII/f)、经济的(NiosII/e)和标准的(NiosII/s)内核,设计者可根据系统需求进行选择。DPSCM 的 NiosII 嵌入式软核处理器采用了 NiosII/f。在 NiosII CPU 的时钟频率为 85 MHz 时,该处理可达到 95DMIPS 每秒 100 万条指令的速度,却只占用了 1 800 个逻辑单元。

### 3.3 DPSCM 的 FPGA 控制框图

利用 Altera 提供的 IP 核(intellectual property core),DPSCM 的 SOPC 系统将嵌入式处理器(NiosII processor)、存储器控制器(flash、ddr\_sdram 和 ssram)、通用串行通讯控制器(RS232)、以太网控制器(lan91c111)、Altera 的串行配置芯片控制器(EPCS)、JTAG 调试控制器和 LCD 显示控制器嵌入到 CycloneII FPGA 中。DPSCM 的 SOPC 系统还包括了两个用户自定义逻辑 DRL Co-Processor 和低速数字输入输出量 LS-DIO 的 FPGA 控制<sup>[15]</sup>。图 3 显示了 DPSCM 的 FPGA 控制框图。

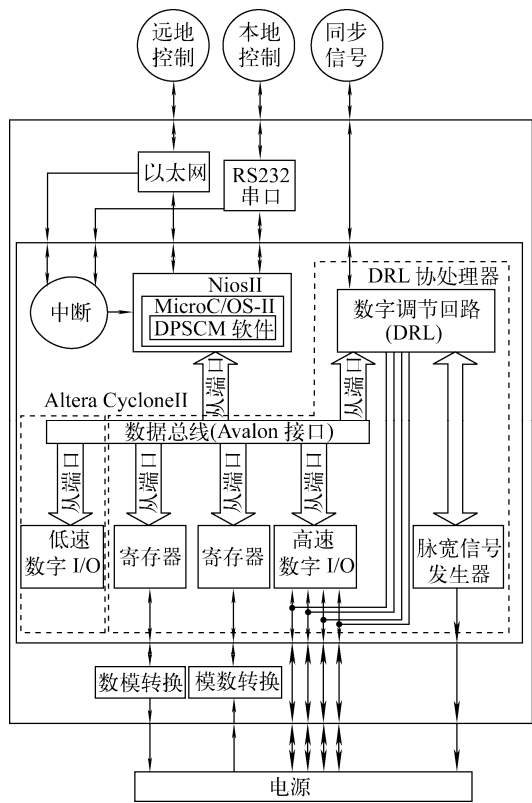


图 3 DPSCM FPGA 控制框图

Fig. 3 Block diagram for FPGA design of DPSCM

### 4 DPSCM 的测试

DPSCM 的设计采用基于 FPGA 的数字信号处理体系结构。作为高精度稳流电源的数字控制器,涉及控制算法和高精度 PWM 信号的原理实现,及综合软核应用的 SOPC 系统构架;从硬件控制上包括高精度 ADC 的控制及高、低速数字 I/O 等部分。所以,DPSCM 的测试循序渐进,从模拟负载对 DPSCM 的原理性测试,最后在正式的数字电源样机上进行性能测试。

模拟负载的硬件电路示于图 4。采用模拟负载,对 DPSCM 进行基本的原理性验证。

传递函数为:  $V_{out} / (V_{in+} - V_{in-}) = 1 / (1 + \tau s)$ ,  $\tau = R_1 C_1 = 10 \text{ k}\Omega \cdot 1 \mu\text{F} = 10 \text{ ms}$ 。式中:

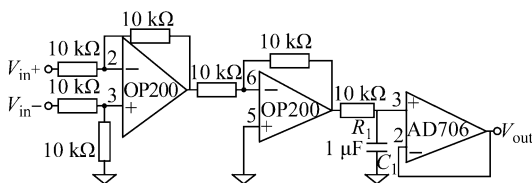


图 4 模拟负载电路图

Fig. 4 Circuit of load simulator

$V_{out}$  为模拟负载的输出;  $V_{in+}$  和  $V_{in-}$  为输入信号的正负极;  $\tau$  为模拟负载的时间常数;  $s$  为拉氏变换因子。

可见,模拟调节器可简单地近似为 1 个时间常数为 10 ms 的惯性系统。将 DPSCM 数字调节器 DRL 的输出  $m$  (调制系数) 转换为数字量;通过 DAC 转换为模拟量后送入模拟负载。模拟负载的输出作为电流回采 ADC 的输入,转换为数字量后进入 DRL,形成电流闭环控制。可见,模拟负载能够测试 DRL 电流环的基本工作原理。通过数字 I/O 板的输出能够测试 PWM 信号的控制逻辑。

采用模拟负载,可暂时脱离电源功率回路和负载对 DPSCM 的影响,为验证数字调节器和高精度 PWM 信号生成器的实现,提供安全、有效和便捷的方法。

相对于单象限电源的 PWM 信号,多象限电源的 PWM 信号更为复杂,且其逻辑控制的正确性对于实现电源的控制非常关键。图 5 为利用模拟负载测试的结果,图中 1、2、3、4 分别代表 4 路脉宽调制信号的输出。假设电流给定最大值为 5 A。脉宽信号的频率为 50 kHz,死

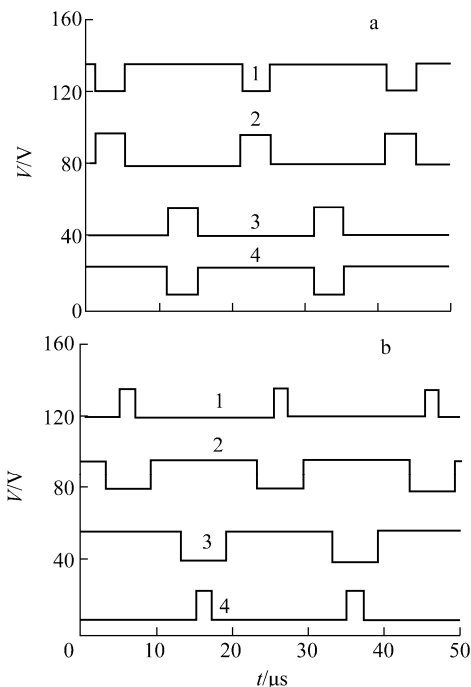


图 5 利用模拟负载测试的结果

Fig. 5 Test results based on load simulator

a——给定  $I = 3 \text{ A}$ , 无死区; b——给定  $I = -3 \text{ A}$ , 带死区

区时间设置为  $4 \mu\text{s}$ 。观察数字控制器内部的测试点,即“电流回采”寄存器,其值显示非常稳定。可见使用模拟负载,DPSCM 实现的功能达到预期目标。

DPSCM 完成设计到用于正式电源样机,模拟负载提供了一种新颖的测试方式。尽管只能测试 DRL 的电流环,但电流环是完成磁铁电源控制最基本的调节环路,故该方法非常有效。目前,DPSCM 已成功应用于 1 台小功率稳流开关电源样机中。经长期测试,对于从 20% 至 80% 的额定输出,电流的稳定度均优于  $5 \times 10^{-5}$ 。

## 5 结论

DPSCM 是专为硬开关拓扑结构的加速器磁铁稳流电源设计的。该模块以 FPGA 为唯一的控制部件,以简单的硬件设计实现对复杂的磁铁电源的控制。目前,该模块已应用于开关电源样机中,并实验证明了其控制的稳定性和精确性。由于 DPSCM 基于灵活的数字控制方式,只需微小修改 FPGA 的设计,DPSCM 便可适用于更多类型的电源。如中国散裂中子源快循环同步加速器的主磁铁电源样机,其输出电流要求为带直流偏置的 25 Hz 正弦波输出,DPSCM 仍可适用于此类动态电源的控制。

## 参考文献:

- [1] JENNI F, TANNER L, HORVAT M. A novel control concept for highest precision accelerator power supplies[C]// The 10th International Power Electronics and Motion. [S.l.]: [s. n.], 2002.
- [2] 赵异波,何湘宁. 电力电子电路的数字化控制技术[J]. 电源技术应用, 2002, 5(11): 557-559.  
ZHAO Yibo, HE Xiangning. Digital control for power electronic circuits[J]. Power Supply Technology and Applications, 2002, 5(11): 557-559(in Chinese).
- [3] 朱志杰,吴建德,何湘宁,等. 基于 DSP 控制的逆变器并联[J]. 电源技术应用, 2003, 6(5): 202-204.  
ZHU Zhijie, WU Jiande, HE Xiangning, et al. Parallel operation of inverter modules with DSP control[J]. Power Supply Technology and Applications, 2003, 6(5): 202-204(in Chinese).
- [4] Burr-Brown Products from Texas Instruments. Datasheet; Burr-Brown ADS8382, 18-bit 600 kHz fully differential Pseudo-Bipolar input micropow-
- er sampling analog-to-digital converter with serial interface and reference[R/OL]. <http://www.ti.com>.
- [5] Burr-Brown Products from Texas Instruments. Datasheet; Burr-Brown ADS1251, 24-bit 20 kHz lower power analog-to-digital converter[R/OL]. <http://www.ti.com>.
- [6] Datasheet; Analog devices AD7328, 8-Channel, software-selectable true Bipolar input, 12-bit plus sign ADC REV. 0[R/OL]. <http://www.analog.com>.
- [7] Datasheet; Analog devices AD5541/5542, 5 V serial-input voltage-output 16-bit DACs, REV. A [R/OL]. <http://www.analog.com>.
- [8] CARWARDINE J, LENKSZUS F. Trends in the use of digital technology for control and regulation of power supplies[C]// Proceedings of the 1999 International Conference on Accelerator and Large Experimental Physics Control Systems. Trieste, Italy; [s. n.], 1999: 171-175.
- [9] 龙锋利. 高精度稳流电源的智能化控制[D]. 北京:中国科学院高能物理研究所, 2006.
- [10] 龙锋利,胡伟,程健,等. 加速器磁铁电源数字化逻辑控制电路的设计[J]. 核电子学与探测技术, 2008, 28(3): 567-570.  
LONG Fengli, HU Wei, CHENG Jian, et al. Design of digital logic control for accelerator magnet power supply[J]. Nuclear Electronics & Detection Technology, 2008, 28(3): 567-570(in Chinese).
- [11] 龙锋利,张旌,陈斌,等. 高精度稳流电源的网络化检测系统[J]. 原子能科学技术, 2006, 40(2): 249-251.  
LONG Fengli, ZHANG Jing, CHEN Bin, et al. Network measuring system for high precision stabilized current supply[J]. At Energy Sci Technol, 2006, 40(2): 249-251(in Chinese).
- [12] 吴继华,王诚. Altera FPGA/CPLD 设计(高级篇)[M]. 北京:人民邮电出版社, 2005: 1-27.
- [13] TANNER L, JENNI F. Digital control for highest precision accelerator power supplies [C] // Proceedings of the 2001 Particle Accelerator Conference. Chicago; [s. n.], 2001: 3 681-3 683.
- [14] 王诚,吴继华,范丽珍,等. Altera FPGA/CPLD 设计(基础篇)[M]. 北京:人民邮电出版社, 2005: 187-198.
- [15] 彭澄廉. 挑战 SOC——基于 NIOS 的 SOPC 设计与实践[M]. 北京:清华大学出版社, 2004: 62-117.