

类蜂巢结构快速样机平台的可测试性设计

陈伟男¹, 周 博¹, 彭澄廉¹, 吴荣泉²

(1. 复旦大学计算机与信息技术系, 上海 200433; 2. 华东计算技术研究所, 上海 200233)

摘要: 类蜂巢结构快速样机平台(HLRESP)是一个基于现场可编程门阵列(FPGA)的通用样机平台, 采用类似蜂窝状的系统结构。根据该样机平台特点, 采用边界扫描技术进行板级和系统级的可测试性设计, 扫描链路可以灵活配置, 不仅能实现边界扫描测试, 还能实现对可编程器件的在线编程, 方便了样机平台的测试和调试工作, 缩短了系统开发周期。

关键词: 快速样机原型; 可测试性设计; JTAG

Design for Testability in Honeycomb-like Rapid Embedded System Platform

CHEN Weinan¹, ZOU Bo¹, PENG Chenglian¹, WU Rongquan²

(1. Department of Computer and Information Technology, Fudan University, Shanghai 200433;

2. East-China Institute of Computer Technology, Shanghai 200233)

【Abstract】 The honeycomb-like rapid embedded system platform (HLRESP) is a kind of general-purpose platform based on field programming gate arrays (FPGA). It has a modularized and honeycomb-like structure. According to the feature of HLRESP, design for testability methods based on boundary scan technology are applied to the board level and system level design. The structure of boundary scan chain can be configured flexibly. Boundary scan test as well as in-system-programming(ISP) for programmable logic devices can be implemented. This gives facilities to test and debug the HLRESP, and development period of the system can be effectively shortened.

【Key words】 Rapid system prototype; Design for testability; JTAG

1 概述

近年来微电子工艺的进步直接导致了SoC(system-on-chip)设计技术的蓬勃发展, 这些新技术和新工艺为设计功能更强大的嵌入式系统提供了实现基础, 但是, 复杂嵌入式系统设计也给设计人员带来了巨大挑战。相当多的研究显示, 即使有严格的控制, 在复杂产品的不同设计和实现阶段, 仍然会出现大量的错误^[1]。

由于快速原型技术能够帮助用户及早发现错误并对系统的重要性能参数进行评估和验证, 因此已被不同领域的设计人员广泛采纳。在嵌入式系统领域, 也出现了许多的样机平台。根据其应用范围, 通常可以将其分为两类: 面向特定应用领域的样机平台和通用样机平台。

通用样机平台并不面向特定应用领域, 而是更多地定义一套规范和约束, 以帮助设计者尽快搭建目标平台。尽管在性能以及与目标系统的接近程度上, 通用样机平台比面向特定应用领域的样机平台稍差, 但由于它具有更少的约束以及更为广泛的应用领域, 近年来受到了普遍重视和欢迎。这方面的典型系统包括B.Spitzer在文献[2]中提出的面向结构的嵌入式系统快速样机和Busa N等人提出的RAPIDO系统^[3]。在硬件上, 这些基于现场可编程门阵列(Field Programming Gate Array, FPGA)的系统都具有灵活的结构, 并且可以根据不同的系统规模进行扩展。但它们也存在一些不足, 例如, 所提出的快速原型框架都引入了通信协议约束, 这些人为施加的约束条件将限制通用平台的适用范围。

通过分析这些快速样机平台, 我们结合科研项目研制了

一个不引入通信协议约束的通用样机平台: 类蜂巢结构快速样机平台(Honeycomb-like Rapid Embedded System Platform, HLRESP)。在研制该样机平台时, 由于超大规模集成电路及多层印制板、表面贴装技术在样机平台电路中的运用, 因此电路节点的物理可访问性大大减弱, 增加了电路故障测试的复杂性和困难度。根据该样机平台的特点, 在系统功能设计的同时充分考虑到测试的要求, 采用IEEE 1149.1标准^[4]规定的边界扫描技术进行板级和系统级的可测试性设计, 提高了系统的可控制性和可观测性, 方便了系统的测试和调试工作。

2 HLRESP 样机平台硬件结构

HLRESP 样机平台的硬件结构如图1所示, 主要由基板、FPGA板、连接板和外围功能板组成。其中, FPGA板和外围功能板设计成正八角形, 连接板是正方形的, 它们都通过四周的D-SUB插针安装在基板上, 由基板提供电源、时钟、扫描测试等全局信号。连接板上安装了复杂可编程逻辑器件(CPLD), 可根据不同的应用需求, 通过CPLD实现连接板四周的功能板之间信号的互连。外围功能板实现不同的功能应用, 包括以太网通信板、A/D和D/A功能板、多串口通信板、RAM和FLASH存储器板、LCD显示板等。

整个系统具有对称的、类似蜂窝状的结构。所有的功能模块围绕FPGA板安装, 利用FPGA的可编程特性, 可以灵

作者简介: 陈伟男(1969-), 男, 博士生, 主研方向: 可测试性设计, 嵌入式系统设计; 周 博, 博士生; 彭澄廉, 教授、博导; 吴荣泉, 研究员

收稿日期: 2006-01-04 **E-mail:** wnchen@fudan.edu.cn

活地设计不同的应用系统。由于在构造系统原型时未引入任何总线通信约束,减小了用户扩展系统时的工作量。并且外围功能板经过旋转后可以安装在其它位置,这使得硬件设计师在设计原型系统时可以先专注于功能设计,而不必过早考虑结构细节。

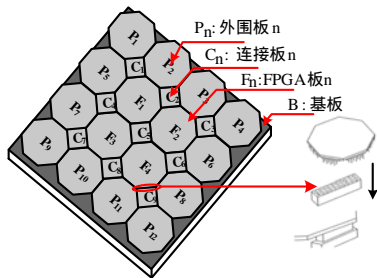


图1 HLRESP 样机平台的硬件结构

该样机平台采用模块化结构,扩充方便,可以灵活地构建不同规模的样机系统,如图2所示。

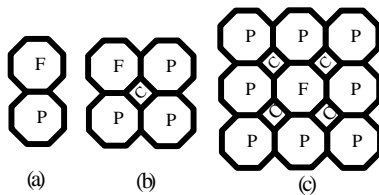


图2 不同规模的 HLRESP 系统

图2中,F表示FPGA板,P表示外围板,C表示连接板。实际中,FPGA采用Altera公司的Cyclone系列EP1C6型,CPLD采用Altera公司的MAX 7000AE系列EPM7256AE型。

3 可测试性设计的实现方案

所谓可测试性设计,就是在系统设计的初期就考虑到可测试性要求,通过调整系统结构并增加相应的可测试性机制,提高系统的可控制性和可观测性,方便测试的进行^[5]。可测试性设计技术的采用与所测的功能电路的技术状况、结构和组成密切相关。

基于IEEE1149.1标准的边界扫描测试技术突破了传统的管脚接触式检测理论和手段,可以解决由超大规模集成电路器件(如FPGA、微处理器等)组成的电子产品的板级测试和系统级测试问题,并具有良好的性价比,已日益成为可测试性设计中应用最为广泛的技术之一。

由于HLRESP样机中的主要器件(如FPGA、CPLD)都具有符合IEEE 1149.1标准的扫描链端口(又称JTAG口),并且,可以根据测试需要,通过JTAG口对这些可编程器件进行编程,改变器件的逻辑功能,使得测试更加方便。因此,HLRESP样机非常适合采用边界扫描测试技术。

3.1 板级扫描链的实现方法

HLRESP样机由许多模块板组成,在构建样机时,有的模块板不一定安装。因此,系统的扫描链路需要动态配置,某块板子的缺省不能引起扫描链路不通。同时,还要能通过JTAG接口对FPGA、CPLD等器件进行在线编程,以便对样机进行调试。样机平台中基板上的扫描链结构如图3所示。

样机系统中扫描链路的连接方式是串行方式,基板上有1个JTAG接口与外界通信,4根信号线TDI(测试数据输入)、TDO(测试数据输出)、TCK(测试时钟)和TMS(测试模式选择)按图3所示方式连到用于安装各个功能模板的插座的相应引脚上。当某个模板没有安装时,只要把相应的跳针

J短接,使TDI与TDO接通,保证基板上扫描链路的贯通。由于TCK、TMS信号要驱动多个负载,因此当TCK、TMS信号驱动负载数量大于5个时,通过缓冲器将TCK、TMS信号进行驱动,以满足负载要求。

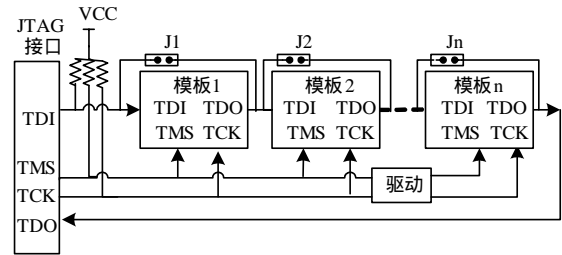


图3 基板上的扫描链结构

FPGA板、连接板和外围功能板上的扫描链结构如图4所示,板上的JTAG接口通过插针与基板上的JTAG信号相连,板上的扫描链也是串行连接的。每个芯片通过两个跳针J和P来设置工作方式,当跳针J左边两个插针短接,跳针P右边两个插针短接时(TCK通过电阻接VCC),该芯片不接入扫描链中;当跳针J右边两个插针短接,跳针P左边两个插针短接时,该芯片接入扫描链中。这样,当需要进行全链路测试时,可将所有芯片都接入扫描链;当只需要进行部分链路测试时,可将不参与测试的芯片从扫描链中分隔出来。

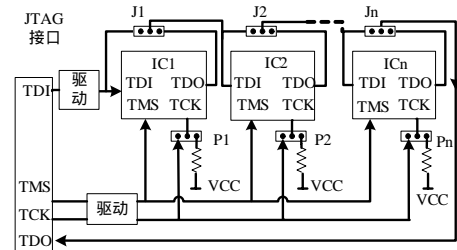


图4 其它功能板上的扫描链结构

除了测试外,在系统编程是IEEE1149.1的扩展应用。Altera公司的Cyclone和MAX系列器件能通过JTAG口进行在线编程和配置,并支持多芯片在线编程,可将这些器件放在同一个扫描链中,进行多芯片编程,方便设备的调试工作。如果需要对某个芯片单独进行在线编程或仿真时,如外围功能板上的ARM处理器,可以通过跳针设置,使该芯片接入扫描链,其它芯片都不接入扫描链,这样对该芯片进行编程或仿真时就不会影响其它芯片。

由以上分析可知,这种扫描链实现方法兼顾了系统的测试和调试,硬件实现简单,使用方便。

3.2 外围功能板的可测试性设计

外围功能板(如以太网通信板、A/D和D/A板、存储器板等)中,有许多器件不具备边界扫描的功能。由于这些板上的主要器件都是由FPGA板上的FPGA来控制的,它们的地址线、数据总线、控制线等都连到FPGA板和连接板上的FPGA或CPLD的管脚,因此这些信号都是可控制和可观测的。其它需要观测的信号可以连到可编程器件(FPGA或CPLD)闲置的I/O管脚,加入到扫描链路中。

HLRESP样机中可编程器件的I/O口数量较多,一般都能满足外围功能板测试的要求,并且可以调整功能板安装位置,将需要可编程器件的I/O口数量多的功能板不安装在样机的4个角(图1中P1、P4、P9、P12的位置)。这样功能板

(下转第256页)