

文章编号:1001-9081(2006)07-1741-03

基于 FPGA 的动态可重构体系结构

蔡启先¹, 蔡洪波², 黄晓璐³, 蔡启仲⁴

(1. 广西工学院 计算机工程系, 广西 柳州 545006; 2. 中国科学院 国家天文台, 北京 10080;
3. 中国科学院 计算技术研究所, 北京 10080; 4. 广西工学院 电子信息与控制工程系, 广西 柳州 545006)
(cq_xg@163.com)

摘要:提出了一种基于 FPGA 的动态可重构系统的设计方案。该系统以协处理器的形式与 LEON2 通用处理器构成主/协处理器结构,并通过寄存器与网络来保存和传递数据流和配置流,实现了二者的优势互补。以具体实验对该方案进行了验证。

关键词:动态可重构;阵列;FPGA

中图分类号:TP303 **文献标识码:**A

Dynamic reconfigurable architecture based on FPGA

CAI Qi-xian¹, CAI Hong-bo², HUANG Xiao-lu³, CAI Qi-zhong⁴

(1. Department of Computer Engineering, Guangxi University of Technology, Liuzhou Guangxi 545006, China;
2. National Astronomical Observatories, Chinese Academy of Sciences, Beijing 100012, China;
3. Institute of Computer Technology, Chinese Academy of Sciences, Beijing 100080, China;
4. Department of Electronic Information & Control Engineering, Guangxi University of Technology, Liuzhou Guangxi 545006, China)

Abstract: A kind of dynamic reconfigurable system architecture was put forward which was composed of a mainprocessor-coprocessor structure of the dynamic reconfigurable array coprocessor and LEON2 processor, saving and transforming data stream and configuration-stream with registers and network. Experiments were made to verify the design.

Key words: dynamic reconfiguration; array; FPGA

可重构结构是一种可以根据运算情况重组自身资源,实现硬件结构自我优化、自我生成的计算技术。动态可重构可快速实现器件的逻辑重建,它的出现为处理大规模计算问题提供了一种兼具通用处理器灵活性和 ASIC 电路高速性的解决方案^[1]。在本文中,我们提出了一种基于 FPGA 的动态可重构结构的设计方案,该结构以协处理器的形式与 LEON2 通用处理器构成主/协处理器结构,它拥有独立的内部状态寄存器,并支持数据总线直接存取和通过主处理器间接存取两种存储器访问方式,因而充分利用了通用处理器在一般事务性处理中成熟、可靠与动态可重构结构在处理有规律运算时灵活、高效的特点,实现了二者的优势互补。该可重构协处理器结构的主体为由重构寄存器组、内部网络和可重构处理单元构成的二维阵列,可以通过重构寄存器动态配置处理单元的互连及处理单元的功能,实现基于配置流与数据流的计算,并运用于综合测量图像数据处理系统。

1 系统总体设计

动态可重构协处理器与主处理器的总体结构见图 1。虚线方框中为 LEON2 的结构^[2],LEON 系列处理器是一种为欧洲空间项目研究开发的高性能 32 位处理器,它采用 IEEE-1754(SPARC V8)结构,专为片上嵌入式系统而设计。LEON2 适应完全开放的 VHDL 源代码,允许用户在 GNU LGPL 协议下自由修改,为协处理器提供了一个开放内部流水控制寄存器的接口,实现协处理器与主处理器同步的指令流水处理。

整数处理单元、指令 Cache、数据 Cache 和存储器管理单元构成了 LEON2 处理器的运算核心,而 AHB 和 APB 两级总线构成了处理器的外围数据总线,并通过 AHB/APB 总线桥相连接。通过两级总线的联合使用,LEON2 可以与不同带宽的存储器和外部接口相连接。

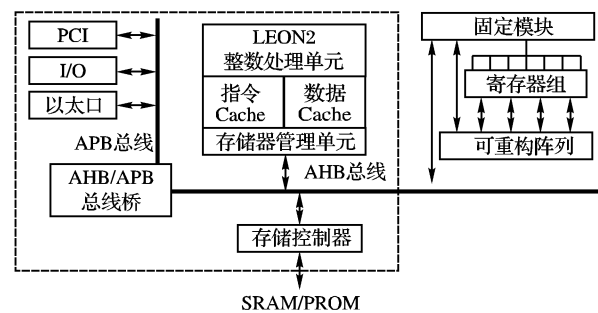


图 1 系统总体结构

图 1 虚线方框右边为本文提出的动态可重构协处理器的结构。其中,固定控制模块是协处理器接受指令、数据并实现译码和控制的所在,它包括一个与 LEON2 主处理器相邻的接口,一个可以直接访问存储单元,支持块读写的 AHB Master 接口和一些协处理器的指令流水控制电路;寄存器组包括通用寄存器组和特殊寄存器组,前者由协处理器流水控制寄存器组、固定模块状态/控制寄存器和可重构阵列状态/控制寄存器组成,用于协处理器的控制和状态维护,而后者主要用于保存运算数据,它为可重构阵列提供多个数据访问通道;可重

收稿日期:2006-01-05 基金项目:国家 863 计划项目(863-2.5.1.25)

作者简介:蔡启先(1948-),男,湖南邵阳人,教授,硕士,主要研究方向:计算机系统结构; 蔡洪波(1976-),男,湖南邵阳人,博士,主要研究方向:计算机系统结构; 黄晓璐(1974-),女,湖南长沙人,博士,主要研究方向:计算机网络; 蔡启仲(1956-),男,湖南邵阳人,教授,硕士,主要研究方向:计算机控制技术。

构阵列是协处理器的主要运算执行单元,它根据固定控制模块接收指令并译码后生成的控制信号重构,并在执行时从寄存器组获取数据。要指出的是,重构寄存器组包含在可重构阵列中,而在寄存器组中,这是因为要减小重构时间开销,重构控制应尽量接近重构逻辑。

2 可重构阵列结构

图 2 是可重构阵列的结构设计图^[3,4],其中,横、纵内部网络是阵列内数据传输的主要通道,它既能与通用寄存器组相连,又支持可重构阵列中同行或同列不同单元间的数据交换;重构寄存器位于阵列两端,主要用于保存阵列的重构配置信息;配置网络是横向连接重构寄存器和处理单元的网络,它是传递配置信息的通道。处理单元以横、纵二维阵列的形式存在于协处理器中,同行或同列的处理单元间可以通过内部网络交换数据,同行相邻的处理单元还可以通过进位电路实现级联,形成更大位宽的处理单元。

图 3 是处理单元的结构设计框图,它由 Input/Output 控制器、Output 控制器和运算单元三部分构成。Input/Output 控制器和 Output 控制器用于控制进出运算单元的数据通道,其核心结构是多路复用器。处理单元中的运算单元由移位寄存器、交叉开关、查找表(Look-up Table, LUT)、进位电路和结果函数发生器组成。其中,交叉开关和查找表组成的结构可以为输入提供各种组合逻辑,移位寄存器和进位电路可以帮助相邻运算单元间的数据交流,以实现单元级联,而结果函数发生器实现了查找表输出结果与进位信号的合成,其输出或者经输出控制器送入内部网络或者作为反馈信号进入输入/输出控制器。每个运算单元有 3 个移位寄存器,使每个运算单元不仅可以和相邻运算单元实现数据交流,而且为输入和输出提供了数据的锁存功能。如果不希望数据锁存带来时延,也可以通过控制多路复用器来选择直通信号。

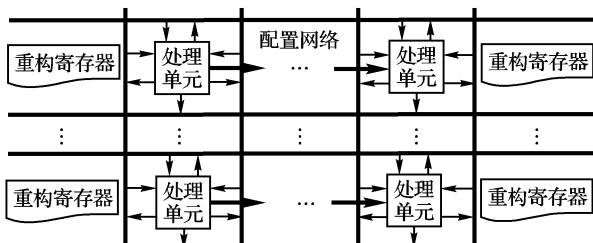


图 2 可重构阵列结构

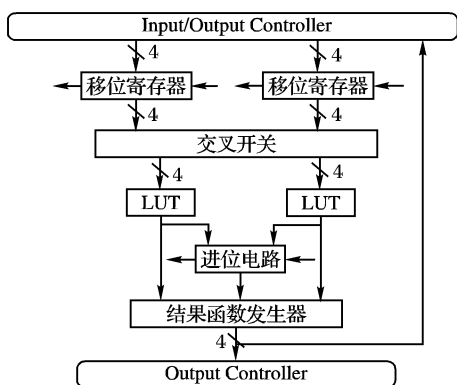


图 3 处理单元

可重构计算结构与通用处理器在计算上的一个很大不同在于,可重构计算是基于配置流与数据流,而不是基于指令流的计算^[4]。一般来说,指令流描述的是时间上的操作分布,而配置流定义的是空间结构上的变化,因此,可重构系统才能

以空间上的占用替代时间上的重用,更有效率地利用片上资源,减少计算时间。配置流的信息存于重构寄存器中,主要用于定义电路的结构,内容包括处理单元间通过内部网络和进位电路确定的连接关系以及处理单元本身的功能。通过向重构寄存器中写入不同数据,我们可以将阵列中任意多个处理单元动态整合为不同的电路,这种电路可以使用类似 ASIC 基于数据流的方式实现运算,提高性能。

3 流水电路设计

动态可重构协处理器指令在形式上与 LEON2 处理器使用的 SPARC V8 指令集中 Format 3 类型的指令一致,只对一些具体字段作了更细致的划分,因此,其指令可以和 SPARC V8 指令一起混合编程。

动态可重构协处理器指令基本可以分为 3 类:LD,ST 和 Cpop。LD 用于将数据从存储器中载入协处理器寄存器组;ST 用于将数据从协处理器寄存器组导入存储器;Cpop 指令用于指明参与协处理器运算的运算单元和寄存器地址,以及可重构阵列的配置情况^[5]。

该协处理器分别采用译指令、执行、读存储器、写寄存器和返回 5 个阶段流水的方式处理指令。运行时,先由 LEON2 处理器取指令,然后由主处理器与协处理器同时对指令译码,如判断指令为协处理器指令,则主处理器放弃执行,交由协处理器继续;译码后,协处理器会根据指令类型作出不同执行选择,以单字指令为例:当指令为 LDC,主处理器会在读存储器阶段从存储器中读取数据,并将其送入 lddata,协处理器则在写寄存器阶段将 lddata 上的数据送入指定寄存器;当指令为 STC,这是个双周期指令,但只在第一周期要求协处理器参与,cnt = "00"时协处理器在执行阶段将指定寄存器值放在 data 上,主处理器则在 cnt = "01"的执行阶段将 data 数据送入 memory;当指令为 CPOPRU,主处理器会首先在译码阶段确定配置数据的地址,再在执行阶段取出配置数据送入 ex 寄存器;而协处理器则在写寄存器阶段将 ex 中的数据送入配置寄存器,并在返回阶段通知主处理器任务完成。

4 配置流与数据流

我们主要通过寄存器与网络来保存和传递数据流和配置流,保存和传递配置信息的是配置寄存器组和配置网络,保存和传递数据信息的是通用数据寄存器和内部网络。

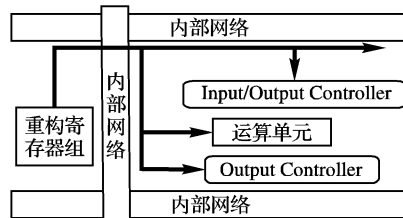


图 4 可重构配置流

配置信息包括两部分:一是内部网络互连的动态重构配置信息,二是运算单元的动态重构配置信息。如图 4 所示,两种重构的配置流都由重构寄存器发起,经配置网络后进入处理单元,前者主要用于配置输入输出控制器中多路复用器的开关,后者主要用于配置运算单元中的移位寄存器、查找表、进位电路、结果函数发生器等。每个重构寄存器大小为 64 位,分为两部分,前 21 位为第一部分,主要用于配置输入输出控制器;后 43 位为第二部分,用于配置运算单元。根据需要

这两部分可以同时配置,也可以分开来配置。

动态可重构协处理器的通用数据寄存器组主要由 8 个 8 位寄存器队列和相关输出网络组成,每个寄存器队列的长度为 4,它们两两为一组分别与 4 条全局的存储器总线相连。在控制器控制下,作为输入队列时,根据定时器设置,寄存器队列每若干周期向下移一位;作为输出队列时,队列每若干周期向上移一位,直到队列满。此外每次主处理器从队列中取数后或向队列中存数前都将清空该队列。

5 实验与结果

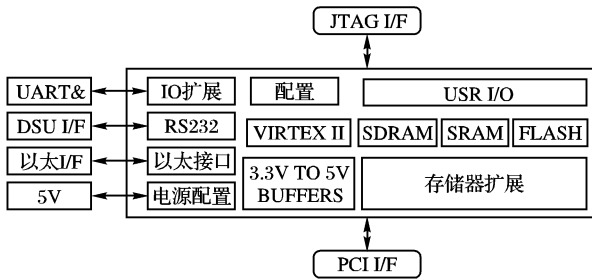


图 5 GR-PCI-XC2V 结构

我们使用 Gaisler 公司的 GR-PCI-XC2V 实验开发板作为原型样机的实验板^[6,7],结构如图 5,考查动态可重构协处理器在 FFT 中的应用。按频率抽取的基 2 FFT 算法原理如下:

$$A' = A + C$$

$$A' = (A - C) \cdot W_N^k$$

对于 8 位的实数运算而言,一个以基 2 FFT 的蝶需处理单元 40 个,其中乘法器 32 个,加法器 4 个,减法器 4 个,配置时间 40 周期,处理时序如图 6。

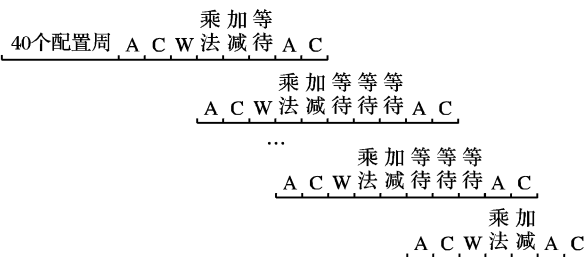


图 6 FFT 时序

图 7 绘出了 25M 时钟频率下动态可重构协处理器、LEON2、Intel 80386 SX 嵌入式处理器和 33.3MHz 下 ADSP 21020 四者进行 8 位无符号乘法运算的时间曲线图。与通用 CPU 和 DSP 的乘法运算时间曲线从零点开始随运算次数呈线性增长不同,动态可重构协处理器的运算时间曲线不从零点开始,且呈折线增长。这是因为协处理器中每 32 个处理单元可配置为 1 个 8 位阵列式乘法器,每个乘法器的配置时间约为 32 × 40ns,每次乘法运算时间都在一周期(40ns)内,且下一个乘法器的配置可以与前面乘法器的运算并行处理,因此,动态可重构协处理器乘法运算时间曲线

在最初阶段有一个 1280ns 的乘法器配置阶段,此后每过大约 32 周期,可重构阵列可增加一乘法器,实现并行计算,直到资源用完。图中分别显示了 8 × 8 可重构阵列大小的原型样机进行计算的 实际性能曲线(只能配置为两个乘法器)和扩大至 8 × 16 阵列大小的理论计算曲线,可以看出资源对系统性能的影响。

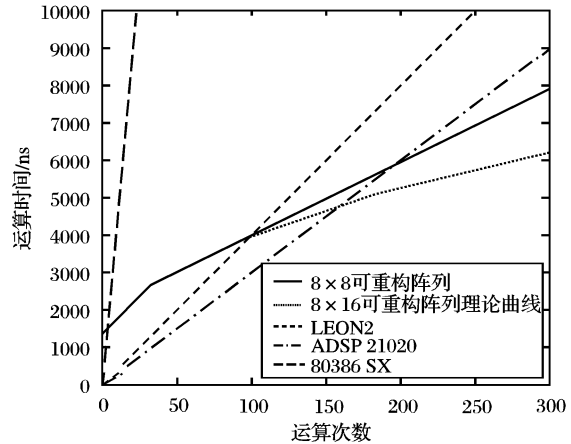


图 7 乘法性能曲线

从上面的实验结果我们可以看出,动态可重构协处理器原型样机具有以下特点:一是灵活性,通过设置配置寄存器,同一可重构阵列可以动态配置为加、减、乘、乘加、FFT 等不同运算逻辑;二是利于实现循环计算,可重构阵列配置完成后其运算过程和普通 ASIC 相似,但由于运算逻辑的配置时间往往超过运算时间,因此在单次运算中使用可重构计算并不能带来性能的提高,可重构计算应当用于处理有规律的运算,此时系统配置的时间开销被多次重用所分担,从而大大提高系统性能。

参考文献:

- [1] BONDALAPATI K, PRASANNA VK. Reconfigurable computing systems[J]. Proceedings of the IEEE, 2002, 90(7): 1201 - 1217.
- [2] GAISLER J. The LEON-2 processor user's manual[DB/OL]. <http://www.gaisler.com/doc/leon2-1.0.23-xst.pdf>, 2004 - 09 - 08.
- [3] BREBNER G, LEVI D. Networking on chip with platform FPGAs [A]. IEEE International Conference on Field-Programmable Technology[C]. Tokyo, Japanese, 2003. 13 - 20.
- [4] SLADE AL, NELSON B, HUTCHINGS B. Reconfigurable computing application frameworks[A]. Proceedings of the IEEE Symposium on Field-Programmable Custom Computing Machines[C]. California, 2003. 251 - 262.
- [5] HAUSER JR. Augmenting a microprocessor with reconfigurable hardware[D]. UC Berkeley, 2000.
- [6] Xilinx. Xilinx ISE 6 software manuals and help[DB/OL]. <http://toolbox.xilinx.com/docsan/xilinx6/books/manuals.pdf>, 2004 - 08 - 31.
- [7] Xilinx. Virtex-II Platform FPGA User Guide[DB/OL]. <http://direct.xilinx.com/bvdocs/userguides/ug002.pdf>, 2004 - 06 - 03.

(上接第 1740 页)

参考文献:

- [1] 周昌盛, 王小军, 李金. 基于组件技术的 ERP 系统的设计与实现[J]. 微计算机应用, 2005, 26(2): 204 - 206.
- [2] 杨英清. 构件技术引领软件开发新潮流[J]. 中国计算机用户, 2005, (6): 13.
- [3] CAPRETZ LF, CAPRETZ MAM, DAHAI L. Component-based software development[A]. IECON'01: The 27th Annual Conference of the IEEE [C]. Industrial Electronics Society, 2001, 3. 1834 - 1837.

- [4] 吉卫喜, 梁素勤. 软件构件的管理、标识与检索技术[J]. 计算机应用, 2003, 23(9): 67 - 75.
- [5] 张世琨, 张文娟, 常欣, 等. 基于软件体系结构的可复用构件制作和组装[J]. 软件学报, 2001, 12(9): 1351 - 1359.
- [6] 袁占亭, 张秋余, 张冬冬, 等. 基于软件总线技术的软件开发[J]. 计算机工程, 2005, 31(1): 105 - 107.
- [7] 姚万军, 李永刚. 可复用构件模型探讨[J]. 情报指挥控制系统与仿真技术, 2004, 26(2): 65 - 71.
- [8] 罗鸿. ERP 原理, 设计, 实施[M]. 北京: 电子工业出版社, 2002.