

基于 Verilog HDL 语言的新型抢答器设计

周奇 王晓春 王立伟 王延群

(中国医学科学院生物医学工程研究所 天津 300192)

摘要 本文提出一种基于 Verilog HDL 语言的抢答器设计方法。该设计实现有三组输入, 具有抢答倒计时功能, 对各抢答小组成绩进行加减操作并显示的抢答器。文中介绍抢答器设计架构、硬件电路和控制程序的设计方法。该抢答器采用 Verilog HDL 语言模块化和层次化的思想, 使设计十分简单, 能够广泛应用于各种竞赛中。

关键词 抢答器 Verilog HDL 层次化和模块化 FPGA 验证

引言

现行的抢答器主要有两种: 基于小规模数字逻辑芯片锁存器设计^[1]; 另外一种基于单片机设计^[2]。小规模数字逻辑电路比较复杂, 单片机随着抢答组数的增加存在 I/O 资源不足的情况; 本文提出一种新的抢答器设计方法, 即利用 Verilog HDL 硬件描述语言来设计抢答器并在 FPGA 上实现; Verilog HDL 语言满足数字系统设计和综合的所有要求^[3], 设计中充分利用 Verilog HDL 层次化和模块化的思想^[4], 使得抢答器整个设计过程简单, 灵活; 同时, 设计中运用 EDA 工具 Modesim 6.0 验证设计^[5], 使设计更加可靠。由于 FPGA 的寄存器、I/O 端口等资源丰富^[6], 可以在本设计基础上稍加修改设计具有多组输入或其他功能的抢答器。

1 抢答器功能与设计架构

1.1 抢答器系统的功能

本文设计一个电子抢答器: 三个参赛队, 每个队有三个成员, 各自可手动按按钮申请抢答权; 回答正确加 1 分, 回答错误减 1 分, 违规抢答减 1 分, 不抢答不加分不减分; 用 4 位 LED 的左边 2 位显示抢答组号、是否误抢答及抢答倒计时时间等信息, 右边 2 位显示相应组的成绩。

抢答器具体功能如下: (1) 可同时进行三组每个小组三个人的抢答, 用 9 个按钮 Group1_1, Group1_2, Group1_3, Group2_1, Group2_2, Group2_3, Group3_1, Group3_2, Group3_3 表示; (2) 设置一个抢答控制开关 Start, 该开关由主持人控制; 只有当主持人按下开始按钮才能抢答; 在按开始按钮前抢答属于违规; (3) 抢答器具有抢答倒计时功能, 一次抢答的倒计时时间为 30s。当主持人启动 Start 键后, 用 4 位 LED 数码管左边两位显示 30s 的倒

计时; 同时红色 LED 灯亮, 表明可以抢答。(4) 抢答器具有锁存与显示功能。即选手按动按钮, 锁存相应的组号, 并在 4 位 LED 数码管的左边两位显示组号 and 是否误抢答, 同时用一个绿色 LED 指示是否有选手抢答, 如果是违规抢答还能用蜂鸣器报警提示。抢答实行优先锁存, 优先抢答选手的相应组号和成绩一直保持到下一轮抢答开始。(5) 参赛选手在设定的抢答有效时间内进行抢答, 抢答有效, 数码管左边两位显示“FX”, 如果抢答违规则显示“XF”(其中 X 表示组号 1~3), 并保持到下一轮抢答。如果抢答延迟时间已到, 无人抢答, 本次抢答无效, 系统回到主持人按开始前的等待状态, 数码管上左边两位显示“FF”。(6) 当抢答有效后, 主持人可以根据抢答选手回答问题正确与否对选手相应组数的成绩进行加减分操作, 抢答违规也能减分操作, 用 4 位 LED 数码管右边两位显示相应组数的成绩(注各组初始成绩为 10 分)。

1.2 设计架构

本文以 Verilog HDL 语言为基础设计的电子抢答器, 根据设计功能要求, 该设计主要包括抢答输入键盘、数码管显示、报警及 FPGA 最小系统。抢答器结构简图(见图 1)。

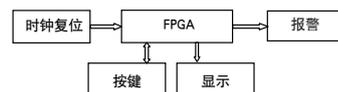


图 1 抢答器结构图

(1) FPGA 最小系统电路: FPGA 正常工作时的基本电路, 由时钟和复位电路组成。(2) 键盘输入电路: 用 3×3 矩阵键盘组成 3 个组共 9 个人抢答的抢答按钮。同时包括 Start, Add, Sub 三个由主持人控制的单独按钮。(3) 显示模块: 用移位寄存器 74HC164 驱动 4 位共阴数码管显示; 数码管要显示的数据通过 74HC164 串行数据端口输入, 然后并行输出^[7]。(4) 报警及相关信息显示: 蜂鸣器电路和 LED 灯显示相关状态信息的指示电路。

2 硬件电路设计

本文以 Xilinx 公司的 SPARTAN 3 系列 FPGA 中的 XC3S400^[8] 作为电子抢答器的实现平台, 抢答器实际上是人机接口的智能设备, 该抢答器的硬件电路图 (见图 2)。其中, Group1_1, Group1_2, Group1_3 分别表示第一参赛小组的三个成员的按钮, 依次类推 Group2_1, Group2_2, Group2_3 和

Group1_1, Group1_2, Group1_3 分别代表第二和第三参赛小组的三个成员; Start、Add、Sub 分别代表抢答开始按钮、对小组成绩的加操作和减操作按钮。数码管 LED 为共阴数码管, 其中管脚 6, 8, 9, 12 依次为位码, 其余为段码。

可编程逻辑阵列 FPGA 是该抢答器的控制核

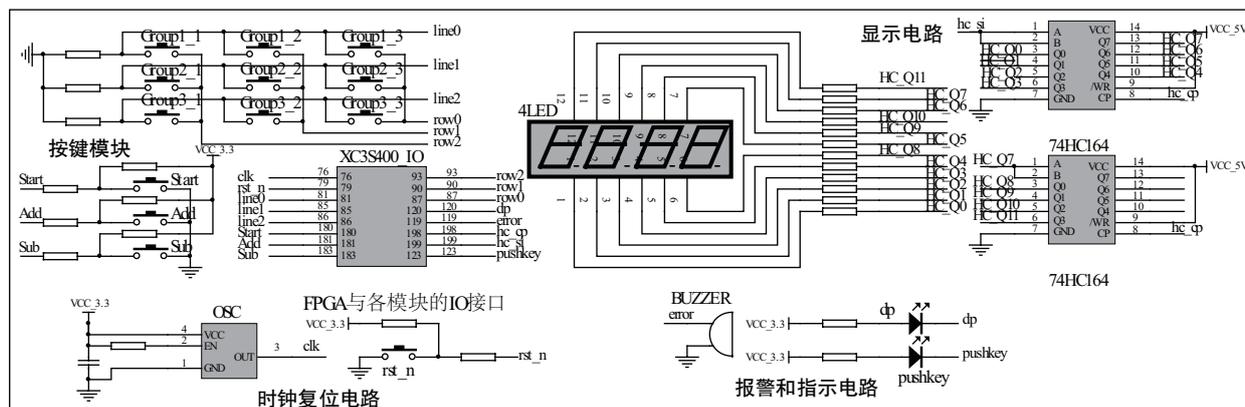


图 2 抢答器原理图

心, 用硬件描述语言 Verilog HDL 进行编程并编译程序, 然后下载到 FPGA 中执行。使用可编程逻辑阵列 FPGA 使外部电路十分简单。

2.1 按键模块

由于按键是机械的动作, 按键存在电平抖动, 为消除按键抖动引起的干扰, 需要等按键值达到稳定状态时才读取按键的值, 也就是说要当按键按下一段时间后, 才读取按键值; 本设计中抢答开始键 (Start)、抢答后各组成绩的加 (Add) 和减 (Sub) 按键是以单键的形式输入, 按键延迟时间为 20ms, 对于抢答组的按键是用 3×3 阵列键盘实现, 行扫描信号 row[2:0]=3'b001 以周期为 5.08ms 进行循环左移扫描, 扫描完三行的周期为 15.24ms, 这个就是说只有当两个按键之间的时间间隔在 15.24ms 之内时才有可能存在一个按钮在比另一个按钮先按, 而响应后者; 实际操作中, 两人按键之间的间隔大于这个时间间隔, 因此, 不会出现错误响应。同时每个按键后的延迟等待 125.76ms 后此按键值才有效; 经过实际测试, 键盘具有消抖功能, 能够正确检测按键值。

2.2 显示模块

显示数据信息通过 74HC164 的串行译码传送到数码管对应段, 对应位显示; 对于数码管显示采用动态扫描方式显示, 即所有位扫描显示一次的频率一定要大于相应位数据改变的频率; 当数码管对于数据改变的同时一定要把相应数据送到数码管进行显示, 即数据改变和数据显示要同步; 此设计中

4 位数码管动态扫描频率位 190Hz, 而数码管要显示的抢答组数、抢答组的成绩等信息的变化频率都是秒级, 满足数码管显示要求。

2.3 时钟复位模块

此模块用于生成 FPGA 系统时钟和复位电路, 采用有源晶振和低电平复位。系统时钟采用 50MHz, 能够满足电路设计要求。

2.4 报警模块

报警主要用于响应当没有按开始按钮之前违规抢答信号; 即当违规时, 图 2 中 error 为高电平 1 蜂鸣器响; 同时用一个红色 LED 显示当按下开始按钮的信号; 即当主持人按下开始按钮时, 图 2 中 dp 为低电平 0 红色 LED 灯亮; 同时用一个绿色 LED 灯指示有选手按抢答按钮, 选手按键抢答, 绿色 LED 闪烁一次, 绿色 LED 用图 2 中 pushkey 信号控制。

3 Verilog HDL 硬件描述语言设计

3.1 程序设计流程

软件设计主要采用 Verilog HDL 语言进行设计, 采用状态机对抢答器的各个过程进行控制, 设计中采用层次化和模块化的思想, 即顶层模块只有一个控制抢答器的主状态机和模块例化, 然后分别用子模块实现数码管显示, 成绩多路选择器, 成绩的处理模块, 按下抢答开始键后的延迟等待模块, 按键检测模块等 (见图 3)。其中, 显示“倒计时+成绩”中“倒计时”表示从 30s 倒计时开始显示每 1s 直

到有人抢答或者倒计时 30s 完成，成绩表示上一次抢答的那个小组的成绩；显示“FF+成绩”中 FF 表示无效状态，成绩表示上一次抢答的那个小组的成绩；显示“FX+成绩”表示抢答小组答题完并进行评分操作后的组号和成绩；显示“XF+成绩”表示违规抢答的那个小组组号及减 1 分后的成绩信息 (X 表示 1, 2, 3)。这里“+”是为区分组号和成绩信息，数码管并不显示“+”。

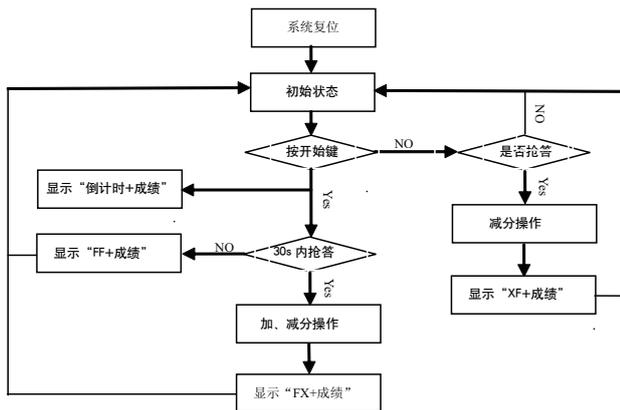


图 3 程序流程图

用 Verilog HDL 分别编写各个模块，在 ISE8.1 环境下编译程序，生成的顶层模块的方块图（见图 4）。其中，line(2:0) 和 row(2:0) 分别表示参赛小组按键的输入阵列信号和输出扫描阵列信号；start_key, add_key, sub_key, 分别代表抢答开始命令，对各组成绩的加、减操作命令；dp,error,push_key 分别表示开始键按下后的信号，违规抢答信号以及参赛组有人按键的响应信号；hc_cp,hc_si 表示显示译码芯片 74HC164 的串行时钟和数据信号。

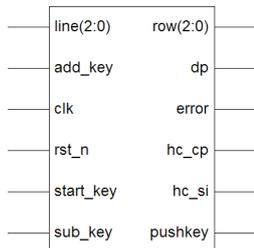


图 4 顶层模块图

3.2 信号同步

在抢答器按下开始键后有一个等待抢答 30s 的延迟时间，当 30s 完成后如果三个小组都没有人按抢答键，那么此次比赛抢答无效，系统自动回到主持人按开始前的系统等待状态；当计时完成 30s 后生成一个高电平的脉冲信号 (pulse)，由于此脉冲信号高电平持续时间是整个系统的系统时钟 (clk)，这个时钟周期小于状态机的时钟周期 (clk_4)，直接用状态机的时钟是检测不到此脉冲信号，需要把

此脉冲信号与状态机时钟进行同步。

采用的方法是：首先用一个锁存器 (pulse_reg) 锁存此脉冲信号，通过锁存器值和原寄存器值检测到脉冲由低电平 0 到高电平 1 的跳变沿，用一个与系统时钟同步的锁存器 (flag) 锁存这个跳变沿，发生跳变时 flag=1；当状态机时钟 (clk_4) 检测到 flag=1 后，生成一个 flag 的清零信号 flag_rst 把 flag 清零。信号同步的部分 Verilog HDL 程序如下。

```

reg flag_rst; // 生成 flag_rst 信号
always @ (posedge clk_4 or negedge rst_n)
begin
    if(!rst_n)
        begin
            flag_rst <= 1'b0;
        end
    else
        begin
            if(flag == 1'b0)
                flag_rst <= 1'b0;
            else
                begin
                    flag_rst <= 1'b1;
                end
        end
    end
end
always @ (posedge clk)
begin
    pulse_reg <= pulse;
end
reg flag; // flag 用来检测 pulse 上升沿
always @ (posedge clk)
begin
    if(!rst_n)
        flag <= 1'b0;
    else
        begin
            if((pulse_reg == 1'b0) && (pulse
                == 1'b1))
                flag <= 1'b1;
            else if(flag_rst == 1'b1)
                flag <= 1'b0;
        end
    end
end
reg flag_reg; // 生成与 clk_4 同步的用于检测脉冲上升沿信号的 flag 信号
always @ (posedge clk_4)
begin
    flag_reg <= flag;
end
    
```

在 Modesim 6.0 仿真波形 (见图 5)。

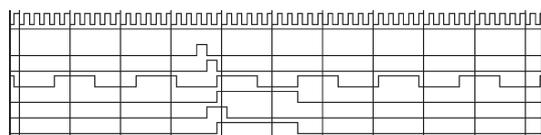


图 5 信号同步仿真波形

4 设计结果

根据抢答器功能要求,规划程序包括的子模块,并编写 Verilog HDL 代码,在 Xilinx 公司 ISE8.1 环境下综合、布局布线、编译,然后在 Modesim 6.0 环境下编写测试文件并仿真,经仿真验证,设计结果正确,在 Xilinx SPARTAN 3 系列 FPGA 的 XC3S400 硬件平台上调试运行成功 (见图 6)。

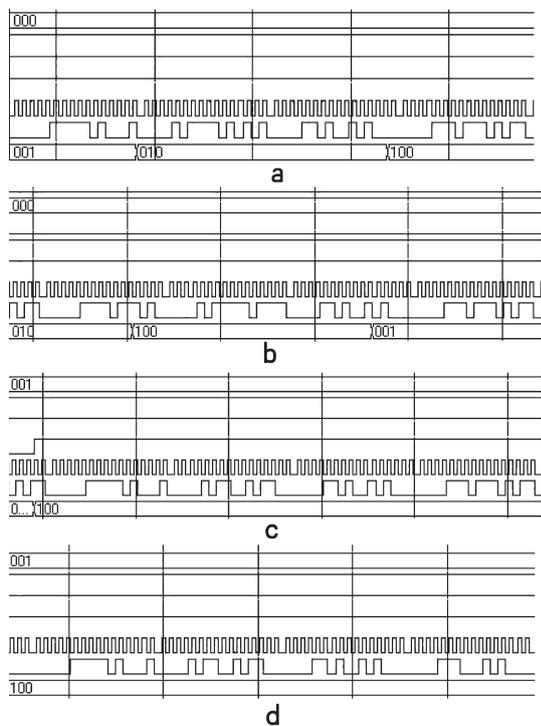


图 6 仿真波形图

a. 系统复位仿真图; b. 按下 Start 键后的仿真图; c. Start 后第一小组抢答时的仿真图; d. 抢答完毕进行加分操作后的仿真图

Verilog HDL 是一种用形式化方法来描述数字电路和系统的语言。设计者利用这种语言可以从抽象到具体、分层次分模块进行设计。本文用 Verilog HDL 设计实现一个具有三组输入的,能够显示抢答倒计时时间和抢答组数和是否误抢答等信息,并且对抢答后各组的成绩进行处理并显示的抢答器;同时该抢答器具有对违规抢答的报警功能。

利用 Verilog HDL 硬件描述语言设计抢答器,使抢答器硬件电路更加简单,抢答器时序控制灵活;同时,利用 EDA 仿真工具 Modesim 6.0 在验证设计方面的优势,使设计准确可靠。利用 FPGA I/O 端口可自定义特点,在本文设计智能抢答器基础上,增加抢答器的按键阵列或者把按键阵列改为单键接入方式,对控制程序进行稍加修改就可以设计出各种满足各种竞赛要求的智能型抢答器,应用十分广泛。

参考文献

- 1 刘开绪. 基于 8D 锁存器的抢答器电路设计与制作 [J], 电子制作, 2006, (4):35~36
- 2 梁超, 肖静, 邱志诚. 一款基于单片机技术的电子抢答器 [J], 机电工程技术, 2005, (34):48~49
- 3 (美) 纳瓦华 (Navabi,Z.) 著. 李广军译. Verilog 数字系统设计—RTL 综合、测试平台与验证 (第 2 版) [M], 北京: 电子工业出版社, 2007
- 4 夏宇闻. Verilog 数字系统设计教程 [M], 北京: 北京航空航天大学出版社, 2003
- 5 吴继华, 王诚. Altera FPGA/CPLD 设计 (基础篇) [M], 北京: 人民邮电出版社, 2005
- 6 褚振勇, 翁木云. FPGA 设计与应用 [M], 西安: 西安电子科技大学出版社, 2002
- 7 睦碧霞. 用单片机串行口实现动态扫描 LED 显示 [J], 电子工程师, 2006, (32): 31~32
- 8 Xilinx Corporation. Spartan-3 FPGA Family: Complete Data Sheet [R], 2005

The new design of answering device based on Verilog HDL

Zhou Qi Wang Xiaochun Wang Liwei Wang Yanqun

(Institute of Biomedical Engineering, Chinese Academy of Medical Sciences, Tianjin 300192)

Abstract This article proposes a method to design a answering device based on Verilog HDL. The design achieves a answering device with three groups input and control of counting down. The answering device can also display the groups' grade and control it by addition or subtraction. The paper introduces the framework, hardware circuit and control program. The answering device applies the idea of the hiberarchy and module of Verilog HDL. So the design is very simple and can be applied to many competitions.

Key words Answering device Verilog HDL Hiberarchy and module FPGA Validation