

一种新的数字接收机 AGC 电路

崔 巍 吴嗣亮

(北京理工大学雷达技术研究所 北京 100081)

摘 要: 该文提出一种新的数字接收机自动增益控制(AGC)电路。该电路将传统的两级级连负反馈 AGC 电路中后级 AGC 电路的反馈控制改为前馈控制, 前后两级 AGC 电路共用一套功率检波器和环路滤波器, 前级 AGC 电路的增益控制误差能够在后级 AGC 电路中得到修正, 故新的 AGC 电路的总增益控制误差仅取决于后级 AGC 电路的增益控制误差。计算机仿真和硬件电路测试结果均表明, 与传统的 AGC 电路相比, 该文提出的新 AGC 电路能够提高增益控制精度, 降低 AGC 响应时间。

关键词: 数字接收机; 自动增益控制(AGC); 级连结构; 前馈控制

中图分类号: TN702

文献标识码: A

文章编号: 1009-5896(2008)08-2025-04

A New AGC Circuitry for Digital Receiver

Cui Wei Wu Si-liang

(Center for Research on Radar Technology, Beijing Institute of Technology, Beijing 100081, China)

Abstract: A new Automatic Gain Control (AGC) circuitry is proposed in this paper. The feedback control scheme of subsequent AGC closed-loop in conventional AGC frame is converted to forward control scheme in new circuitry. The power detector and the loop filter are shared by two cascaded AGC loops in new AGC circuitry, so the gain errors in foregoing AGC closed-loop can be corrected by subsequent AGC closed-loop, and total gain errors of new AGC circuitry is determined only by the gain errors in subsequent AGC closed-loop. Simulation and measurement results verify that the new AGC circuitry not only improved the gain control precision, but also decreased the response time, compared with conventional AGC circuitry.

Key words: Digital receiver; Automatic Gain Control (AGC); Cascaded frame; Forward control

1 引言

自动增益控制(AGC)电路是模拟或数字接收机的关键组成部分^[1]。图 1 是传统的超外差式结构数字接收机的电路框图。该超外差式数字接收机的 AGC 电路由两级级联实现: 前级自动增益控制及放大电路(下文简称 AGC1 电路)通过对接收前端变增益模拟放大器的增益控制, 保证了输出信号的幅度满足 A/D 转换器的量化电平要求; 后级自动增益控制及放大电路(下文简称 AGC2 电路)通过对解调输出信号的数字式放大控制, 保证了输出信号的幅度近似恒定。由于采用了两级 AGC 电路, 接收机前端增益可以设计得相对较低, 提高了接收机的工作稳定性^[2,3]。

另一方面, 由于采用互为独立的级联结构进行增益控

制, 传统的超外差式数字接收机两级 AGC 环路的控制方差将会以累加和的形式影响到 AGC 电路的整体控制精度; 且 AGC 电路总的响应时间等于前后两级 AGC 电路的响应时间之和。

2 传统的数字接收机 AGC 电路

由图 1, 传统的数字接收机的前后两级 AGC 电路均为反馈结构, 每级 AGC 电路均由变增益放大器(AGC1 电路为模拟变增益放大器, AGC2 电路为数字式放大器)、功率检波器(AGC1 电路为对数功率检波器, AGC2 电路为线性功率检波器)、环路滤波器(低通滤波器)构成, 如图 2 所示^[4-6]。

以 AGC1 电路为例, 对数功率检波器实现对变增益放大

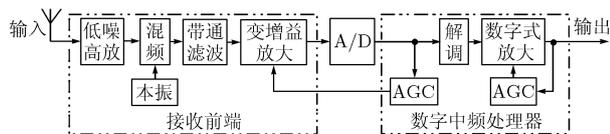


图 1 超外差式数字接收机框图

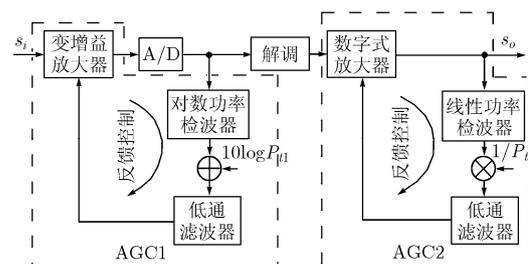


图 2 传统的 AGC 电路结构

器输出信号功率 $10\log P_1(k \cdot N_1 \cdot T_s)$ 的计算, 其中 T_s 为采样间隔, N_1 为响应时间(响应时间定义为从 AGC 电路起控到信号电平收敛到期望电平 1dB 附近所需时间, 包含上升时间 t_{r1} 或下降时间 t_{f1}) 内的采样点数目(这里假设 $t_{r1} = t_{f1}$), k 为增益调整次数 ($k = 1, 2, \dots$)^[5-7]。考虑到要在上升或下降时间内使信号幅度增加或降低至门限电平附近, 若 $10\log P_1(k \cdot N_1 T_s) \leq 10\log P_{t1}$, 则在上升时间 t_{r1} 内的理论增益调整量 $G_1(k)$ (用 dB 表示)为

$$G_1(k) = 10(\log P_{t1} - \log P_1(kN_1T_s)) \quad (1)$$

同样, 若 $10\log P_1(kN_1T_s) > 10\log P_{t1}$, 在下降时间 t_{f1} 内的理论增益调整量 $G_2(k)$ 为

$$G_2(k) = 10(\log P_1(kN_1T_s) - \log P_{t1}) \quad (2)$$

其中 $10\log P_{t1}$ 为门限功率值。

由于数字处理的有限字长效应导致的功率检波器对数功率值 $10\log P_1(kN_1T_s)$ 的计算误差、增益调整量 $G_1(k)$ 或 $G_2(k)$ 的计算误差以及环路热噪声, A/D 转换器的量化噪声均会在不同程度上影响到 AGC 电路的控制精度^[7,8]。通过合理设计量化字长, A/D 转换器的量化噪声对 AGC 电路控制精度的影响可忽略不计。因此, 传统级联结构 AGC 电路的增益控制精度主要由热噪声误差、功率值计算误差和增益调整量计算误差决定。

令 $g_1(k)$ 和 $g_2(k)$ 分别表示 AGC1 电路和 AGC2 电路在 k 时刻的控制增益(用 dB 表示), 由上面的分析有

$$g_1(k) = G_1(k) + \Delta G_1(k) \quad (3)$$

$$g_2(k) = G_2(k) + \Delta G_2(k) \quad (4)$$

其中 $G_1(k)$ 和 $G_2(k)$ 分别是 AGC1 电路和 AGC2 电路的理论(期望)控制增益, 均为常量; $\Delta G_1(k)$ 和 $\Delta G_2(k)$ 分别是 AGC1 电路和 AGC2 电路的增益控制误差。因此, 传统的 AGC 电路在 k 时刻的联合控制增益 $g(k)$ (用 dB 表示)为

$$\begin{aligned} g(k) &= g_1(k) + g_2(k) \\ &= G_1(k) + G_2(k) + \Delta G_1(k) + \Delta G_2(k) \\ &= G(k) + \Delta G_1(k) + \Delta G_2(k) \end{aligned} \quad (5)$$

其中 $G(k)$ 为 AGC 电路在 k 时刻的理论(期望)控制增益, $G(k) = G_1(k) + G_2(k)$ 。故由式(5)可知, 传统的 AGC 电路的总增益误差是前后两级 AGC 电路的增益误差之和。

另外, 由于采用负反馈级联控制, AGC1 电路在规定的上升时间 t_{r1} 或下降时间 t_{f1} 内完成对接收信号的增益调整后, AGC2 电路需要再历经上升时间 t_{r2} 或下降时间 t_{f2} 才能完成对 AGC1 电路已控信号的数字式放大, 即传统的 AGC 电路增益调整的上升时间 t_r , 下降时间 t_f 为

$$t_r = t_{r1} + t_{r2}, \quad t_f = t_{f1} + t_{f2} \quad (6)$$

3 一种新的数字接收机 AGC 电路

3.1 新的 AGC 电路原理

对图 2 所示的传统的数字接收机 AGC 电路进行分析可知: AGC1 电路通过计算 A/D 转换后的信号功率并利用负

反馈结构实现对变增益放大器增益的调节; 与此类似, AGC2 电路通过计算解调后信号的功率并利用负反馈结构实现对数字式放大器增益的调节^[9,10]。考虑到 AGC2 电路的输入量是经 AGC1 电路调整后的值, 该输入量对噪声起伏不再敏感, 故 AGC2 电路可直接利用 AGC1 电路低通滤波器的输出结果, 即复用 AGC1 电路的对数功率检波器和低通滤波器, 以实现对外级数字式放大器的前馈控制。基于上述原理, 新的 AGC 电路结构如图 3 所示。

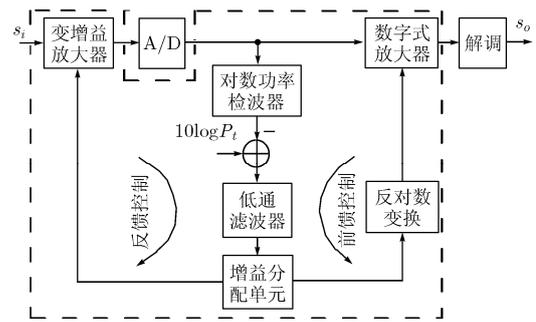


图3 新的 AGC 电路结构

与图 2 所示的传统的 AGC 电路相比, 新的 AGC 电路将原 AGC 电路中后级 AGC 电路的反馈控制改为前馈控制, 增加了增益分配单元用于前后级 AGC 电路间的增益分配, 并且将数字式放大改至解调处理之前进行。由于数字式放大器为线性放大器, 因此前馈环路中增益分配单元的输出需要通过反对数运算转换为线性增益控制量。

图 3 所示的新 AGC 电路的前、后级增益控制量均以统一的增益分配单元提供的增益调整值为参考, 由前述分析, 其后级 AGC 电路在 k 时刻的控制增益 $g_2(k)$ (用 dB 表示)为

$$g_2(k) = G(k) - g_1(k) + \Delta G_2(k) \quad (7)$$

由式(7)可得新 AGC 电路在 k 时刻的联合控制增益 $g(k)$ (用 dB 表示)为

$$\begin{aligned} g(k) &= g_1(k) + g_2(k) \\ &= g_1(k) + G(k) - g_1(k) + \Delta G_2(k) \\ &= G(k) + \Delta G_2(k) \end{aligned} \quad (8)$$

故新的 AGC 电路的增益控制误差仅取决于后级 AGC 电路的增益控制误差。同时, 由于前后两级 AGC 电路可以同步地进行调节, 故新的 AGC 电路的总响应时间取决于前后两级 AGC 电路响应时间的大值, 即

$$t_r = \max(t_{r1}, t_{r2}) \quad \text{或} \quad t_f = \max(t_{f1}, t_{f2}) \quad (9)$$

3.2 新的 AGC 电路增益的计算机仿真

图 4(a)~4(d)分别给出了不同的信噪比条件下, 由计算机仿真得到的传统的 AGC 电路和新的 AGC 电路的增益随时间的变化曲线。仿真所采用的中频输入信号功率范围为 $-110\text{dBm} \sim 10\text{dBm}$, 信噪比设定为 10dB 和 0dB 两组。对于每一组信噪比条件各做了 500 次的增益上升模拟和 500 次的

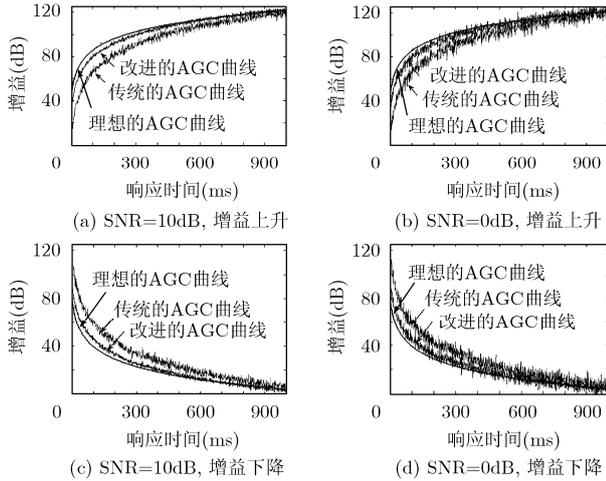


图 4 不同信噪比条件下的 AGC 增益调节过程

增益下降模拟实验。取 500 次实验样本的平均值，得到图 4(a)~4(d)。其中，图 4(a)~4(b)表示增益上升调节过程；图 4(c)~4(d)表示增益下降调节过程。考虑到计算机模拟尽可能真实地逼近于硬件电路的实际工作过程，仿真中所采用的信号处理流程包括量化字长的选取与实际的硬件电路完全一致。图中的纵坐标表示 AGC 电路的总的链路增益，横坐标表示 AGC 电路的总响应时间，理想的 AGC 曲线表示在不考虑由各种因素导致的增益控制误差和计算延迟情况下 AGC 曲线的理论值。

表 1 给出了不同的仿真条件下，传统的 AGC 电路和新的 AGC 电路的控制精度(AGC 稳定后信号电平的均方差)、响应时间的仿真结果对比。从表 1 可以看出，在不同的信噪比条件下，新的 AGC 电路的控制精度均优于传统的 AGC 电路的控制精度。另一方面，相对于传统的 AGC 电路而言，新的 AGC 电路的增益控制曲线能够以更快的速度收敛于理想的 AGC 曲线，这进一步验证了本文提出的 AGC 电路的有效性。

4 实验结果与分析

本文设计了 1 套可同时接收 4 路短波信号的短波数字接收机，该数字接收机采用中频采样、数字正交解调技术进行短波信号的接收处理，采用 FPGA 实现中频信号的数字下变

表 1 两种 AGC 电路的仿真结果比较

信噪比 (dB)	传统的 AGC		新的 AGC	
	响应时间 (ms)	控制精度 (dB)	响应时间 (ms)	控制精度 (dB)
增益上升	10	996	501	0.42
	0	998	503	0.62
增益下降	10	994	499	0.43
	0	999	505	0.65

频、自动增益控制及解调等接收处理功能。在该数字接收机的 FPGA 设计平台上，分别设计并实现了两种不同的 AGC 电路结构(传统的 AGC 电路和新的电路)，用于完成对接收信号的增益控制，并通过实验验证比较两种 AGC 电路的性能优劣。利用短波信号源 HARRIS RF-1310A 模拟产生带宽为 3kHz、动态范围为-110dBm~10dBm 的语音信号，并采用频谱分析仪 E4403B 分别对两种 AGC 电路的增益控制范围、输出信号功率进行测试，测试结果如表 2 所示。

表 2 两种 AGC 电路实现自动增益控制比较

输入信号 功率 (dBm)	AGC1 增 益分配 (dB)	AGC2 增 益分配 (dB)	带内信噪比 (dB)		输出信号 功率(dBm)	
			传统 电路	新 电路	传统 电路	新 电路
-110	70	50	10.8	10.3	10.1	9.6
-100	70	40	21.6	21.4	9.3	9.7
-90	70	30	31.3	31.6	9.2	9.8
-80	70	20	41.7	41.8	9.5	9.9
-70	70	10	51.8	51.6	10.0	10.0
-60	70	0	61.5	61.5	9.8	9.8
-50	60	0	61.3	61.6	9.6	9.9
-40	50	0	61.4	61.5	9.7	9.9
-30	40	0	61.7	61.7	9.5	9.9
-20	30	0	61.8	61.6	9.4	10.1
-10	20	0	61.5	61.5	9.9	9.9
0	10	0	61.6	61.6	9.6	9.9
10	0	0	61.5	61.7	9.5	10.1

从表 2 可以看出，当采用传统的 AGC 电路进行增益控制，输入信号在 120dB 范围变化时，输出信号变化范围达到 0.9dB；而采用新的 AGC 电路后输出功率变化可小至 0.5dB。测试结果与仿真结果基本一致。如前述分析，由于新的 AGC 电路前后两级电路的相关性，前级 AGC 电路的增益控制误差能够被后级 AGC 电路有效地抵消，故新的 AGC 电路能够达到更高的增益控制精度。

5 结论

本文提出了一种新的数字接收机 AGC 电路结构，将传统的级连结构 AGC 电路中后级 AGC 电路的反馈控制改为前馈控制，前后两级 AGC 电路共用一套功率检波器和环路滤波器。仿真和实测结果均验证了与传统的 AGC 电路相比，本文提出的新的 AGC 电路显著提高了增益控制精度，并减少了响应时间。

参考文献

[1] Jeon O, Fox R M, and Myers B A. Analog AGC circuitry for a CMOS WLAN receiver. *IEEE Journal of Solid-State Circuits*, 2006, 41(10): 2291-2300.

- [2] 刘世刚, 葛临东, 袁伟. 一种短波数字接收机模拟前端设计方案. 微计算机信息, 2005, 21(11): 148-150.
Liu S G, Ge L D, and Yuan W. Analog front-end design of HF digital receiver. *Micro-computer Information*, 2005, 21(11): 148-150.
- [3] Kim C. Digital automatic gain control for software radio W-CDMA base stations. *IEEE Trans. on Electronics Letters*, 2003, 39(3): 318-320.
- [4] Quoc H D, Quan L, and Chang W K. A 95-dB linear low-power variable amplifier. *IEEE Trans. on Circuits and Systems-I*, 2006, 53(8): 1648-1657.
- [5] 李学初, 高清运, 秦世才. 混合模式AGC设计. 电子与信息学报, 2007, 29(11): 2791-2794.
Li X C, Gao Q Y, and Qin S C. The design of mixed-mode AGC. *Journal of Electronics & Information Technology*, 2007, 29(11): 2791-2794.
- [6] 金俊坤, 吴嗣亮, 孙武. 某型伪码测距雷达的数字AGC设计. 现代雷达, 2005, 27(10): 75-78.
Jin J K, Wu S L, and Sun W. Design of a digital AGC in a PN-code ranging radar. *Modern Radar*, 2005, 27(10): 75-78.
- [7] Ser W O and Ridwan R M. Dual-rate automatic gain controller for WCDMA mobile receiver. *IEEE Wireless Communications and Networking Conference*, Kowloon, 2007: 212-216.
- [8] Chown G A and Hartman R C. Design and experience with a fuzzy logic controller for automatic generation control (AGC). *IEEE Trans. on Power Systems*, 1998, 13(3): 965-970.
- [9] Lai J T, Wu A Y, and Lee C H. Joint AGC-equalization algorithm and VLSI architecture for wirelined transceiver designs. *IEEE Trans. on VLSI*, 2007, 15(2): 236-240.
- [10] Okjune Jeon, Fox R M, and Myers B A. Analog AGC circuitry for a CMOS WLAN receiver. *IEEE Journal of Solid-State Circuits*, 2006, 41(10): 2291-2300.
- 崔 嵬: 男, 1976年生, 副教授, 博士后, 研究方向为雷达信号处理、扩频信号处理及专用集成电路设计.
- 吴嗣亮: 男, 1964年生, 教授, 博士生导师, 研究方向为雷达系统设计、扩频信号处理及应用等.