

基于标准单元的低功耗 FIR 数字滤波器 VLSI 实现

齐悦, 李占才, 王沁

(北京科技大学信息工程学院, 北京 100083)

摘要: 功耗与硅面积一样已成为芯片设计中的关键问题, 尤其是在数字信号处理集成电路设计中。基于标准单元的 VLSI 设计是实现数字信号处理模块芯片或模块的重要方法。该文提出了一种基于标准单元的低功耗 FIR 滤波器多层次设计方案, 其中体系结构层次采用多层流水线策略, 逻辑层次将加法集成到部分积压缩中, 在电路层次采用最小器件, 从而在最大限度减少面积的同时降低了 FIR 的功耗。根据实际需求, 该设计方案易于扩展和变换, 可灵活应用到其它类似的滤波器设计中。实现结果表明在 TSMC0.25 标准单元库下 FIR 的功耗最多可降低 20% 以上。

关键词: 低功耗; 数字信号处理; FIR 滤波器; 集成电路; 乘累加器

Low-power VLSI Design of FIR Filter Based on Standard Cell

QI Yue, LI Zhancai, WANG Qin

(School of Information Engineering, Beijing University of Science & Technology, Beijing 100083)

【Abstract】 In recent years, power consumption along with silicon area has become the key factor in the chip design, especially in the digital signal process block. Most of digital signal process block are designed in standard cell. One way of low power design based on standard cell is using minimum-sized device. This paper presents a low-power scheme for the VLSI implementation of finite-impulse response (FIR) filters based on standard cell. The scheme is a cross level solution in the view of design flow. A multi-hierarchy pipeline scheme is in the architecture level, integrating addition into Wallace_Tree is used in logic level, which guarantees achieving minimum-sized device solution in circuit level. Simulation shows that 20% of the power is saved with the proposed scheme, which is flexible and can be applied to other similar designs.

【Key words】 Low-power; Digital signal process; FIR filter; IC; MAC

随着便携式计算的普及, 在集成电路设计中, 低功耗已经成为与面积和性能同等重要的设计目标, 尤其是在涉及大量计算的数字信号处理领域。

FIR滤波器广泛应用于数字信号处理相关领域, 传统滤波器设计^[1]中存在的问题就是大量的乘加运算将导致芯片面积和功耗的增加。在基于标准单元的集成电路设计中可以通过算法级、体系结构级、逻辑级的改进来优化面积和功耗^[2-4]。

本文在体系结构层次和逻辑电路层次上提出一种 FIR 数字滤波器小面积低功耗设计方法, 使得在电路层得到一个最小器件实现 FIR, 即: 采用多层流水线结构, 通过流水线和复用减少面积; 然后进一步加深流水以放松关键路径的时序约束, 得到基于标准单元库的最小器件的网表, 从而达到减少电容、并在最大限度减少面积的同时降低功耗的目的。

1 低功耗滤波器

1.1 FIR 滤波器基本结构

一个 FIR 滤波器计算公式为

$$y(n) = \sum_{k=0}^{N-1} h_k x_{n-k}$$

其中, N 是滤波器的长度 (taps 的数量), x 是输入数据流, h_k 表示滤波器的第 k 个 tap 的系数, y 是输出数据流, 如图 1(a) 所示。

1.2 流水线结构设计

如前所述, 滤波器设计中关键问题就是乘加运算消耗掉绝大部分的面积和功耗, 因此按照算法中的乘加器数量来实现 VLSI 是不可取的。通常, 输入信号的采样频率会比系统工作的时钟频率低, 因此为了节约资源, 可选取比采样时钟

快的内部时钟频率, 采用流水线技术和乘累加器复用技术优化结构, 减小面积。

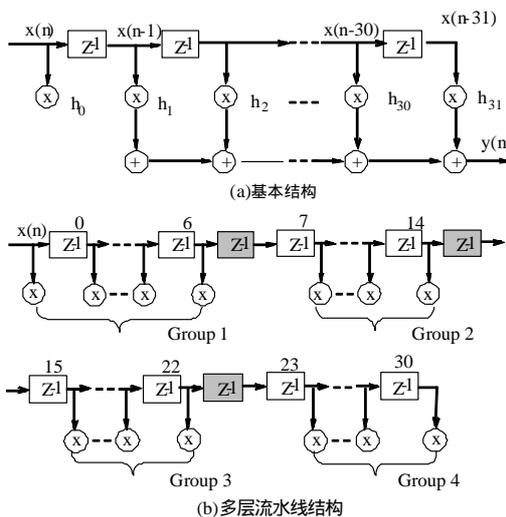


图 1 FIR 滤波器结构 (32taps)

我们在前面的研究中提出基于两层流水线体系结构的

基金项目: 北京市科技计划基金资助重大项目“交互式有线数字电视信道传输核心技术开发”

作者简介: 齐悦(1975-), 女, 博士生, 主研方向: 集成电路设计; 李占才, 副教授; 王沁, 教授、博导

收稿日期: 2005-12-22 **E-mail:** qiy@m165.com

FIR滤波器设计^[5]。把N taps的FIR滤波器分成N/M组，每组M个taps复用同一个乘累加器，在体系结构上相当于一层流水线，为保证滤波器的吞吐率不变，每组M个乘累加运算需要在一个采样时钟周期完成，因此定义比采样时钟快M倍的内部时钟，总计只需要N/M个乘累加（MAC）模块，大大缩减了面积。N/M个MAC模块可以并行执行，但考虑到MAC模块的累加特性，本文在MAC之间采用流水线方式执行，省掉Add模块，需要在滤波器分组结构的各组间加一个延迟单元（tap）用来保证滤波器的功能不变，总计增加N/M-1个taps，图1(b)为一个分组示意图(32taps被分成4组的例子)。

在上述研究成果的基础上，本文提出了3层流水线结构的FIR实现方案。3层流水线结构FIR的工作原理：与文献[5]相同，第1层是组间流水，有N/M个阶段，可简化计算。第2层是组内流水，有M个阶段，实现乘累加复用。其中，M的确定依赖于对应于采样频率的时钟、工艺库特征以及内部时钟等，需进行优化设计，即确定满足 $Mf \leq 1/T_{delay_MAC}$ 最大的M，其中，f为采样率， T_{delay_MAC} 为在给定工艺库下的乘累加模块最大延时。第3层是在乘累加内部增加流水，其功能是放松关键路径延时，得到最小器件实现。改进后滤波器的逻辑结构如图2。

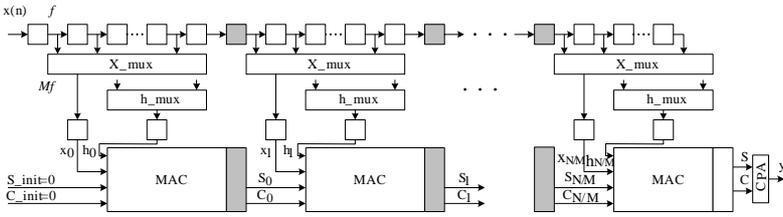


图2 组间流水线逻辑结构

x_mux 和 h_mux 模块是输入数据流 x 和系数 h 的选通器，由内部快速时钟和使能信号控制。 S_{i-1} 和 C_{i-1} 是从前一级流水传过来的“本位和”与“进位和”。在第1级， S_{init} 和 C_{init} 被置为0，经过N/M个阶段完成乘累加计算，形成最终的本位和 S 与进位和 C 。最后，需要一个CPA(carry propagate adder)来得到滤波器的输出 y 。

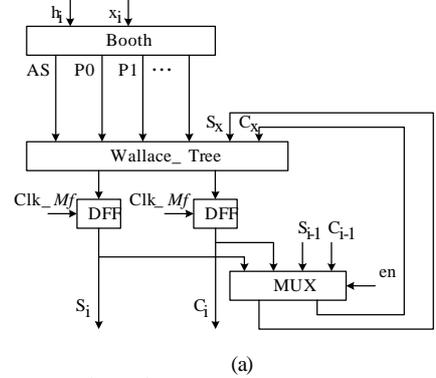
1.3 乘累加模块结构及低功耗实现

前面的研究^[5]中提出了MAC模块实现方案，如图3(a)所示。 h_i 和 x_i （都以2进制补码表示）经过Booth译码，形成部分积AS、P0、P1、……。部分积压缩阵列（Wallace_tree）由部分积、 S_x 、 C_x 组成，其中 S_x 、 C_x 是在组内的计算结果和前一级流水的MAC模块计算结果之间选通。在组内流水线的第1组输入运算时，多路选择器选择前一组的计算结果 S_{i-1} 和 C_{i-1} ，在组内流水线的其它阶段，MAC模块完成自己的乘累加运算。

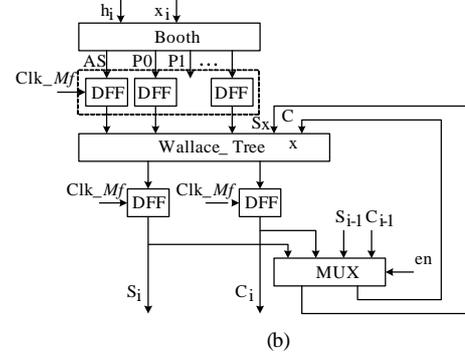
分析根据文献[5]产生的网表，发现其中包含了大量的非最小器件，原因是完全采用最小器件不能满足时间约束。对比最小器件和非最小器件，可以看到随着器件尺寸的增加，电容明显增加，例如：部分积压缩中用到了ADDFHX4和ADDFHX1，ADDFHX4的电容为0.0714pF，而ADDFHX1的电容为0.038pF，因此导致了功耗的增加。

分析图2的逻辑结构，关键路径为运算量最大的MAC模块的输入到输出的路径，加之为减小面积采取的乘累加模块倍频复用，使得关键路径的时序约束紧张。能否通过增加流水深度降低时间约束，从而替换掉非最小器件呢？从FIR的运算特征可知，增加流水线深度不会影响FIR的正确性，

是可行的。为此，本文提出了如图3(b)所示的乘累加器MAC结构，引入第3层流水，即将MAC分两级流水实现，分别为Booth译码和部分积压缩阵列，关键路径缩减为部分积压缩阵列的最长路径，放松了关键路径的时序约束，达到用标准单元库的最小器件实现的目的。然而，增加流水线会带来额外的寄存器开销，因此MAC中的流水不能无限增加，实际设计中需要根据情况在速度、面积和功耗之间进行折衷。



(a)



(b)

图3 MAC模块结构

2 实现结果分析

不失一般性，本文以一个32taps的FIR滤波器为例进行验证和分析。电路基于TSMC 0.25标准单元库实现，由Cadence的Verilog-XLTM仿真器进行逻辑验证，综合与功耗评估工具是Cadence的PKS。

本例设采样时钟频率为15MHz，在TSMC 0.25工艺下Booth译码和Wallace树串行执行时 T_{delay_MAC} 约为6.5ns~8ns，可知当 $M=8$ 时的时序约束最紧，即已最大限度地通过流水线复用MAC模块减少滤波器面积。

如表1所示，随着乘累加复用程度的增加，功耗也是逐渐递减的。这是因为乘累加器变少，节省了很多输入暂存寄存器和组间流水寄存器，如图2中的灰色器件。

表1 不同分组情况功耗比较

	16MAC*2f	8MAC*4f	4MAC*8f
Area	472.028	263.915	162.967
Power	26.24	24.76	22.72
parameter	8f=120 f=15		

本文提出的方案是基于1.2节所述结构，在已高度缩减面积情况下，通过1.3节MAC模块内部流水降低功耗，因此，对图3中MAC模块内部图3(a)无流水和图3(b)有流水分别设计实现。在产生的门级网表中，比较Booth模块和Wallace_tree模块两部分，图3(b)比图3(a)使用了更小的器件。在 $M=8$ 的情况下，综合与功耗分析结果如表2。

(下转第240页)