

基于 WISHBONE 的可兼容存储器控制器设计

陈双燕^{1,2}, 王东辉¹, 张铁军¹, 侯朝焕¹

(1. 中国科学院声学研究所数字系统集成实验室, 北京 100080; 2. 中国科学院研究生院, 北京 100080)

摘要: 随着近年来高速计算机的快速发展, 人们对存储器频宽及性能的要求越来越高。作为第 2 代 DDR 存储器的 DDR2 SDRAM 具有高速、低功耗、高密度、高稳定性等特点, 在未来的一二年内, 它将逐步取代 DDR SDRAM 而成为内存的主流。尽管 DDR2 的地位正在不断上升, 但 DDR 仍是当前流行的高速存储器。该文通过对这两种存储器的分析比较, 基于 WISHBONE 总线, 提出并实现了一种可兼容 DDR 与 DDR2 存储器的控制器。

关键词: DDR SDRAM; DDR2 SDRAM; WISHBONE; 控制器

Design of Compatible Memory Controller Based on WISHBONE Bus

CHEN Shuangyan^{1,2}, WANG Donghui¹, ZHANG Tiejun¹, HOU Chaohuan¹

(1. Lab of Mathematical Integration System, Institute of Acoustics, Chinese Academy of Sciences, Beijing 100080;

2. Graduate School of Chinese Academy of Sciences, Beijing 100080)

【Abstract】 With the rapid increases of computer performance in recent years, designers face great challenges such as increasing the frequency and increasing the performance of memory. Compared with the DDR SDRAM, DDR2 SDRAM has higher speed, lower power, higher efficiency and higher stability. A recent statistics shows that DDR2 will become popular in one or two years, but DDR still prevails today. For this reason, this article deals with the design and implementation of the DDR/DDR2 SDRAM compatible controller based on a common standard bus interface.

【Key words】 DDR SDRAM; DDR2 SDRAM; WISHBONE; Controller

在整个计算机系统中, 内存是决定系统性能的一个重要参数, 但是相对于 CPU 的高速发展, 内存存取速度的提高明显滞后, 这就形成了二者之间的瓶颈, 极大地影响了系统性能的提高, 因此对高性能内存的需求迫在眉睫。自 2002 年始, 几乎所有的 PC、便携式计算机以及服务器都采用了 DDR 架构, 但计算机性能的高速发展, 使得 DDR 已逐渐无法满足需求, 作为第 2 代 DDR 存储器的 DDR2 具有无与伦比的优势, 如同之前的 DDR 取代 SDRAM 一样, DDR2 取代现有的 DDR 也将势在必行。据估计, DDR2 的市场份额很快将超过 DDR。

本文通过对这两种存储器性能结构的对比, 基于 WISHBONE 总线, 提出并实现了一种可兼容存储控制器, 它可以有效地实现对 DDR 或者 DDR2 的访问, 为将来存储器类型从 DDR 向 DDR2 的过渡提供了支持。

1 WISHBONE 总线

WISHBONE 总线最先由 Silicore 公司提出, 现已移交给 OpenCores 组织进行维护。该总线提供了一种片上系统互联的规范, 该规范给片内的各部分以及 IP 核之间的互联定义了一种通用的接口, 由此提高了设计的可重用性、可靠性和可移植性。由于其结构极其简单、灵活、功能强大且易于移植, 又完全公开、完全免费, 因此拥有不少用户。WISHBONE 总线采用握手协议, 信号间互联非常方便, 直接将主从器件的对应信号相连就可以了。

WISHBONE 总线的接口信号主要有: CLK, STB, CYC,

WE, ACK DATA, ADDR, 因篇幅所限, 本文仅给出一读传输时序图, 如图 1 所示。

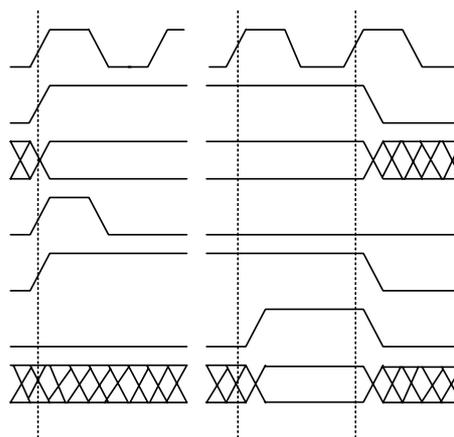


图 1 基于 Wishbone 总线的读时序

进行数据传送时, 主器件发送 WE, STB, CYC, ADDR 信号(如果是写操作, 同时发送写数据), STB 信号维持一个 CYCLE 有效, 接收到从器件发送来的 ACK 信号时, 读取数据总线上的 DATA 信号, 当 ACK 信号变为无效时, WE, CYC

作者简介: 陈双燕(1979—), 女, 博士生, 主研方向: 基于 ASIC 的 VLSI 设计及功能验证; 王东辉、张铁军, 博士; 侯朝焕, 院士
收稿日期: 2005-09-28 **E-mail:** csy_tong@sohu.com

同时下降，ADDR 无效。

2 DDR 与 DDR2 比较

当前通用的 DDR 存储器，其数据传输速率主要有 200/266/333/400Mbps，相比较而言，DDR2 存储器的数据传输速率主要包括 400/533/667/800Mbps。

DDR SDRAM 是 SDRAM 的换代产品，与 SDRAM 的区别在于：DDR 能够在同一个时钟周期内，在时钟的上升沿和下降沿各传输一次数据，在相同的运行频率下实现双倍于 SDRAM 的数据传输速率。

DDR2 SDRAM 是 DDR SDRAM 的换代产品，高频率、高带宽是 DDR2 最大的优点，与 DDR SDRAM 的架构基本类似，其变化主要表现在：

(1)4bits 预取架构。由于存储单元时钟频率很难提升，因此增加内部总线宽度的同时，提升外部时钟频率为内部时钟频率的两倍，在时钟上升沿、下降沿分别对数据进行抽取，从而得到了 4 倍的数据传输速率，有效提高了内存带宽。

(2)片上端接。通常终结电阻都是放在主板上的，而 DDR2 将终结器直接整合于内部，这样不但提高了兼容性，同时也降低了信号的多重反射，提高信号完整性并增加时序裕量，并且有效降低了主板的制造成本。

(3)片外驱动器阻抗调整。通过设置 I/O 驱动器的电阻调整电压，使上拉/下拉电阻相等，减少 DQ-DQS 偏移，提高信号完整性。

(4)前置 CAS 和附加延迟。该变化可以避免指令总线上的冲突，提高了指令和数据总线的利用效率，同时简化了控制器设计，采用一个简单的指令序列还可以提高指令和数据总线的效率。

需要引起注意的是，尽管 DDR2 具备了高速、低功耗、高密度、高稳定性等优点，但是其传输延时却比 DDR 高，这是 DDR2 的一大缺点，从而导致了在带宽相同情况下，DDR2 的实际性能反而不如 DDR。

3 可兼容控制器的设计

3.1 系统组成结构

基于 WISHBONE 总线标准，针对当前需要执行的操作，发出相应的接口控制信号，同时，结合状态寄存器的值以及刷新计数器，低功率模式计数器的值，对 DDR 或者 DDR2 发出相应的控制逻辑，地址与数据也根据需要按时送出或接收，如图 2 所示。

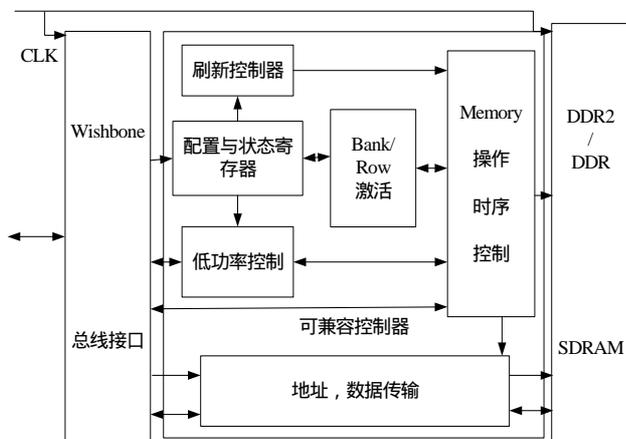


图 2 DDR/DDR2 可兼容存储控制器结构

3.2 工作原理

为了实现对 DDR 与 DDR2 的可兼容性控制，首先，对

这两种存储器在不同命令下分别执行的操作进行详细说明。

(1)初始化。上电，待电压稳定，CKE 置高，发空指令(对于 DDR，发一个空指令即可；对 DDR2，发空指令的时间至少需要持续 400ns)，预充电之后，对 DDR，设置扩展模式寄存器，对 DDR2，先设置扩展模式寄存器 2 和 3，然后设置扩展模式寄存器 1，接下来，它们都要进行模式寄存器的设定，并在执行一次预充电之后，进行两次刷新操作，完成以后，执行模式寄存器设定，清除 DLL 位，对于 DDR，初始化操作基本完成，而对 DDR2，还需要进行 OCD 的设定与退出，才算完成了初始化。

(2)自动刷新。DDR 与 DDR2 都是动态存储器，因此经过一段时间都必须进行刷新，否则数据会丢失。不同厂家的器件可能略有不同，对于 Micron 公司，设定了一个值为 9 的缓冲，允许控制器在忙时，可以最多等待 9 倍的刷新时间。

(3)自刷新。当 CKE 为低时，进入自刷新状态，数据在自刷新状态下长期保持。

(4)低功率模式。器件长时间处于空闲状态时就会进入低功率模式。但低功率模式下没有刷新操作，因此维持时间不能超过刷新时间间隔，而处于低功率模式一段时间后，就会跳出执行自刷新。

(5)预充电。关闭打开的 bank/banks。

(6)Bank 激活。打开某一个 bank。

(7)读。对于 DDR，从 active 到读的时间为 Trcd；对于 DDR2，可提前 AL 个周期发送读命令。

(8)写。对于 DDR，从 active 到写的时间为 Trcd；对于 DDR2，可以提前 AL 个周期发写命令；对于 DDR，WL=1；对于 DDR2，WL = AL + CL - 1。写操作完成后都有一个写恢复时间 WR，在这期间不执行任何指令。

(9)中断。二者都支持读写中断操作。

(10)空操作。当器件不再使用或有操作正在执行中，发送空操作指令以避免不必要的命令进入。

具体操作流程参考有限状态机，见图 3。

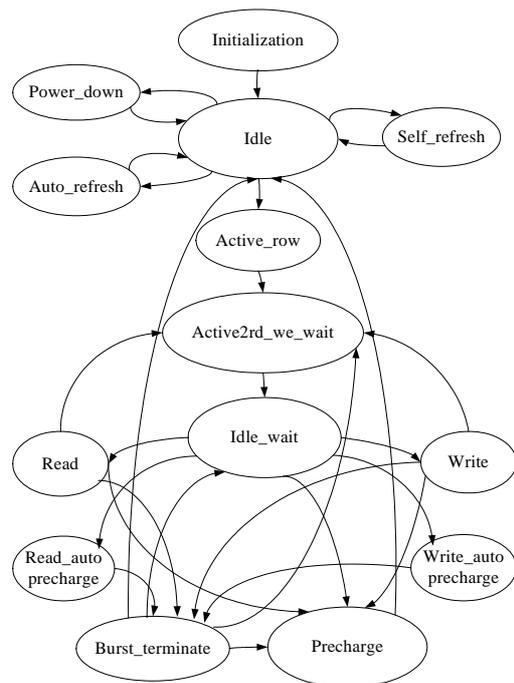


图 3 有限状态机(FSM)

这个状态机对 DDR 和 DDR2 均适用，它们不同的地方

主要体现在初始化和发读写操作命令等待的时间上。

在设计中，给刷新计数器预留了一定的空间，避免在读写的时候，因突然到来的刷新而引起中断。同时设计中还引入了预测机制，在读写的时候，通过对当前地址与上一次访问的地址进行判断，预测下一次的读写是否需要先进行预充电。然后，当下一次的操作到来的时候，再根据当前的实际值，来判断前一次的预测是否正确，如果不正确，则重新进行预充电；如果正确，就可以继续进行以下的操作，从而节省了操作时间，提高了执行效率。

总的来说，对于 DDR 或者 DDR2，二者操作基本相同，这里设计的可兼容控制器，就是在大部分操作不需要考虑存储器类型的前提下，针对一些存在不同的操作，添加必要的判断，从而使得控制器对 DDR 跟 DDR2 均适用。也就是说，在付出一定芯片面积代价的基础上，实现了控制器性能的扩展与提高。

4 仿真、综合与布局布线

将控制器、总线接口、仿真模型连接起来进行仿真。控制器用 Verilog 语言编写，仿真器运用 Modelsim6.0 与 VCS7.2，仿真模型采用 Micron MT46V256M4 与 MT47H256M4 进行仿真验证。

功能验证：首先建立一个完备的 Task 文件，涵盖 DDR/DDR2 可能涉及到的所有操作；然后对器件特性进行设定，初始化各个模式寄存器；接着，运用建立的 Task 文件，采用命令随机化的方法输入激励，观察输出信息，验证设计是否正确。

图 4 和图 5 给出的是运用 ModelSim 进行功能验证的过程中，DDR 与 DDR2 读操作的时序波形，通过比较可以发现，DDR2 相对 DDR 提前 AL 个周期发送读命令($T_{rcd}=3, AL=2, Burst\ length=4$)。

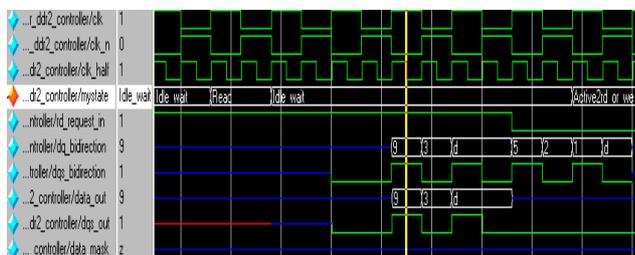


图 4 DDR 读时序

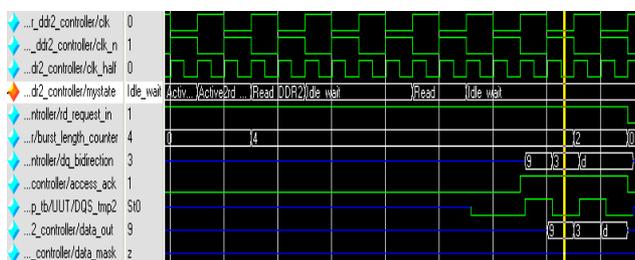


图 5 DDR2 读时序

综合：运用 Synopsys 公司的 Design-Compiler，采用 0.18 μm 工艺，在最坏条件下进行综合，对综合的结果进行分析，并参照 DDR、DDR2 存储器器件特性的相关文档，从而实现了对 DDR 266MB 以及 DDR2 400MB 的访存。

布局布线：运用 Synopsys 公司的 Astro 工具，进行布局布线得到版图如图 6 所示。

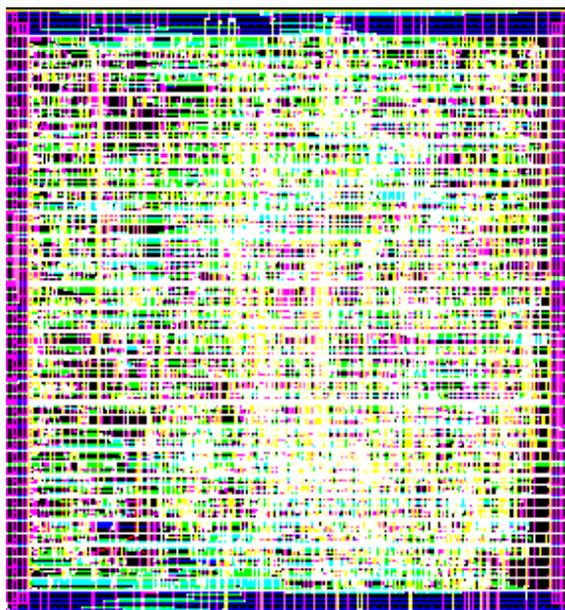


图 6 可兼容 DDR/DDR2 控制器版图

5 说明

由于 DDR 使用的是 2.5V 184 pin 的 DIMM 插槽，DDR2 使用的是 1.8V 240 pin 的 DIMM 插槽，因此要实现兼容，需要主板能同时支持这两种插槽，目前支持这两种插槽的主板已经出现了，比如 ECS915P 就是可兼容支持这两种规格的内存的。上面设计实现的可兼容控制器，在支持 DDR 和 DDR2 插槽的主板上均能使用。另外，据消息，具有 8 比特预取架构的 DDR3 将在 2007 年投入使用，由于 DDR3 具有更加优异的性能，估计到时内存世界又将掀起新的变革。

6 结论

综上所述，本文设计实现了一个可兼容的存储控制器，并对其进行了物理综合与布局布线。在设计的过程中，提前考虑到一些相关操作如刷新，并对其进行了处理，使用了预测的方法，提高了控制器的性能。据估计，DDR2 会在未来一二年内取代 DDR 而占据主导地位，采用可兼容的存储控制器，既能够有效地支持 DDR 内存，又能够同时支持 DDR2 内存，从而使得设计具有可扩展性，在将来 DDR2 取代 DDR 的时候，可以在一定程度上提高性能，加快上市时间，降低生产成本。

参考文献

- 1 OpenCores. WISHBONE System-on-Chip(SoC). Interconnection Architecture for Portable IP Cores(Revision B.3)[Z]. 2002-09-07.
- 2 Micro Technology Inc.. Micron 1GB DDR SDRAM Datasheet[Z]. 2003.
- 3 Micro Technology Inc.. Micron 1GB DDR2 SDRAM Datasheet[Z]. 2004.
- 4 Elpida Memory Inc.. How to Use DDR SDRAM[Z]. 2002.
- 5 Elpida Memory Inc.. How to Use DDR2 SDRAM[Z]. 2004.
- 6 VIA Technology Forum. World DRAM Market Overview[Z]. 2004.