

基于知识(规则)的高层次工艺映射方法¹

马 聪 王作建 刘明业

(北京理工大学 ASIC 研究所 北京 100081)

摘 要 该文研究高级综合结果与后端工艺的衔接问题,提出一种基于知识的高层次工艺映射方法,深入研究其中知识表示、知识运用和知识获取等各个重要环节,包括:(1)提出一种表达电路结构知识的扩充产生式表示;(2)提出基于超高速硬件描述语言(VHDL)的工艺映射知识获取方法;(3)给出知识运用的求解控制策略和算法;(4)提出一种能查出冗余性和矛盾性的半自动知识库维护方法;(5)提出将算法嵌入知识系统,降低知识库复杂度的实用化方法,所实现的系统已完成与三种工艺衔接,验证了本文工作。

关键词 高级综合, 工艺映射, 超高速硬件描述语言(VHDL), 高层次工艺映射, 知识库, 知识表示

中图分类号 TP391.72

1 引 言

随着对高级综合技术的不断深入研究,高级综合的实用化已成为可能。高级综合结果必须与某种工艺相结合,对高级综合结果的进一步处理是亟待解决的问题。与逻辑综合不同,高级综合结果是由粒度较大、较为抽象的 RTL(Register-Transfer Level, 寄存器传输级)元件构成。而且,在高级综合阶段对面积、延时的估算较为粗略。

随着后端 CAD 版图工具的发展,有的已能提供粒度较大的工艺单元。这使得工艺映射有可能在较高的层次上进行。这时工艺映射的对象是由功能部件、存储部件和互连部件(包括总线部件)组成的 RTL 网表。工艺映射的结果也应尽可能多地包含大粒度的工艺单元。这些大粒度工艺单元直接对应版图,不仅经过验证,而且优化程度很高。由于这些大粒度元件在功能、端口和参数上的复杂性,以往逻辑级工艺映射中成熟而有效的算法在此并不适用,应借用人工智能技术,采用基于知识的方法。本文在文献[1]的基础上,讨论高层次工艺映射的关键技术。

2 高级综合中的工艺映射

高级综合实现从高层次抽象行为描述到低层次物理实现的自动转换。该过程涉及到行为、结构和物理三个领域,贯穿系统级、算法级、RTL、逻辑级和电路级等多个层次。相应地工艺映射可以在不同的层次上以不同的方式进行。高层次工艺映射是指在目标工艺能够提供大粒度工艺单元的前提下,在 RTL 层次直接进行的工艺映射。

将高级综合结果用具体的工艺实现有多种不同方法。但归纳起来无外乎两类,一类是在高级综合阶段直接使用 RTL 工艺元件^[2,3]。这类方法将高级综合与工艺映射合二为一,对某个特定的工艺库效果很好。另一类是较为传统的方法,首先将行为描述经高级综合转化为抽象结构描述,再经工艺映射用工艺元件实现最终的设计^[4]。

传统方法中,多数是在逻辑级进行工艺映射。但先要对抽象的 RTL 结构进行处理。有的采用模块生成器(Module Generator)的方法,将模块生成器与逻辑综合工具集成在一起,降低抽象层次,使逻辑级工艺映射得以进行^[5]。有的使用部件生成器为 RTL 通用元件产生逻辑方程,将这些方程和约束条件传递给逻辑综合系统^[3,6,7]。另外,FAST^[8]可将 RTL 结构映射到 FPGA。有的方法以延时为优化目标^[9],一个 RTL 结构也可以被划分为几个部分,用多个 FPGA 实现^[10]。也可直接针对 RTL 工艺库进行映射^[11]。对 ALU(算术逻辑部

¹ 1999-01-29 收到, 1999-07-28 定稿

本研究承国家自然科学基金、国家教委博士点建设基金、国家九五攻关项目和国家级科研项目资助

件) 可进行高级库映射 (HLLM, High-Level Library Mapping)^[12]。

3 工艺映射的知识表示

在高层次工艺映射, RTL 通用元件与工艺单元的对应关系通常较为复杂。通常的情况是一个 RTL 通用元件对应一个工艺单元组成的网表。工艺映射的知识至少应能表达这种对应关系。包括功能对应、外部端口对应、RTL 元件构造和参数等几个方面。

我们设计了图 1 的扩充产生式表示, 在设计时主要考虑:

(1) 提高知识利用的效率。也就是在推理时减少对这些知识匹配的时空消耗。方法是图 1 中的辅助部分不参加推理, 并尽可能减少主体部分的长度。

(2) 便于知识库的组织和空间的分解。目的是在大型知识库中较快地接近求解目标。用图 1 规则中“类”字段, 将知识库按“类”来组织, 解空间的分解也按“类”实现。

(3) 增强知识表达能力, 表达电路知识。图 1 突破了传统产生式表示的限制, 采用链表的方法表达电路结构。

(4) 面积和延时模型的表达。工艺单元的面积和延时模型可用线性模型近似^[13]。因此, 可以在知识表示中存储线性模型的系数, 以表达面积模型和延时模型。

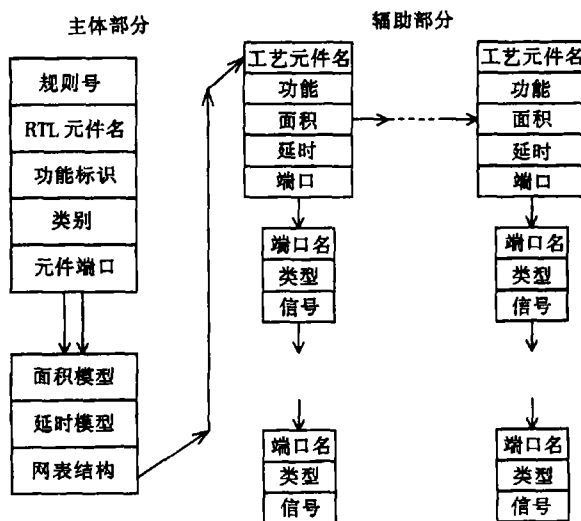


图 1 工艺映射的知识表示示意图

我们认为, 这种扩充产生式表示具有以下特点。

- (1) 对表层知识的有效表达: 可以较好地表达人类思维和工艺映射领域的知识。
- (2) 便于知识的获取: 产生式表示格式固定, 规则间较为独立, 相互牵连少。产生式系统的知识库与推理机独立, 使知识库的建立, 维护较为容易。
- (3) 便于知识的利用: 其推理方式较为单纯, 有利于简化推理机结构。
- (4) 易读性好: IF-THEN 的结构接近人类思维和会话的形式, 易于被人理解, 不须作出解释。

4 知识的选择与使用

4.1 求解控制策略

求解的控制策略分为正向求解、反向求解和混合求解。本文方法采用正向求解的控制策略。图 2 是求解控制策略的示意图。求解机制从待映射的抽象 RTL 网表中扫描到一个元件。

然后, 遍历知识库, 得到所有候选产生式, 再从候选产生式选取最佳者, 一般是延时和面积最小者。最后, 执行产生式右部的动作, 构造出一棵树, 树的叶子全部为工艺单元, 该树表明了这个 RTL 元件的工艺实现。若该树的叶子中尚存在非工艺单元, 则表明该结点还需要进一步映射, 这时, 可重复上述求解过程, 在该结点又构造一棵树, 并以该结点为根。不断重复, 直到树的所有叶子都由工艺单元组成为止。这时, 一个 RTL 通用元件映射完毕。

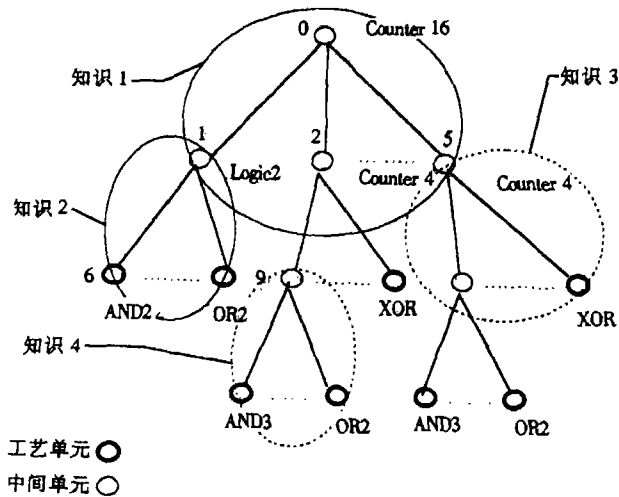


图 2 求解控制策略示意图

4.2 将算法嵌入知识系统

在规则性良好问题的求解方面, 基于算法的方法较为简洁而有效。在高层次工艺映射中, 单元扩展是用 n 个相同的工艺单元构造一个 RTL 元件, 多数场合用算法实现较为有利, 可以大大减少知识库的规模。单元扩展可分类如下:

- (1) 并联式单元扩展: RTL 通用元件由相同的工艺单元并联而成, 有的需要附加逻辑。
- (2) 级联式单元扩展: RTL 通用元件由 n 个相同的工艺单元级联构成。
- (3) 复杂单元扩展: RTL 通用元件由 n 个工艺单元和较多的附加逻辑构成。

我们采用将单元扩展算法嵌入基于知识的求解控制策略。当求解机制扫描到抽象 RTL 网表中适于单元扩展的 RTL 元件时, 与知识库中有关单元扩展的知识匹配。单元扩展的知识一方面提供一个用于单元扩展的库单元样板, 一方面启动单元扩展算法实现单元扩展。

实现单元扩展算法的基本思想是先将库单元样板复制 n 次, 再按单元扩展的类型实现各库单元的互连, 有的要增加附加逻辑。单元扩展的类型由知识库中的知识提供。

算法 1 Flat Instance(R_i, S_i) 单元扩展。

输入 S_i 待扩展的 RTL 通用元件, R_i 实现 S_i 的最佳规则。

输出 由 U_j 和附加逻辑组成的网表。

开始

步骤 1 由 R_i 得出库单元样板 U_j 和扩展类型 $ExType$ 。

步骤 2 求解满足条件 $bw(V_i) \leq a \times bw(U_j)$ 的 a 的最小值。

步骤 3 将 U_j 复制 a 次。

步骤 4 增加必要的附加逻辑。

步骤 5 按扩展类型 $ExType$ 连接各工艺单元 U_j 。

结束

5 知识的获取

5.1 知识库

工艺映射知识是表达处理前的元件与处理后元件的关系, 这种关系可以归纳为三类。

(1) 直接匹配: 是指处理前的元件 V_j 可用一个工艺单元 U_k 匹配。这类知识较为简单。

(2) 单元扩展: 是指处理前的元件 V_j 要用 n 个相同的工艺单元 U_k 实现。单元扩展一般用算法实现, 但在规则库中要存有一个关于 V_j 的基本知识, 表明实现 V_j 的工艺单元样板, 单元扩展的类型和需要附加的逻辑等。复杂单元扩展的类型, 不便于用算法实现。应使用基于知识(规则)的方法实现。

(3) 单元重组: 是指抽象单元 V_j 要用 m 个工艺单元实现, 这 m 个工艺单元 $u_{k1} \cdots u_{km}$ 可以互不相同。单元重组用基于规则的方法实现。单元重组的所有知识均组织在规则库中。经上述分析, 可以确定规则库中的知识的类型。

(1) 表示直接匹配的规则;

(2) 表示复杂单元扩展的规则;

(3) 可用算法实现单元扩展时, 表示扩展基本知识的样板规则。生成算法根据样板规则生成 n 位器件;

(4) 表示单元重组的规则。

将这 4 种类型的知识有机地组织在一起, 构成规则库。规则库组织成多层的结构。

设 R_i 为 RTL 通用元件, M_j , M_k , M_l 为中间元件, T_a , T_b , \cdots , T_h 为工艺元件。则实现 RTL 通用元件 R_i 的多层结构的规则为

$$\text{Rule}_m: R_i \rightarrow \{T_a, \cdots, M_j, M_k, T_d, \cdots\}$$

$$\text{Rule}_{m+1}: M_j \rightarrow \{T_a, \cdots, M_k, M_t, T_d, \cdots\}$$

$$\text{Rule}_{m+2}: M_k \rightarrow \{T_a, \cdots\}$$

$$\text{Rule}_{m+3}: M_l \rightarrow \{T_a, \cdots, M_k, T_d, \cdots\}$$

在求解控制策略的控制下, 反复使用这种多层结构的规则, 可逐渐完成工艺映射。

5.2 知识获取

知识获取中较为实用的方案是利用知识获取辅助工具的半自动的知识获取方式。本文知识获取采取手工方式与半自动方式相结合的策略。共有 3 个途径。

(1) 手工方式: 这在开发的早期、半自动获取方式的验证以及少量知识的追加是必要的。

知识库的外部存储应该是文本格式。这样, 可使用任何一种文本编辑器。

(2) 使用 VHDL 的半自动获取方式: 用 VHDL 描述一个 RTL 通用元件的构成, 然后借用高级综合器的 VHDL 编译器将其编译成中间结构, 再提取成网表, 计算这种实现的总面积和延时, 最后转换成知识库格式并追加到知识库。这种方法较灵活, 尤其是对于某些参数化的 n 位 RTL 元件, 用 VHDL 的描述方法很容易自动产生 $1-n$ 位的各种变形。

(3) 使用逻辑图输入的半自动获取方式: 借助其它逻辑图输入工具, 直接输入 RTL 通用元件的构造, 产生网表。知识获取辅助工具提取该网表, 计算面积和延时, 将其转换为知识库格式并追加到知识库。这种途径的优点是直观, 但需要在逻辑图输入工具上建立一套工艺单元的符号库。

5.3 知识库维护

当引入一条新知识或对知识库中的知识进行修改时, 会对知识库中其它的知识产生影响, 发生重复、冗余、矛盾和循环等不一致现象。知识库维护是消除这些不一致现象。知识重复性的检查可以用知识库静态搜索比较的方法实现, 不再赘述。冗余性和矛盾性的检查方法非常类似。即从某一条知识 Rule_i 的前提出发, 使用其它知识 Rule_j 推理。 $\text{Rule}_j \in$ 知识库, 但 $j \neq i$ 。若能推出结论, 而且结论与该条知识的结论相同, 则是冗余。若能推出结论但与该条知识的结论不同, 则可能是矛盾。因此, 这种冗余的检查与消除可与矛盾性的检查同时实现, 由求解机制自动地找出可能冗余或矛盾的知识, 由人工干预确定这些知识的取舍。算法 2 给出了这种冗余性和矛盾性的检查思想的实现。

算法 2 映射知识冗余性和矛盾性的检查。

输入 KB 待映射知识库。

输出 NL1 可能冗余或矛盾的知识的网表 1。

NL2 可能冗余或矛盾的知识的网表 2。

开始

步骤 1 从映射知识库选择并标记一条规则, 使之在推理时不能被匹配, 清除动态数据库。

步骤 2 将这条规则的前提插入动态数据库。

步骤 3 启动求解机制进行求解。

步骤 4 if (推出结论) then

{

显示两个结论, 请求人工干预,

必要时启动逻辑图生成工具, 生成这两个网表的逻辑图

}

步骤 5 if (知识库未搜索完毕) then goto 步骤 1。

结束

6 结 论

本文对高级综合结果进行形式化描述和分析; 对工艺映射方法进行分析和对比, 在此基础上提出以下论点。

(1) 针对后端 CAD 工具的发展趋势, 对高级综合结果的工艺映射宜在高层次上进行。

(2) 由于高层次上 RTL 通用元件和工艺单元的复杂性, 和出于多目标工艺映射的要求, 高层次工艺映射宜采用基于知识的方法实现。

本文还借鉴知识表示、知识运用和知识获取等人工智能理论对基于知识的高层次工艺映射的各个重要环节进行深入讨论和研究。在此基础上完成了以下工作。

(1) 提出并实现一种适用于高层次工艺映射的知识表示—扩充产生式表示。

(2) 给出并实现知识运用方面的求解控制策略和多个算法。

(3) 提出基于 VHDL 的高层次工艺映射知识的知识获取方法。

(4) 提出并实现一种能检查冗余性和矛盾性的知识库维护方法。

(5) 提出并实现算法嵌入知识系统与知识相结合实现单元扩展的策略。

上述工作在我们实现的高级综合系统 Talent 中得到了充分验证。因篇幅所限, 用本文方法实现的系统及其运行结果请参阅文献 [13]。

参 考 文 献

- [1] 马聪, 刘明业等, VHDL 高级综合与底层物理设计的衔接, 电子学报, 1998, 26(2), 71-73.
- [2] R. Ang, N. Dutt, An algorithm for allocation of functional units from realistic RT component libraries, 7th Int. Symp. High-Level Synth., 1994, 164-169.
- [3] E. A. Rundensteiner, D. D. Gajski, Component synthesis from function descriptions, IEEE Trans. on CAD, IC&Syst., 1993, 12(9), 1287-1299.
- [4] 刘明业等, 专用集成电路 (ASIC) 高级综合理论, 北京, 北京理工大学出版社, 1997, 179-238, 307-366.
- [5] R. K. Brayton, R. Camposano *et al.*, The Yorktown Silicon Compiler, In Silicon Compilation, D. D. Gajski(Ed.), Addison-Wesley, Reading, MA, 1988, 204-311.
- [6] Gwo-Dong Chen, D. D. Gajski, An intelligent component database for behavioral synthesis, Proc. of the 27th Design Automation Conference, IEEE/ACM, Orlando Florida, 1990, 150-155.
- [7] N. V. Zanden, D. Gajski, MILO: A microarchitecture and logic optimizer, Proc. of the 25th Design Automation Conference, IEEE/ACM, Anaheim Convevtion Center, 1988, 403-408.

- [8] A. R. Baseer, M. Balakrishnan *et al.*, FAST: FPGA Targeted RTL structure synthesis technique, 7th International Conference on VLSI Design Calcutta, India, 1994.
- [9] A. R. Naseer, M. Balakrishnan *et al.*, Delay minimal mapping RTL structures onto LUT based FPGAs, Field Programmable Logic and Applications, 5th International workshop, FPL'95, Proceedings, Oxford, UK, 29 Aug-1 Sept, 1995, 139-141.
- [10] M. Vootukuru, R. Vemuri *et al.*, Resource constrained RTL partition for synthesis of multi-FPGA designs, Proceedings Tenth International Conference on VLSI Design, Hyderabad, India, 4-7 Jan, 1997, 140-144.
- [11] Sri Parameswaran, M. F. Schulz M F, Computer-aided selection of components for technology-Independent specifications, IEEE Trans. on Comput-Aided Des. Integr. Circuits Syst., 1994, 13(11), 1333-1350.
- [12] P. K. Jha, N. D. Dutt, High-level library mapping for arithmetic components, IEEE Trans. on VLSI Syst., 1996, 4(2), 157-169.
- [13] 马聪, 王作建, 刘明业, VHDL 高级综合系统中多层次、多目标工艺映射策略及其实现, 计算机学报, 1999, 22(9), 975-988.

A METHODOLOGY OF HIGH-LEVEL TECHNOLOGY MAPPING BASED ON KNOWLEDGE

Ma Cong Wang Zuojian Liu Mingye

(*Beijing Institute of Technology, P.O.Box 327, Beijing 100081, China*)

Abstract This Paper is focused on the research of connecting the HLS(high level synthesis) result to the technology of IC. A knowledge-based high level technology mapping methodology is proposed, based on the traditional technology mapping theory. The method is discussed from the views of knowledge representation, knowledge acquirement and knowledge utilization, including: (1) initiating an expanded production representation approach for the knowledge of circuit structure; (2) presenting a technology mapping knowledge acquirement technique based on VHDL; (3) giving the controlling tactics and algorithms in knowledge utilization; (4) presenting a half-automatic method for KB(knowledge base) maintenance, with which, the contradictory and the redundancy in KB can be found; (5) raising a practical method that embeds the algorithms into the knowledge-based system, in order to reduce the complexity of the KB. This system has been connected to 3 kinds of IC production line, and this verifies the theory and method of the paper.

Key words High level synthesis, Technology mapping, VHDL, High level technology mapping, Knowledge base, Knowledge representation

马 聪, 男, 1957 年生, 博士, 副教授, 研究 VHDL 高级综合, 人工智能.

王作建, 男, 1973 年生, 博士生, 研究 VHDL 高级综合.

刘明业, 男, 1934 年生, 教授, 博士生导师, 长期以来从事 EDA 的教学和科研工作.