

一种高效变速率解调算法

赖卫东 詹亚锋 陆建华
(清华大学电子工程系 北京 100084)

摘要: 航天器上器件硬件资源和能量受限, 对在测控系统中实现变速率解调所需的硬件资源提出了更高的要求。本文提出伪高倍速率解调和重复译码算法, 在不降低采样率的情况下可实现不同符号率信号的解调。理论推导证明该方法可达到理想的解调误码性能, 且耗费的硬件资源不到经典的 DDC(Direct Digital Converter)芯片硬件资源的一半。计算机仿真和实际测试表明该方法能有效应用于微波统一测控系统的变速率解调。

关键词: 变速率解调; 重复译码; 软译码; 抽取

中图分类号: TN911.3

文献标识码: A

文章编号: 1009-5896(2009)02-0339-04

An Efficient Algorithm for Variable Rate Demodulation

Lai Wei-dong Zhan Ya-feng Lu Jian-hua

(Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: In spacecraft, hardware resources and energy are limited, which restricts the hardware consumption of the variable rate demodulation in Telemetry and Telecommand(TT&C) systems. This paper proposes an algorithm which accomplishes variable rate demodulation based on pseudo high datarate demodulation and repeated decoding without reducing the sampling rate. It turns out that the performance of the method is equivalent to the ideal result of variable rate demodulation, and the hardware consumption is less than half of that of the classical Direct Digital Converter (DDC) chips. Computer simulations and practical experiments show that the proposed method is effective for variable rate demodulation in TT&C systems.

Key words: Variable rate demodulation; Repeated decoding; Soft-decision decoding; Decimation

1 引言

在微波统一测控系统中, 为了满足不同测控业务的需求, 需要实现变速率解调。但是由于航天器上器件资源和能量受限, 对变速率解调算法耗费的硬件资源提出了更高的要求。通常有两种方法实现变速率解调: 一种是直接改变模拟信号的采样率, 然后对采样后的数字信号进行解调, 但由于该方法受到模拟抗混叠滤波器特性的约束, 很容易引入频谱混叠, 使用受到很大的限制; 另一种方法是采用固定的采样率对模拟信号进行采样, 然后通过变速率数字信号处理算法, 包括插值和抽取滤波^[1], 在数字域间接改变信号采样率^[2-4], 使得解调环路中信号采样率相对信号的符号率保持不变^[5,6], 以简化解调过程。但是, 变速率信号处理算法需要大量的乘法和加法运算, 占用大量的硬件资源, 在测控领域的应用受到一定的限制。根据微波统一测控系统遥控和遥测副载波信号调制前未进行成型滤波^[7]的特点, 本文提出一种新的伪高倍速率解调加重复译码的变速率解调算法, 在不改变采样率的情况下可实现不同符号率信号的解调, 并且在不损失误码率性能的前提下, 可大大降低所需的硬件资源。

2 变速率解调模型

变速率解调通常采用插值和抽取等数字信号处理方式来改变信号采样率, 使之等于信号符号率的 $N(N$ 为大于 1 的整数, 通常为 2 或 4) 倍, 再经过解调模块解调出符号率为 R_s 的原始信息。为了便于描述, 以下称该解调方法为一倍速率解调, 如图 1 所示。图中 AD 的采样率固定为 f_{s0} , 在解调定时电路的容差范围内可表示为 $f_{s0} = NR_s D / I$, 经过插值后采样率为 $f_{s1} = DN R_s$, 抽取模块实现信号的采样率从 f_{s1} 到 $f_{s2} = NR_s$ 的变换。为了避免频谱混叠, 抽取前必须加抽取滤波(即抗混叠滤波器)。抽取滤波器的性能将直接影响最后解调的性能, 且滤波器的阶数越高, 耗费的资源越大。

如果省去图 1 中的信号抽取过程, 将一倍速率解调模块前移, 直接对采样率为 $f_{s1} = DN R_s$ 的调制信号进行解调, 则解调后的信号采样率为 $f_{s2} = DR_s$, 如图 2 所示。由于微波统一测控信号调制前未进行成型滤波, 此时解调模块输出的信号采样率为原始调制信息符号率的 D 倍, 且重复表示。为

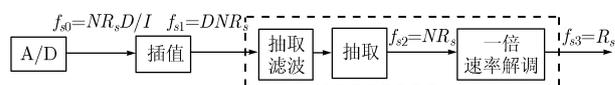


图 1 抽取加一倍速率解调模型

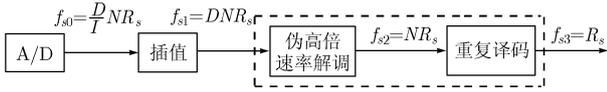


图2 伪高倍速率解调加重复译码模型

了与一倍速率解调相区别，称该解调模块为伪高倍速率解调模块。此时，可将伪高倍速率解调后重复表示的数据看作为调制信号的一种重复编码^[8]，可用重复译码模块恢复原始信息。在整个变速率解调过程中，该方法用图2中的虚线框部分的伪高倍速率解调和重复译码过程代替了图1中虚线框部分的信号抽取和一倍速率解调过程。可以证明，这两种方法的解调性能完全一致。

伪高倍速率解调将原始信息的一个码元看作 D 个码元解调，解调后码速率升高且码元表示重复。为了便于描述，可定义一倍速率解调出的数据单元为码元(Symbol)，伪高倍速率解调出的数据单元为码片(Chip)。码元和码片在时间上存在一个 D 倍的关系，即 $T_{\text{sym}} = DT_{\text{chip}}$ ，且无噪声时码片为码元的 D 倍重复。图3描述了无噪声时码片是码元的4倍重复的示意图。图中，第1行是一倍速率解调出来的码元流，中间一行是伪4倍速率解调出来的码片流，最下面一行的指针 $P1, \dots, P4$ 分别表示码片在相应码元中所处的位置。

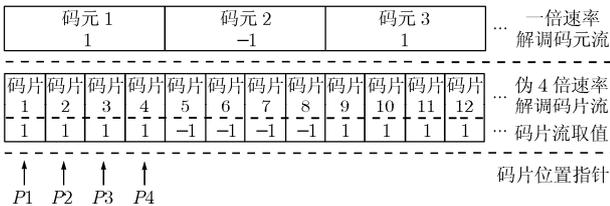


图3 码元和码片的相互关系

3 伪高倍速率解调重复译码算法

图2已将伪高倍速率解调重复译码算法总的结构作了一个简单的描述。图中的伪高倍速率解调模块和图1中的一倍速率解调模块没有实质的区别，但是因为伪高倍速率解调模块前没有做抽取滤波，与一倍速率解调模块相比引入了更多的噪声，导致解调后的误码率升高，但是由于解调出的码片流重复表示，可以通过后续的软判决重复译码对性能损失进行弥补。

3.1 性能分析

假设调制器发出的信号为 $a_i(t)$ ，信道噪声为 $n_0(t)$ ，接收后的信号为 $z(t) = a_i(t) + n_0(t)$ ，采用最小差错判决，恢复原始调制信息。为了简化推导过程，假设系统为未成型滤波的二进制调制(如2FSK, 2ASK和BPSK调制)、伪 D 倍速率解调(D 为大于1的整数)，且解调同步已经完成。

定义1 $a_i(t)$ 为发射的二进制码元信号($i=1$ 或 2)， E_i 是调制时的二进制码元的能量， $|a_i(t)| = \sqrt{E_i}$ ， N_0 为AWGN的噪声功率谱密度， T 为码元符号周期，则 $z(T) \sim N(a_i, \sigma_0^2)$

分布， $\sigma_0^2 = N_0/2$ ，二进制调制的误码率为^[9]

$$P_E = Q \left(\sqrt{\frac{E_1 + E_2 - 2\rho\sqrt{E_1E_2}}{2N_0}} \right) \quad (1)$$

其中 ρ 为二进制码元 a_1 和 a_2 的相关系数，其取值为

$$\rho = \begin{cases} -1, & \text{采用BPSK调制时} \\ 0, & \text{采用2ASK调制时} \\ [-0.22, 1], & \text{采用2FSK调制时} \end{cases} \quad (2)$$

由于 $|a_i(t)| = \sqrt{E_i}$ ， $\sigma_0^2 = N_0/2$ ，式(1)可以表示为

$$P_E = Q \left(\sqrt{\frac{a_1^2 + a_2^2 - 2\rho\sqrt{a_1^2a_2^2}}{4\sigma_0^2}} \right) \quad (3)$$

定义2 E_i' 是伪 D 倍速率解调时的单位二进制码片的能量，噪声方差为 $\sigma_0'^2$ ，则 $E_i' = E_i/D$ ， $T_{\text{chip}} = T/D$ 。由于伪 D 倍速率解调时各个码片的判决是相互独立的，且用两种方式解调时的噪声功率谱密度都为 N_0 ，即 $\sigma_0'^2 = \sigma_0^2 = N_0/2$ ，所以属于同一个码元的每个码片的输出 $z'(T_{\text{chip}})$ 服从 $z'(T_{\text{chip}}) \sim N(a_i', \sigma_0'^2)$ 分布，此时各码片软判决数据相加后即软译码后 $z'(T)$ 服从 $z'(T) \sim N(Da_i', D\sigma_0'^2)$ 分布。将其代入式(3)，得

$$P_E' = Q \left(\sqrt{\frac{(Da_1')^2 + (Da_2')^2 - 2\rho\sqrt{(Da_1')^2(Da_2')^2}}{4D\sigma_0'^2}} \right) \quad (4)$$

因为

$$a_i'^2 = E_i' = E_i/D = a_i^2/D \quad (5)$$

代入式(5)得

$$\begin{aligned} P_E' &= Q \left(\sqrt{\frac{Da_1^2 + Da_2^2 - 2\rho\sqrt{Da_1^2Da_2^2}}{4D\sigma_0'^2}} \right) \\ &= Q \left(\sqrt{\frac{a_1^2 + a_2^2 - 2\rho\sqrt{a_1^2a_2^2}}{4\sigma_0^2}} \right) = P_E \end{aligned} \quad (6)$$

即证采用未成型滤波的二进制调制，伪 D 倍速率解调加软译码方式进行变速率解调所获得的误码率和理想解调的误码率相等。当信号为QPSK调制时，可以将其等效为两个正交的BPSK信号进行解调，其结果仍然遵循上述结论。

3.2 算法中的码元同步

采用伪高倍速率解调加软译码方式进行变速率解调的一个关键模块是码片加法器，即将属于同一个码元的各码片软译码数据相加。要实现这一求和过程，码元同步是前提，即要准确地知道伪高倍速率解调后的码片与一倍解调后码元的对应关系。图3中详细描述了4倍解调时的这种关系，只有指针“ $P1$ ”对应的码片位置才是相应码元的起始位置，码元同步的过程也就是找到各个指针“ $P1$ ”的过程。这是完成软译码过程的必备条件。

根据码片重复表示的特点，通过统计码片间的相关性及加入一定的状态机保护，可以实现码元的稳定同步。

4 仿真结果及性能分析

选 BPSK 调制解调系统为例,用计算机仿真伪 4 倍速率解调过程,统计出软译码和无重复译码情况下的解调误码性能曲线,如图 4 所示。

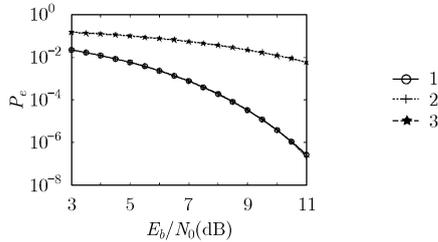


图 4 重复译码误码性能对比图

图 4 中,曲线 1 为理想的 BPSK 解调误码性能曲线,即理想的抽取加“一倍速率解调”的误码性能曲线;曲线 2 为伪 4 倍速率解调加软译码进行解调的性能曲线;曲线 3 为伪 4 倍速率解调后无译码的性能曲线。

曲线 1,曲线 2 和曲线 3 表明,采用软译码后的解调性能曲线和理想的 BPSK 解调性能曲线非常吻合,能弥补由于伪高倍速率解调引入的过多噪声带来的解调性能损失。这与理论推导结论一致。

需要说明的是,伪高倍速率解调引入的过多噪声对解调同步过程会造成一定的影响,在低信噪比情况下采用倍率比较高的伪高倍速率解调时对同步电路的要求较高。

5 所需资源分析

为了便于比较所需资源,这里只对伪高倍速率解调加软译码和抽取滤波加一倍速率解调两种变速率解调方式的相异部分进行资源的比较,即对软译码和抽取滤波所需资源进行比较,这与采用的调制方式无关。

5.1 软译码所需资源

正确完成软译码的前提是码元同步,码元同步找到了,软译码也就完成了。在有噪声特别是噪声功率比较高的情况下要准确的找到码元同步比较困难。笔者根据没有噪声时属于同一个码元的码片重复表示的特点,通过牺牲时间统计码片相关性的方式来获取同步,在 Xilinx 公司的 Virtex4-LX25-FF363 FPGA 芯片^[10]上完成了一个 2-32 倍率可调的码元同步电路,耗费的资源如表 1 所示。这与一个 33 阶的 FIR 滤波器所耗费的资源相当,如表 2 所示。

5.2 抽取滤波所需资源

为了节省资源,抽取滤波可以采用由 CIC 滤波器,HB 滤波器和高阶 FIR 滤波器构成的滤波器组的形式^[11-13]。CIC 滤波器不用做乘法,耗费资源很少;HB 滤波器可以节省近一半的乘法器,资源占用减少一半;高阶 FIR 滤波器处在最后一级,可用于提取有用信号、去除带外噪声,使通带波动和

表 1 码元同步电路占用 FPGA 资源情况

资源	占用	资源总数	占用率%
触发器	1,637	21,504	7
Slice 单元	1,348	10,752	12
LUT 单元	1,961	21,504	9

表 2 33 阶 FIR 滤波器占用 FPGA 资源情况

资源	占用	资源总数	占用率%
触发器	2,322	21,504	7
Slice 单元	1,274	10,752	11
LUT 单元	1,997	21,504	9

过渡带带宽尽量小。为了在性能和资源耗费上取得一个最佳值,市面上比较经典的数字下变频(DDC)芯片(如 HSP50214B^[14]、AD6620^[15]和 GC4016^[16]等)的抽取滤波都是采用这种多级结构,如表 3 所示。

表 3 常用 DDC 芯片抽取结构

芯片型号	CIC 滤波器级数	HB 滤波器级数	FIR 滤波器阶数
HSP50214B	抽取率为 2-4096 的 CIC 5 级	5 级	255 阶
AD6620	抽取率为 2-16 的 CIC 2 级 抽取率为 1-32 的 CIC 5 级	无	256 阶
GC4016	抽取率为 4-4096 的 CIC 5 级	无	一级 21 阶 一级 63 阶

抽取滤波的资源耗费主要在最后一级的 FIR 滤波器上,而软译码所占的资源只与一个 33 阶的滤波器相当,可见,抽取滤波所耗费的资源要比软译码所耗费的资源多一倍以上。

6 结论

本文提出了一种适合微波统一测控系统的新的变速率解调方法,该方法用伪高倍速率解调加软译码过程代替了信号的抽取和一倍速率解调过程,在不降低信号采样率的情况下实现了信号的变速率解调。仿真和实际测试表明,其性能和资源耗费比传统的变速率解调方法更具优势,较好地满足了微波统一测控系统的工程需求。

参考文献

[1] 宗孔德. 多抽样率信号处理[M]. 北京: 清华大学出版社, 1996: 1-15, 131-149.
Zong Kong-de. Multirate Signal Processing[M]. Beijing: The Press of Tsinghua University, 1996: 1-15, 131-149.
[2] Richard G L. 朱光明等译. 数字信号处理[M]. 第 2 版, 北京:

- 机械工业出版社, 2006: 259-269.
- Richard G L. Digital Signal Processing[M]. 2nd edition. Beijing: China machine press, 2006: 259-269.
- [3] 李菊, 陈禾, 何佩琨, 吴嗣亮. 分数倍抽样率转换器的时变网络结构及其 FPGA 实现[J]. 数据采集与处理, 2005, 20(3): 24-27.
- Li Ju, Chen He, He Pei-kun, and Wu Si-lian. Time-varying network architecture of fractional multiple sampling rate converter and its FPGA implementation [J]. *Journal of Data Acquisition & Processing*, 2005, 20(3): 24-27.
- [4] Babic D and Renfors M. Power efficient structure for conversion between arbitrary sampling rates [J]. *IEEE Signal Processing Letters*, 2005, 12(1): 1-4.
- [5] 张公礼. 全数字接收机理论与技术[M]. 北京: 科学出版社, 2005: 86-106.
- Zhang Gong-li. The Principal and Technology of All-Digital Receiver [M]. Beijing: The Science Press, 2005: 86-106.
- [6] Wang Yan, Serpedin E, and Ciblat P. An alternative blind feedforward symbol timing estimator using two samples per symbol[J]. *IEEE Trans. on Communications*, 2003, 51(9): 1451-1455.
- [7] CCSDS 401.0-B. Radio Frequency and Modulation Systems-Part 1: Earth Stations and Spacecraft. Blue Book [S]. May 1999.
- [8] 王新梅, 肖国镇. 纠错码-原理与方法[M]. 修订版, 西安: 西安电子科技大学出版社, 2001: 10-12.
- Wang Xin-mei and Xiao Guo-zhen. The Error Correction Code-Principal and Method[M]. Xi'an: The Press of Xidian University, 2001: 10-12.
- [9] 曹志刚, 钱亚生. 现代通信原理[M]. 北京: 清华大学出版社, 1992: 271-276.
- Cao Zhi-gang and Qian Ya-sheng. The Principal of Modern Communications[M]. Beijing: The Press of Tsinghua University. 1992: 271-276.
- [10] Xilinx, Inc. Virtex-4 Datasheets: Virtex-4 Family Overview, Ver2.0.2007:1.
- [11] 陈勇. 基于FPGA实现高速专用数字下变频器[D]. [硕士学位论文], 电子科技大学, 2005.
- Chen Yong. High speed dedicated DDC based on FPGA [D]. [Master Dissertation], University of Electronic Science and Technology of China, 2005.
- [12] Vaidyanathan P P. Multirate digital filters, filter banks, polyphase networks, and applications: A tutorial [C]. *Proc. IEEE*, 1990, 78(1): 56-93.
- [13] Vaidyanathan P P. Filter banks in digital communications [J]. *IEEE Circuits and Systems Magazine*, 2001, 1(2): 4-25.
- [14] Intersil Corporation. HSP50214B Datasheet, FN4450(4). 2007: 1-2.
- [15] Analog Devices, Inc. AD6620 Datasheet, Rev A. 2001: 1-3.
- [16] Texas Instruments Incorporated. GC4016 Datasheet, Rev 1.0.2001: 1-2.
- 赖卫东: 男, 1978年生, 硕士生, 研究方向为数字卫星通信、深空通信等.
- 詹亚锋: 男, 1976年生, 讲师, 研究方向为数字卫星通信、高速信号处理等.
- 陆建华: 男, 1963年生, 教授, 博士生导师, 研究方向为深空通信、无线多媒体通信等.