

一种级联结构的高阶全数字锁相环¹

史富强 林孝康 冯重熙

(清华大学电子工程系, 微波与数字通信国家重点实验室 北京 100084)

摘要 本文给出了一种高阶全数字锁相环的级联结构形式, 它通过结构简单的全数字一阶环的级联来实现高阶环路。它避免了通常的高阶锁相环中较复杂的数字滤波器, 实现简单, 易于集成。本文介绍了级联全数字二阶环的原理和实现, 对其性能进行了理论分析和计算机仿真, 最后给出一个应用实例。

关键词 全数字锁相环, 指针泄漏, 抖动

中图分类号 TN914.3

1 引言

随着微电子工艺和大规模集成电路的飞速发展, 数字系统的集成度越来越高。在数字通信系统中, 越来越多的接口定时处理被集成到专用集成电路中, 以提高系统的性能和可靠性。全数字锁相环因此得到了越来越多的研究和应用^[1]。例如, 在同步数字系列 (SDH) 网中, 由于指针调整会对净负荷产生很大的低频抖动, 因此在 SDH/非 SDH 边界的解同步器中需要采用指针相位扩散技术 (指针泄漏) 来抑制指针引入的抖动, 以使支路的输出抖动满足 ITU-T 建议 G.783 的要求^[2,3]。一阶环中静态相差的存在会影响跟踪和漂移性能同时使得解同步器中缓存容量要求提高。采用理想二阶环则可以使环路对输入频偏保持静态相差为零并具有更好的跟踪性能。

数字二阶环中的数字滤波器常常是基于 DSP 的运算电路。当环路带宽很窄时, 环路滤波器的实现将需要很大的电路量, 这给专用集成电路的应用带来一定困难。本文将提出一种级联形式的环路结构, 其中避免了普通锁相环中的环路滤波器而只有计数器操作。这种全数字锁相环结构简单, 易于集成, 非常适用于数字通信网中的定时恢复。

2 全数字锁相环

全部以数字功能块或以软件为基础构成的锁相环称之为全数字锁相环。其输入、输出及内部信号均为二进制逻辑信号。全数字锁相环中, 数字滤波器的种类较多, 较简单的数字滤波器有加/减计数器式环路滤波器、 K 计数器式环路滤波器和 N 先于 M 环路滤波器 (参见文献 [4]), 分析可知它们都不易直接构成一个理想二阶环路。

图 1 是一个全数字一阶环的实现^[1], 鉴相器采用 D 触发器, 其增益 $K_d = 1$ 。 θ_e 为高电平时 K 可逆计数器作加记数, θ_e 为低平时 K 可逆计数器作减记数。因此, 环路锁定无相差时, θ_e 维持半占空比。

$$\theta_e = (K_d/N)(\theta_i - \theta_o).$$

¹ 1998-03-16 收到, 1998-11-16 定稿
国家自然科学基金资助重大项目 (69896242)

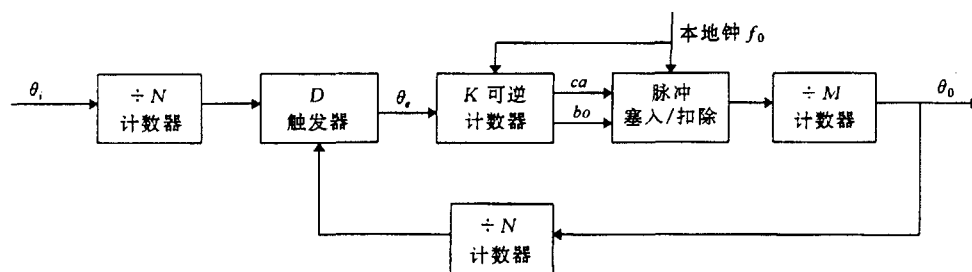


图 1 全数字一阶环

可逆计数器相当于一个积分器对相差进行记数，当正计数达到 K 时给出一个塞入脉冲 ca ，当负记数达到 K 时给出一个扣除脉冲 bo 。将 ca 和 bo 用 $ca - bo$ 表示，则

$$ca - bo = \int K_{ud}\theta_e dt, \quad K_{ud} = 2f_0/K.$$

当脉冲塞入 / 扣除电路收到一个 ca 脉冲，则对 f_0 做一个脉冲的塞入，实际实现时是对后面的除 M 记数做一次除 $M - 1$ 记数。当脉冲塞入 / 扣除电路收到一个 bo 脉冲则对 f_0 做一个脉冲的扣除。每次脉冲塞入和扣除对输出相位的调整量为 $\Delta_p = (1/M)UI$ ，因此，锁相环的输出相位为

$$\theta_o = \int \frac{f_0}{M} dt + \frac{ca - bo}{M}.$$

不考虑振荡器的固有振荡频率，则

$$\theta_o = (ca - bo)/M.$$

于是有

$$\theta_o = \frac{ca - bo}{M} = \frac{1}{M} \int K_{ud}\theta_e dt = (2f_0/KMN) \int (\theta_i - \theta_o) dt.$$

作拉氏变换得

$$H(S) = \frac{\theta_o(S)}{\theta_i(S)} = \frac{2f_0/(KMN)}{S + 2f_0/(KMN)} = \frac{\omega_n}{S + \omega_n}, \quad \omega_n = \frac{2f_0}{KMN}.$$

3 级联结构的全数字二阶锁相环

锁相环的阶数是由锁相环电路中积分环路的个数决定的。上一节中所给出的全数字一阶环具有较简单的电路实现形式，但其中只有一个积分环路。本节将给出一种级联结构的全数字二阶锁相环。这种全数字二阶环是由上一节介绍的全数字一阶环通过一定形式的级联而构成。图 2 是这种级联结构的框图。图 2 更详细的实现形式如图 3 所示。环路 1 的输出相位经环路 2 作进一步调整后反馈给环路 1 的鉴相器。“脉冲塞入 / 扣除 2”的操作与“脉冲塞入 / 扣除 1”的操作相反，当收到 K_2 可逆计数器的 ca 脉冲时，“脉冲塞入 / 扣除 2”作一次扣除操作，收到 bo 脉冲时做一次塞入操作。设图 2 中两个一阶环路的开路增益分别

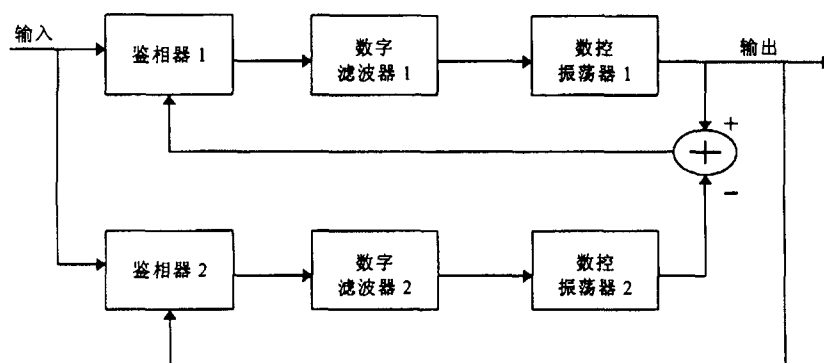


图 2 全数字二阶环的级联结构

为 ω_1 和 ω_2 ，则可得到级联结构的全数字二阶环的分析模型如图 4 示。在图 4 的级联全数字二阶环分析模型中，

$$\theta_o(S) = (\omega_1/S)[\theta_i(S) - \theta_m(S)],$$

$$\theta_2(S) = (\omega_2/S)[\theta_i(S) - \theta_o(S)],$$

$$\theta_m(S) = \theta_o(S) - \theta_2(S),$$

$$H(S) = \frac{\theta_o(S)}{\theta_i(S)} = \frac{\omega_1 S + \omega_1 \omega_2}{S^2 + \omega_1 S + \omega_1 \omega_2} = \frac{2\xi \omega_n S + \omega_n^2}{S^2 + 2\xi \omega_n S + \omega_n^2},$$

$$\omega_n = \sqrt{\omega_1 \omega_2}, \quad \xi = (1/2)\sqrt{\omega_1/\omega_2}.$$

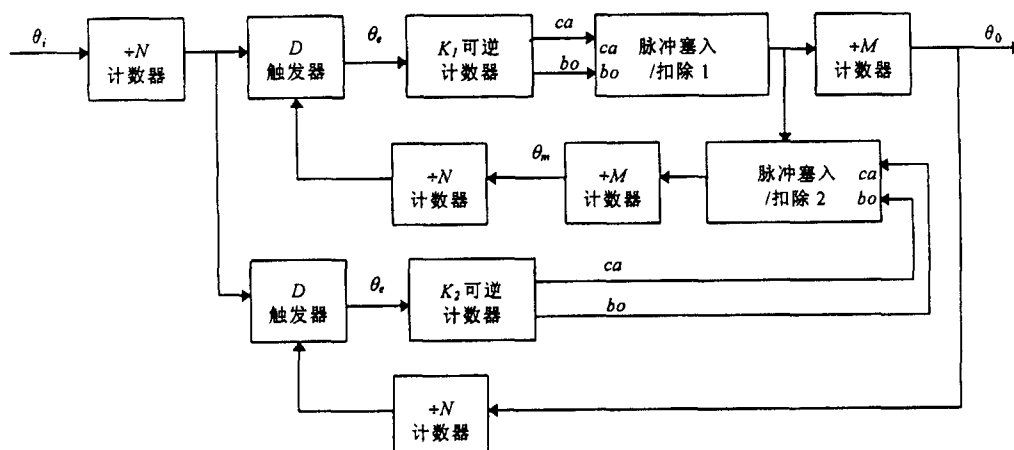


图 3 级联结构的全数字二阶环的实现

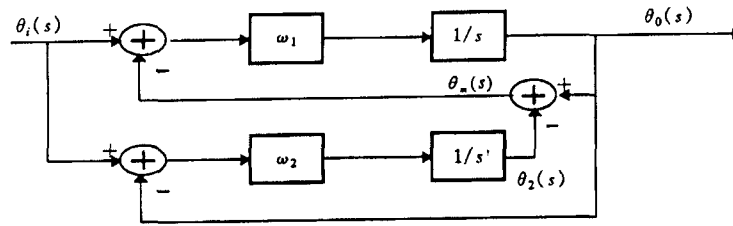


图 4 全数字二阶环的分析模型

由以上分析可以看到，图 3 给出的全数字锁相环是一个理想二阶环，其环路带宽和阻尼系数可以通过 ω_1 和 ω_2 来调整。由前面对全数字一阶环的分析容易得到图 3 中二阶环的有关参数：

$$\omega_1 = \frac{2f_0}{K_1MN}, \quad \omega_2 = \frac{2f_0}{K_2MN}, \quad \omega_n = \frac{f_0}{MN\sqrt{K_1K_2}}, \quad \xi = \frac{1}{2}\sqrt{\frac{K_2}{K_1}}$$

锁相环的输出频率为 $f_{out} = f_0 + f_0\theta_e/(K_1M)$, $-1 \leq \theta_e \leq 1$ 。所以，环路的同步带宽为 $\pm\Delta F_{max} = \pm f_0/(K_1M)$ 。M 决定数控振荡器的量化相位调整量，它的选取要兼顾锁相环的参考时钟频率及系统的抖动性能。

为了避免连续的同向相位调整，环路参数的选取应有以下限制：

$$K_1 > MN.$$

这样可以保证可逆计数器不会在一个鉴相周期内计满。然而，这种限制将给环路参数的设计造成困难。此限制对图 1 给出的全数字一阶环也存在。本文给出一种变频解决方法。其原理是在锁相环的输入和输出频率上叠加一个固定参考高频信号，从而使锁相环电路参数的设计限制大大放宽而环路性能不变。为实现简单起见，实际电路中是在参考高频信号上扣除锁相环输入以得到新的锁相环输入。以一阶环为例，变频方法的原理如图 5 所示。

图 5 中，以 θ'_0 为输入， θ'_i 为输出所构成的锁相环的分析与原来的分析完全相同，而为了避免连续同向相位调整所作的限制大大放宽为

$$K_1 > N.$$

这里应注意，由于扣除模块中的相减操作，数控振荡器中的脉冲塞入 / 扣除关系应与原来电路相反，以保持环路的负反馈状态。级联全数字二阶环的变频处理与一阶环相同。

容易看到，运用本文提出的级联方法，可以构成更高阶的全数字锁相环。

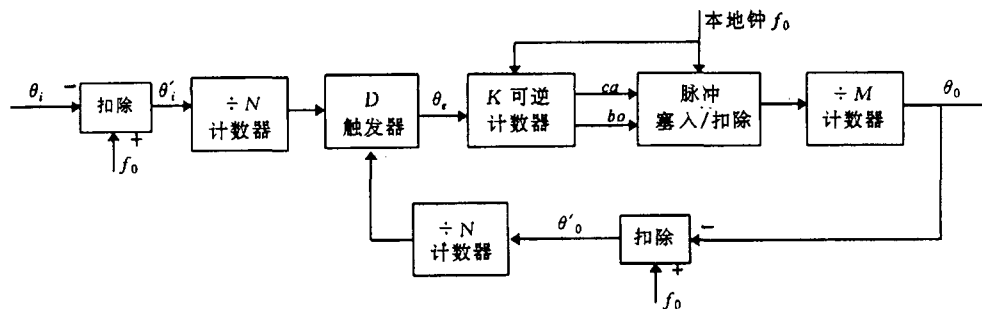


图 5 变频处理后的全数字一阶环

4 模拟验证

为了验证第 2 节中对级联结构的全数字二阶环的理论分析, 本文对图 3 给出的实现电路(带变频处理)进行了计算机仿真。计算机仿真模型完全是数字逻辑, 它与数字电路的逻辑功能仿真完全相同, 因此, 这种仿真可以用集成电路开发软件中的功能仿真器进行。然而, 由于这里的锁相环路具有很窄的带宽, 用集成电路仿真工具的仿真将需要很长的仿真时间, 另外, 相位参数的提取也不太方便。因此, 本文用 C 语言建立图 3 的逻辑功能模型, 并对其传递函数特性进行模拟。仿真电路的有关参数如下: $f_0 = 19440\text{kHz}$, $M = 200$, $N = 20$, $K_1 = 32$, $K_2 = 512$, 于是有 $\xi = 2$, $\omega_n = 38$, $f_{3\text{dB}} = 25.6\text{Hz}$ 。图 6 和图 7 给出了级联结构的全数字二阶环的传递函数的幅频响应特性和相频响应特性。图中模拟结果与理论结果比较好地吻合(幅频响应误差小于 2%, 相频响应误差小于 5%)。

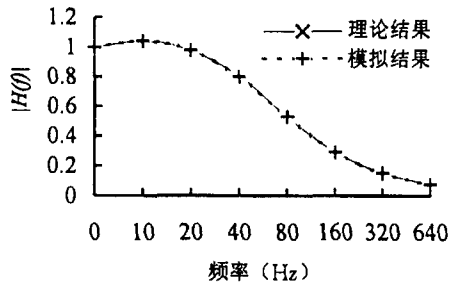


图 6 环路的传递函数的幅频曲线

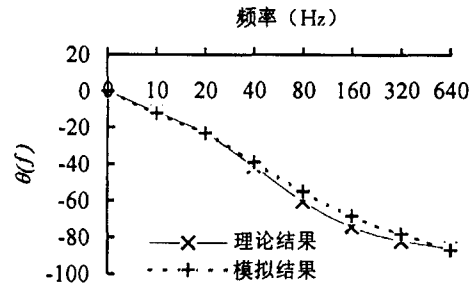


图 7 环路的传递函数的相频曲线

5 应用举例

本文给出的级联全数字二阶环可以应用于 SDH 中各种类型的指针的泄漏控制^[5-7]。下面以 TU-12 指针为例介绍这种环路的应用。2.048Mb/s 支路的速率较低, 采用高倍参考钟, 可以用全数字锁相环对 2.048Mb/s 支路直接匀滑。这样可以省去通常的支路匀滑模拟锁相环, 从而使系统构成简化, 集成度和可靠性大大提高。为了满足抖动性能, 环路的带宽需要在 1Hz 以下。

下面给出用于 TU-12 指针泄漏的级联全数字二阶环的有关电路参数: $M = 32$, $f_0 = 2048\text{kHz} \times M/2 = 32768\text{kHz}$, $N = 1024 = 2^{10}$, $K_1 = 2048 = 2^{11}$, $K_2 = K_1 \times 32 = 2^{16}$ 。此时有 $\xi = 2.83$, $\omega_n = 0.173$, $f_{3\text{dB}} = 0.160\text{Hz}$ 。环路同步带宽为

$$\pm \Delta F_{\text{max}} = \pm \frac{f_0}{K_1 M} = \frac{2048 \times M/2}{K_1 \times M} \text{kHz} = \frac{2048}{2 \times K_1} \text{kHz} = \frac{10^6}{2K_1} \text{ppm} = 488 \text{ppm}.$$

这里, 采用半脉宽延时技术使参考时钟频率 f_0 降低一半而量化抖动仍为 $\Delta_p = UI/M = 0.0313UI$ 。最后需要注意, 由于匀滑环路的带宽非常窄, 在起始大频偏输入时捕捉时间将很长。可以通过改变 K_1 、 K_2 的长度来展宽环路带宽以满足应用要求。

6 结 论

本文给出了一种新的全数字高阶环结构。它通过结构简单的全数字一阶环的级联来实现高阶环路。这种级联的环路结构实际上是利用了数字电路便于相位运算的特点。它避免了通常的高阶锁相环中较复杂的数字滤波器, 实现简单, 易于集成。本文分析了级联全数字二阶环的性能并将其应用于 SDH 的指针泄漏中, 有效地解决了 TU-12 的指针抖动抑制问题。级联全数字高阶环结构同样可以应用于其它定时处理及控制领域。

参 考 文 献

- [1] Loau Chii-Min, Wu Ji-Tsu. PHDPLL for SONET desynchronizer. GLOBECOM'91, Phoenix, USA: 1991, 402-405.
- [2] ITU-T Recommendation G.783(Draft), Characteristics of synchronous digital hierarchy(SDH) equipment functional blocks, 12.04.1997.
- [3] ITU-T Recommendation G.823, The control of jitter and wander within digital networks which are based on the SDH, 1992.
- [4] 张厥盛, 郑继禹, 万心平. 锁相技术. 西安: 西安电子科技大学出版社, 1994, 第七章, 第一节.
- [5] Hiknet Sari, *et al.* Cancellation of pointer adjustment jitter in SDH network. IEEE Trans. on Communications, 1994, COM-42(12): 3200-3207.
- [6] Kusyk R G, *et al.* Analysis of techniques for the reduction of jitter caused by SONET pointer adjustments. IEEE Trans. on Communications, 1994, COM-42(2/3/4): 2036-2050.
- [7] Transwitch Data Sheet, ADMA-E1 2Mbit/s to TU-12 asynchronous mapper/desynchronizer, TXC-04002-MB, Ed.3A, August 1995.

A HIGH ORDER ALL DIGITAL PHASE LOCKED LOOP WITH TANDEM STRUCTURE

Shi Fujiang Lin Xiaokang Feng Zhongxi

(State Key Lab on Microwave & Digital Communications, Department of

Electronic Engineering, Tsinghua University, Beijing 100084)

Abstract A high order all digital phase locked loop with tandem structure is presented. A 2-order all digital PLL is implemented and its performance is verified by simulation. An example is given for SDH 2048Kb/s tributary recovery. Its performances are simulated and compared with the theoretical analysis.

Key words All digital PLL, Pointer leaking, Jitter

史富强: 男, 1969 年生, 博士生, 主要从事 SDH 系统的研究与开发, 通信 ASIC 设计及通信网的定时与同步性能的研究.

林孝康: 男, 1947 年生, 教授, 主要从事数字通信、ASIC 设计、SDH 系统及 ATM 网络等方面的研究.

冯重熙: 男, 1930 年生, 教授, 主要从事数字通信、ASIC 设计、数字信号处理和光通信等方面的研究.