

GPS 中 P 码序列捕获处理器的设计与实现

刘 芳^{1,2}, 冯永新², 潘成胜^{1,2}, 田明浩^{1,2}

(1. 南京理工大学控制科学与工程系, 南京 210094; 2. 沈阳理工大学通信与网络工程中心, 沈阳 110168)

摘 要: 为了保证扩频信号具有更高的扩频增益、更强的抗模仿和抗欺骗能力, 必须实现 P 码的直接捕获。序列捕获处理器利用本地码发生器产生本地伪码序列, 利用本地伪码控制策略, 通过对本地伪码的不断调整、偏移, 实现对接收信号中 P 码信号直接、快速的相关捕获。在实验室环境下对序列捕获处理器进行测试, 结果表明序列捕获处理器可以有效捕获 GPS P 码信号。

关键词: 卫星定位导航系统; 直接捕获; 循环相关; P 码; IP 核

Design and Realization of Sequence Acquisition Processor Based on P Code in GPS

LIU Fang^{1,2}, FENG Yong-xin², PAN Cheng-sheng^{1,2}, TIAN Ming-hao^{1,2}

(1. Dept. of Control Science and Engineering, Nanjing University of Science and Technology, Nanjing 210094;

2. Communication and Network Institute, Shenyang Ligong University, Shenyang 110168)

【Abstract】 Direct P code acquisition is implemented in GPS receiver in order to achieve higher spread spectrum gain, the better anti-deception and anti-spoofing. The sequence acquisition processor is designed in order to realize the direct and fast acquisition of P code in GPS. The local signal processor is used to produce the local code, the local control is used and the local code is adjusted and shifted to actualize the direct and fast acquisition of P code. The sequence acquisition processor is tested in lab environment. The conclusion shows that the processor is effective.

【Key words】 GPS; direct acquisition; circle correlation; P code; IP core

1 概述

卫星定位导航系统^[1](GPS)中P码的捕获通常是利用C/A码来完成的,但在强干扰和欺骗的战争环境下,无法保证通过C/A码来捕获P码。对P(Y)码进行直接捕获是电子战和导航战环境提出的新要求。近几年来,随着大规模并行相关处理技术以及高精度、高稳定度的时钟技术的发展,P码的直接捕获成为可能。长期以来,P码的直接捕获^[2]方法一直是研究重点及难点,国内外提出了很多P码搜捕方法,例如较为有效的XFAST^[3]算法和均值^[4]算法。考虑到GPS中P码的特点,对其进行直接捕获要考虑到信噪比、衰减和Doppler频移等条件。因此,该领域的研究具有一定的挑战性。

在计算机与电子技术领域,FPGA技术发展很快,已经广泛应用于航天、通信、医疗、工控等各个领域。现场可编程门阵列(Field Programmable Gate Array, FPGA)具有体系结构完整、逻辑单元灵活、集成度高以及适用范围广等特点。以HDL语言来表达设计意图、以FPGA作为硬件载体、以计算机为设计开发工具、以EDK软件为开发环境、以ASIC、SOC和IP技术等综合设计的方法,已成为硬件设计工程的主要特征。

2 总体设计

序列捕获处理单元是基于FPGA芯片,使用VHDL及VERILOG语言进行开发的,在FPGA上集成了32位微处理器软核,利用计算机作为设计开发工具,在EDK软件环境下进行开发。针对GPS中P码序列捕获处理器的工作机理如图1所示。

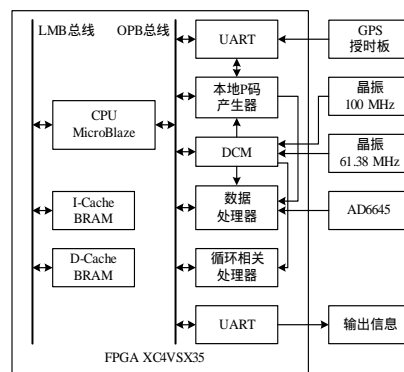


图1 序列捕获处理器原理

各主要部件功能描述如下:

(1)Virtex-4 FPGA专用芯片。设计时采用XILINX公司最新的V4系列FPGA芯片V4SX35-10668芯片,片上集成了32位微处理器软核。在该FPGA芯片上搭建了一个SoPC系统,核心是处理器(MicroBlaze)和用户IP核, MicroBlaze上运行的软件程序主要完成的功能有捕获信息和授时信息的接收和解析、整体逻辑流程的控制、捕获结果输出协议控制。本地P码匹配序列产生模块主要产生相应的本地P码匹配序

基金项目: 国家“863”计划重大专项基金资助项目

作者简介: 刘芳(1979-),女,博士研究生,主研方向:空间通信,电子对抗;冯永新,副教授、博士;潘成胜,教授、博士、博士生导师;田明浩,博士研究生

收稿日期: 2007-03-28 **E-mail:** onceowned58@tom.com

列,为算法处理模块提供输入数据;数据处理模块主要对接收和本地序列进行相应的处理及存储,为算法处理模块提供输入数据;循环相关处理模块依据捕获算法进行相关运算、产生相关峰值,选取最大峰值及比例峰值并进行门限判决。

(2)串口(RS232)。通过串口接收授时信息,将本地匹配序列参数按固定协议传送给其他单元做相应的后续工作。

(3)用户晶振(61.38 MHz)。提供 61.38 MHz 的时钟,该时钟经过 DCM 六分频后可以得到本地码产生器所需要的 10.23 MHz 的时钟,经过 8 倍频可以得到 81.84 MHz 硬件 IP 核工作时钟。

(4)AD6645 数模转换器(每秒 105 兆采样)。最大采样率为每秒 105 兆,输出精度为 14 b。

3 序列捕获处理器核心设计

序列捕获处理器的 FPGA 实现核心是数据处理 IP 核与循环相关处理器 IP 核,主要完成对接收信号进行 Doppler 补偿、对接收信号与本地码进行相应的处理(扩展、均值),并对处理后的数据进行循环相关运算及捕获处理,最后进行最大相关峰值的选取与比例峰值的判定,提供捕获结果,为后续单元提供有效信息。

(1)数据处理器 IP 核的设计与实现。数据处理器 IP 核的底层逻辑通过 IPIC 和 IPIF 连接后连到了 OPB 总线上,具体实现时使用了 IPIF 提供的软件可读写寄存器功能,在软件中通过读写寄存器即可对其进行控制。如图 2 所示,数据处理器 IP 核主要包括:扩展处理模块,对本地序列进行扩展处理;Doppler 补偿处理模块,对接收信号进行 Doppler 补偿处理;均值处理模块,对接收信号与本地序列进行均值处理。

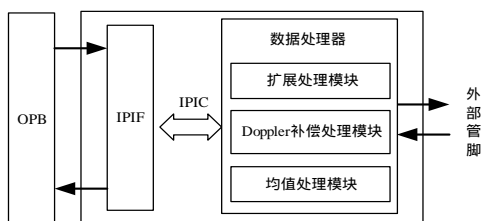


图 2 数据处理器 IP 核结构

(2)循环相关处理器 IP 核的设计与实现。循环相关处理器 IP 核的底层逻辑通过 IPIC 和 IPIF 连接到 OPB 总线上,具体实现时使用了 IPIF 提供的软件可读写寄存器功能,在软件中通过读写寄存器即可对其进行控制。如图 3 所示,循环相关处理器 IP 核主要包括:相关处理模块,对处理后的接收信号与本地序列进行循环相关运算;最大峰值选取模块,对相关运算的结果进行统计,选取最大峰值的位置;门限判决模块,对相关峰值进行门限判决。

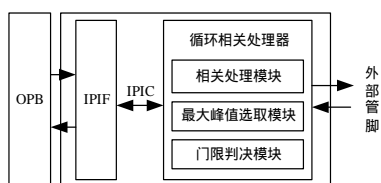


图 3 循环相关处理器 IP 核结构

4 序列捕获处理器软件调度

以 FPGA 作为硬件载体、以计算机为设计开发工具、在 EDK 的软件开发环境中设计序列捕获处理器的软件调度流程如下:

Step1 捕获处理器进行系统初始化。

Step2 进行 GPS 授时输入,接收主要系统参数(卫星号、时间、伪距等),判断是否接收成功。

Step3 读取相应参数(卫星号、时间、Doppler)。

Step4 接收 GPS 卫星信号(经降频处理到 30.69 MHz),以 81.84 MHz 的采样率进行采样。

Step5 判断信号是否接收成功,是否满足捕获处理需要。不满足则重新接收信号,返回 Step4,满足则进入 Step6。

Step6 对接收的 GPS 信号进行 Doppler 补偿处理,进一步恢复真实扩频信号。

Step7 以 10.23 MHz 的速率产生本地伪码序列。

Step8 对接收信号混频后的处理数据进行均值处理,即对每 i 个码元进行均值运算。

Step9 将本地伪码序列分为 M 段,把 M 段的码元对应位相加(即扩展复制重叠),对处理后的数据进行均值处理,即对每 i 个码元进行均值运算。

Step10 判断处理后的本地及接收数据是否准备完毕。未准备完毕则继续等待,准备完毕则进入 Step11。

Step11 进行基于 FFT 的循环相关运算。

Step12 进行最大峰值的选取及比例峰值的确定,由于外界因素影响,单点峰值的门限选取比较困难,因此选取比例峰值(即最大峰值与平均峰值的比例)来进行判决捕获结果。

Step13 进行结果分析、门限判决。如果满足门限则进入 Step14,不满足则返回 Step7 重新产生本地伪码序列,进行捕获处理,同时设定默认参数。

Step14 为增加码的搜索范围、提高捕获效率,算法进行了如扩展复制重叠、均值处理,此时得到的最大相关峰值的位置是一个相对位置,因此,必须通过“去除模糊度”操作获得确切的峰值产生地。去除模糊度处理即去除扩展模糊度及均值模糊度,确定相关峰值的确切位置。

Step15 设定本地伪码参数。

Step16 判断是否结束处理。不满足则返回 Step4 重新接收信号,进行捕获处理,满足则停止捕获。

5 序列捕获处理器测试

本文通过硬件设计与软件调度,实现了序列捕获处理器,并在实验室的测试平台下,根据实际在轨运行卫星由其 GPS 天线接收卫星信号,该信号经 RF 信号接收处理器 1 进行降频、低噪放等 RF 处理形成中心频率值为 70 MHz 的中频信号;RF 信号接收处理器 2 进行相应的输入信号处理,主要包含信号按需降频(30.69 MHz)、功率放大或衰减等。处理后的信号进入序列捕获处理器进行捕获处理,输出与接收信号发生最大互相关的本地匹配序列。其相应结果片段如图 4~图 6 所示。

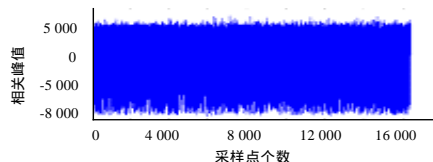


图 4 序列捕获处理器中频信号

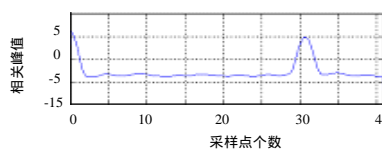


图 5 序列捕获处理器中频信号频谱

(下转第 279 页)