

FPGA 芯片中边界扫描电路的设计实现

于 薇, 来金梅, 孙承绶, 童家榕

(复旦大学专用集成电路国家重点实验室, 上海 201203)

摘要: 应用在 FPGA 芯片中的边界扫描电路侧重于电路板级测试, 兼顾芯片功能测试, 同时提供 JTAG 下载方式。FPGA 芯片的规模越来越大, 引脚数目越来越多, 边界扫描单元也随之相应增加。在此情况下, 边界扫描电路设计时为了避免移入错误数据, 对时钟偏差提出了很高的要求。同时, 由于扫描链包含大量的边界扫描单元, 在板级测试时, 大大降低了有效测试速率。针对这两个问题, 提出了对边界扫描单元的改进方式, 改进后的边界扫描电路不仅可实现测试、编程功能, 而且大大提高了电路抗竞争能力, 保证电路正常工作。改进后的电路使边界扫描寄存器链的长度可以改变, 使有效测试速率提高了 20 倍左右。

关键词: 边界扫描; 现场可编程门阵列; 时钟偏差; 板级测试

Design and Realization of Boundary-scan Test Circuit for FPGA's Chip

YU Wei, LAI Jinmei, SUN Chengshou, TONG Jiarong

(State Key Lab of ASIC & Systems, Fudan University, Shanghai 200433)

【Abstract】 The boundary scan circuit (BSC) applied in the FPGA chip focuses on the PCB-level test and can provide JTAG program mode as well as the function test of the chip. Owing to the increasing pads of FPGA chip and the larger number of the corresponding BS cells, the clock skew is going to be the major consideration in circuit design to avoid the error of data-input. Meanwhile, as BS chain contains a large number of BS cells, the effective test speed will be largely reduced during PCB-level test. In order to solve these problems, modification is made for the original structure of BSC. And the new generation of the BSC not only can realize the function of test, programming, but can provide significant immunity to races, thus, effectively guarantee the correct operation of the circuit. With the modified BSC, the boundary scan chain would be reconfigured to any desired length. In this way, it can improve the effective speed of PCB-level test.

【Key words】 boundary scan; FPGA; clock skew; PCB-level test

1 概述

随着电路技术进入超大规模集成时代, 常规测试方法正面临日趋严重的测试困难。边界扫描电路已成为业界一种流行的可测性设计^[1, 2], 被众多 ASIC 和 FPGA 生产商采用^[3, 4]。与之相应的工业标准为 IEEE1149.1 系列标准。该技术为芯片的集成度提高带来的芯片和电路板的测试难题提供了一种有效且低成本的方法^[5]。

JTAG 规范不仅提供了一个标准的边界扫描测试机制, 而且可以方便地完成芯片内部数据寄存器的配置。目前大量可编程芯片的程序下载基本上是基于这种方法。

FPGA 应用中, 需要在线测试、在线编程的功能, 并且其测试功能偏重于电路板级测试。应用于 FPGA 中边界扫描电路通过在芯片“核心逻辑”的输入输出端口和 I/O 管脚间增加附加的串行扫描单元, 从而实现了对引脚状态的完全可控和完全可观测。但随着芯片管脚数增多, 形成边界扫描链的串行移位寄存器也相应增加, IEEE1149.1 标准所采用的通用边界扫描单元^[6]往往会发生无效数据移入扫描链的错误。

在板级测试时, 由于边界扫描链由大量边界扫描单元构成, 大大降低了有效测试速率, 往往不能满足板级测试要求。

本研究针对 FPGA 的特定应用, 设计了相应的边界扫描电路, 用于测试和编程。对应用于 FPGA 中的边界扫描电路中边界扫描单元进行改进, 从而提高了电路抗竞争能力, 实现了对扫描链长度的控制。实验结果表明, 电路实现了边界

扫描测试和下载的设计功能要求, 很大程度杜绝了无效数据引入扫描链错误的发生, 提高了有效测试速率。

2 边界扫描单元的改进结构

2.1 防止移入无效数据的改进结构

图 1 是常用的边界扫描单元, 边界扫描链是由大量选择器和串行移位寄存器构成的。在不存在时钟偏差的情况下, 时序电路要求的最小时钟周期仅取决于最坏情况的传播延时。周期必须足够长, 以便在时钟的下一个上升沿之前数据能够通过寄存器和组合逻辑并在目标寄存器处建立起来, 这一约束如式(1)所示:

$$T > t_{r,max} + t_{l,max} + t_i \quad (1)$$

与此同时, 目标寄存器的维持时间必须小于通过逻辑网络的最小传播延时:

$$t_{hold} < t_{r,min} + t_{l,min} + t_i \quad (2)$$

但当 CK1 和 CK2 存在正时钟偏差时, 增加的偏差会使电路对竞争情况更加敏感, 而这有可能危及整个时序电路的

基金项目: 上海 AM 基金资助项目(0406); 国家“863”基金资助项目“FPGA 专项”(2005AA1Z12305-2)

作者简介: 于 薇(1983-), 女, 硕士研究生, 主研方向: 现场可编程门阵列 FPGA, 扫描测试设计, 在系统编程; 来金梅, 博士、副教授; 孙承绶, 硕士、教授; 童家榕, 学士、教授

收稿日期: 2006-08-24 **E-mail:** 042052028@fudan.edu.cn

正确工作。

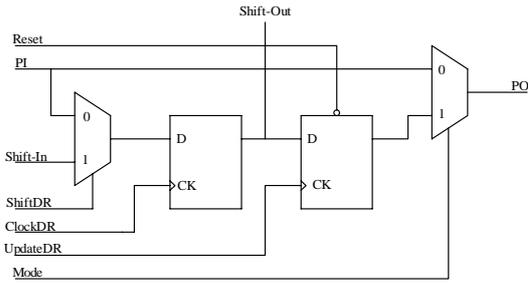


图1 通用边界扫描单元

图2是边界扫描链中一段串行移位通路。如图3所示，数据A在CK1的上升沿处被采样进入A触发器。A触发器输出端的新数据传播通过选择器并且应当在CK2的上升沿之前有效。然而，如果通过触发器和选择器的最小延时很小，那么B触发器的输入就有可能在时钟边沿之前改变，导致移入错误数据。

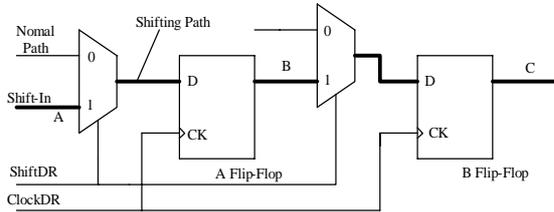


图2 边界扫描链的移位通路

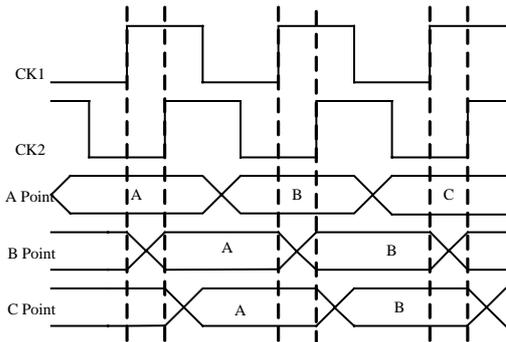


图3 边界扫描链的错误时序

要保证数据的正确输入，必须满足以下两个条件：

$$\delta \leq t_{r,\min} + t_{l,\min} + t_i - t_{hold} \quad (3)$$

$$T \geq t_{r,\max} + t_{l,\max} + t_i + t_{su} - \delta \quad (4)$$

从式(4)中可以发现电路可靠工作所要求的最小时钟周期随时钟偏差的增加而减小。但这一改进的范围有限，因为较大的偏差很可能会违反式(3)，从而导致时序电路不能正常工作。

考虑图3、图4所示的流水线结构电路，只要满足式(5)，就不会发生移入无效数据的错误，这是因为如图5所示，触发器B在CK2下降沿处输出触发器A在CK1上升沿采样的新数据，当时钟偏差和TCK时钟周期都达到要求，则A触发器数据的输出发生在CK2下降沿之后，下降沿之前，避免了数据的竞争，从而保证时序系统的正确工作。比较式(3)和式(5)，不难发现，图4所示的结构为确保时序电路正确工作而对时钟偏差的限制非常宽松，一般运用中的时钟偏差都能满足式(5)的要求。因此，本设计中的边界扫描寄存单元采用此种结构，可以避免移入无效数据错误的发生，显著提高了抗竞争的能力。

$$\delta \leq t_{r,\min} + t_{l,\min} + t_i + T/2 \quad (5)$$

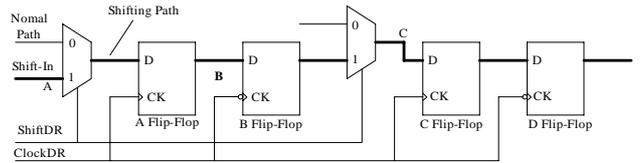


图4 流水线结构电路

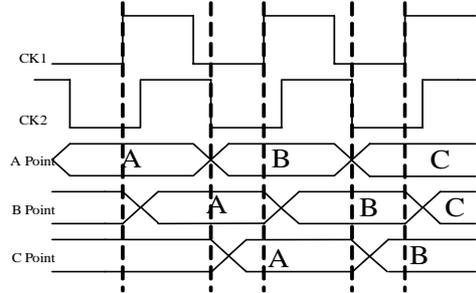


图5 流水线时序图

2.2 扫描链长度可控性设计

考虑某一PCB板，假设IC1的高频输出信号S1($f > 1M$)与FPGA的输入信号相连，通过FPGA中的边界扫描电路捕获输入信号，再由TDO串行输出捕获值，可以检测IC1的工作状态，同时可以测试芯片间的连线是否正确。TDO输出第k个边界扫描单元捕获的信号值(第1个边界扫描单元接近TDO)所需时间为 $k \cdot T_{tck}$ 。FPGA中通常含有200多个用户可用管脚，每个管脚都有一个边界扫描单元与之对应，即边界扫描链包含200多个边界扫描单元。若S1与接近TDI的I/O管脚相连，即使TCK的频率可达到10MHz，但由于数据要通过完整的扫描链，输入输出引脚上信号的频率必须低于50kHz才能被正确地测试，远远不能满足板级测试要求。

若在板级测试时，能从扫描链中移除无需监测管脚所对应的边界扫描单元，则可大大提高有效测试速度。本设计参考文献[7]的思想，对边界扫描单元进行了修改，修改后的输出边界扫描单元如图6所示，此结构无需增加控制单元加载单元控制信号，只需增加单元控制信号加载指令，利用已有的串行移位寄存器移入单元控制信号 $Ctrl(i)$ ，并存入数据更新触发器中。由于利用上文所述改进后的串行移位寄存器移入数据，相比于文献[7]可以避免移入无效数据错误的发生，同时由于移位和更新寄存器的复用，可以在一定程度上减少硬件开销。

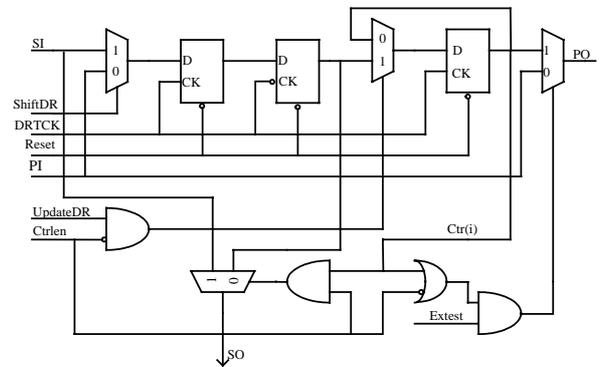


图6 输出边界扫描单元的改进结构

单元控制信号 $Ctrl(i)$ 决定了他所对应的边界扫描单元是否包含在扫描链当中，当 $Ctrl(i)=1$ 时，则扫描链中包含此扫描单元，可以从核心逻辑或输入引脚读入数据，由TDO输出

捕获的数据,进而控制和观测引脚状态,或者向输出引脚写入有效数据以进行板级连线测试(Extest=1)。若 $Ctrl(i) = 0$,扫描链中不包含此扫描单元,从而改变扫描链的长度,串行数据通过一个选择器直接进入下一边界扫描单元的串行输入端(SI-SO),核心逻辑的数据直接输出至或来自对应的引脚(PI-PO)。

由 TAP 控制器产生的长度控制信号 $Ctrlen=1$,表示用户可以通过 TDI 移入单元控制信号(Ctr)从而改变边界扫描单元的长度。在串行移位操作期间,更新寄存器不发生任何动作,因而可用于保存单元控制信号, $Ctrlen$ 为 1,保证在移位操作期间各个单元控制信号 Ctr 不会发生改变。当 $Ctrlen=0$ 时,边界扫描单元如常工作,单元长度不可改变。

本边界扫描电路应用于 20 万门的 FPGA 芯片之中。与普通 ASIC I/O 管脚不同,为 FPGA I/O 管脚设计的边界扫描单元必须考虑到可编程管脚所有可能的应用方式。因此,采用 3 个类似于图 3 中的结构构成边界扫描单元,通过分别监控管脚的输入、输出和输出使能信号,能对可编程双向三态 I/O 管脚的输入输出进行监测和控制。在边界扫描单元中做如图 6 中的改进,从而实现对扫描链长度的控制。图 7 是改进后的边界扫描单元。

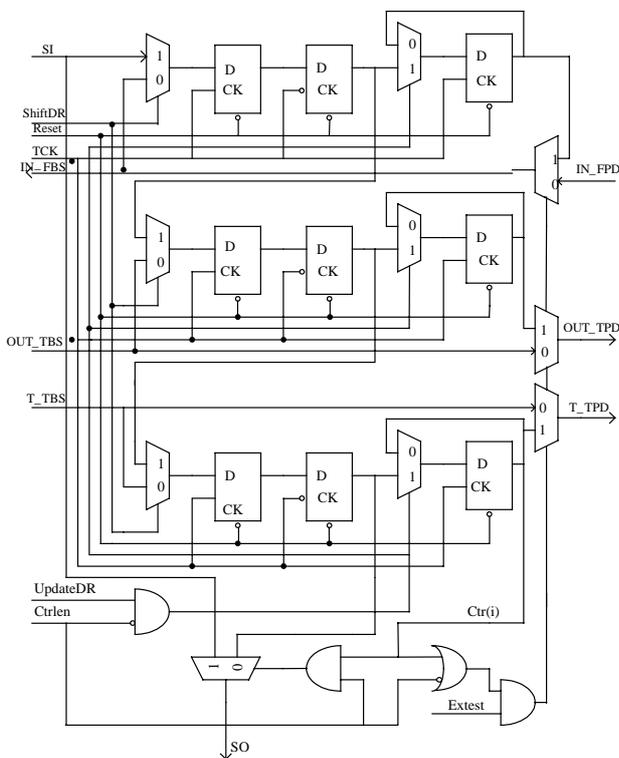


图 7 改进后的边界扫描单元

3 边界扫描电路总体设计

根据对 FPGA 中边界扫描电路的功能设计,共选择了 9 条指令构成指令集,用于实现测试、编程。其中包括在边界扫描标准中规定必须包括的 3 条指令和 1 条可选指令,分别是旁路指令:用于在测试电路板上其他芯片时,将本芯片的边界扫描链旁路,用 1 位的移位寄存器构成板级的扫描链^[6];采样/预装指令:用于在不影响核心逻辑正常工作的条件下,将有关采样点(边界扫描设计中的并行数据端)的信号捕获至边界扫描寄存器中,以便进行检测和分析核心逻辑电路的工作情况。外部测试指令:主要用于测试 IC 间的连线。取器件标志指令:用于获取器件的标志信息。单元控制信号加载指

令:用于加载单元控制信号(Ctr)。选取 4 条指令用于 FPGA 的 jtag 下载方式。清零指令:用于将 FPGA 中的编程点清零。INIT 信号读入指令:用于判断编程点清零过程是否结束。编程指令:将从 TDI 输入的编程数据写入编程下载模块。DONE 信号读入指令:用于判断下载过程是否成功完成。通过这 4 条指令的配合,可以实现器件编程的全部过程。在使用这 4 条编程指令进行编程时,边界扫描电路自动将 FPGA 的所有可编程 I/O 管脚控制为高阻态,防止在编程过程中管脚状态改变时的电平冲突。

边界扫描电路的系统结构如图 8 所示,由测试访问端口、测试访问端口控制块(1 个 16 状态状态机)、指令寄存器、指令译码器、器件标识寄存器、旁路寄存器、边界扫描寄存器和配置寄存器 8 个部分组成。测试访问端口的 5 个专用管脚按照一个简单的串行通信协议,完成测试和编程的指令、数据的输入输出。指令寄存器接收指令输入,再将指令提供给指令译码器;指令译码器根据输入的指令,为电路中其他模块提供各类控制信号,控制边界扫描电路完成对应的测试、编程动作。数据寄存器组(器件标识寄存器、旁路寄存器、边界扫描寄存器和配置寄存器)在测试访问端口控制块和指令译码器控制下执行测试、编程操作。

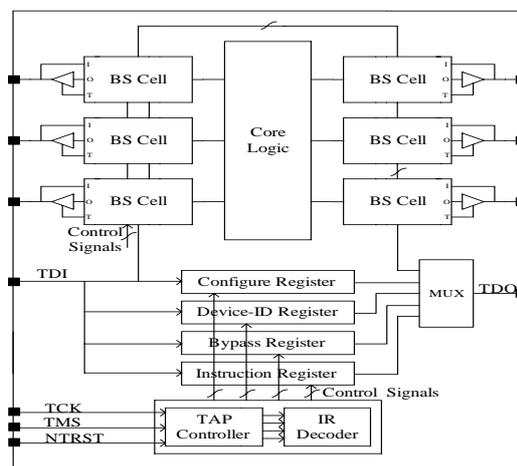


图 8 边界扫描电路系统结构

电路采用 smic.18 μ m 标准 CMOS 工艺设计版图,图 9 中为边界扫描电路加入到包含 1 600 个逻辑单元的 FPGA 芯片中进行流片的版图。

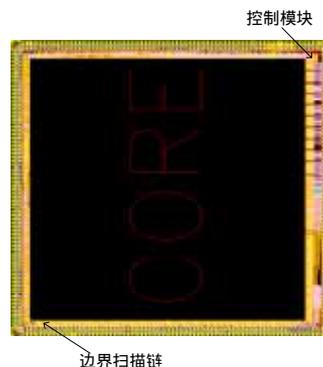


图 9 边界扫描电路版图

4 试验结果

为了验证逻辑设计的正确性,对整个设计进行了仿真。使用 Modelsim 对布局布线后的电路进行动态后仿。激励文件模拟了所有指令,功能对照分析发现,指令的执行和时序完

全符合功能要求。在检测采样/预装指令时,输入时钟频率高达 50MHz,时钟偏差为 0.2ns,从 640 ns 开始通过 TDI 向边界扫描寄存器移入了 480 位数据(FPGA 芯片中含有 160 个 I/O 管脚),前 480 个时钟周期从 TDO 串行输出的 480 位数据,每 3 位为 1 组反映每一个 I/O 管脚的状态。从 1 024ns 开始($T_{tck}=20ns$ 移出前 480 个数据所需时间为 $480 * T_{tck}=9 600ns$)移出的 480 位数据是之前由 TDI 移入的 480 位测试数据。对比输入输出波形图 10、图 11(只截取 120 个时钟周期,以便观察),TDO 移出的数据和 TDI 移入的数据一致,说明没有发生无效数据移入的错误。

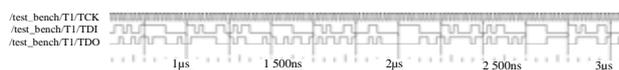


图 10 串行输入值仿真波形图

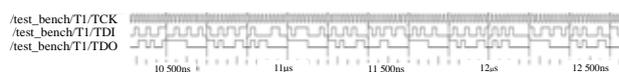


图 11 串行输出值仿真波形图

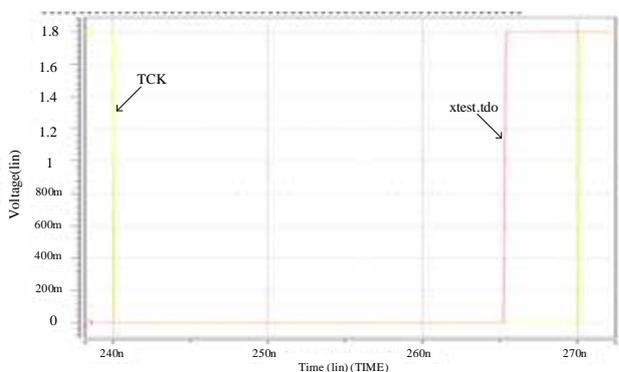


图 12 TDO 输出第 160 引脚输入值的仿真波形

从 TDO 串行移出第 160 个输入引脚的输入值。因为 FPGA 芯片中的 I/O 管脚都是可编程双向三态的,在 479 个时钟周期后,其值方能输出,在时钟频率高达 18MHz 时,输入信号频率必须低于 39kHz 才能被正确测试。采用修改后的新结构,理想情况下,在 2 个时钟周期后,第 160 个输入引

(上接第 250 页)

告阶段是多库协同平台核心对知识库中决策问题预处理过程和相应模型结论的描述。

5 结束语

智能决策支持平台的复杂性在于数据库、模型库、方法库、知识库以及人机界面库和数据仓库的多库资源的集成和共享,帮助决策人员进行半结构化或者非结构化决策。

本文总结了战场抢修决策支持平台的如下开发经验,即:(1)分析了多库协同软件系统的 4 种总体技术方案;(2)提出了基于软件总线的多库协同平台的设计方案;(3)基于 CORBA 实现了 5 服务+1 平台核心的多库协同平台;(4)建立了面向机载导弹阵地战场抢修领域的多库协同平台。

参考文献

- 张荣梅. 智能决策支持系统研究开发及应用[M]. 北京: 冶金出版社, 2003: 84-88.
- 俞瑞钊, 陈奇. 智能决策支持系统实现技术[M]. 杭州: 浙江大学出版社, 2000: 25-35.
- 王光平. OO 软件总线研究[J]. 计算机工程与应用, 2003, 39(3): 25-29.

脚的输入值从 TDO 输出,有效测试速率可大为提高。但由于引入了多路选择器,其级联必将导致输出延时的增大。为了研究插入多路选择器所造成的延时影响,用 Hspice 对上述最坏情况进行了仿真,仿真结果如图 12 所示,由于增加了 160 个多路选择器,TDO 的输出相对于 TCK 延时 25.2ns。为了保证时序正确, $T_{tck}/2$ 应大于所有多路选择器级联引入的延时值,时钟频率应小于 18MHz,相应的输入信号频率可高达 8MHz。相较于扫描链长度不可变的扫描电路有效测试速率提高了 20 倍左右。

5 小结

随着 FPGA 芯片中所包含的边界扫描单元不断增加,由于互连造成时钟偏差也随之增加,IEEE1149.1 标准给出的边界扫描单元实现结构^[6]可能出现写入错误数据的情况。同时,有效测试速率随着边界扫描单元增加也大为降低。本设计针对提高抗竞争能力和扫描链长度可控性对边界扫描单元进行了改进,实验结果表明:边界扫描电路实现了边界扫描测试功能和 FPGA 芯片在系统编程功能。本设计对边界扫描单元的改进,很大程度上避免了移入错误数据,提高了有效测试速率。

参考文献

- Mui C. Using in-system Programmability in Boundary Scan Test[Z]. 1998. <http://www.eetasia.com>.
- Alexander M. Boundary Scan and Internal Scan[Z]. 2001. <http://www.eetchina.com>.
- Data book[M]. San Jose, CA: Altera Corp., 1996.
- The Programmable Logic Data Book[M]. San Jose, CA: Xilinx Co., 1998.
- 陈光禹, 潘中良. 可测性设计技术[M]. 北京: 电子工业出版社, 1997.
- IEEE Std 1149.1-2001[S]. IEEE Standard Test Access Port and Boundary-Scan Architecture.
- Leon van de Logt. An Extension to JTAG for at-speed Debug on a System[C]//Proc. of ITC International Test Conference. 2003.

- 郭兵. 嵌入式软件开放式集成开发平台体系结构研究[D]. 成都: 电子科技大学, 2002: 65-68.
- Inmon W H. Using the Data Warehouse[M]. John Wiley & Sons, Inc., 1994: 29-33.
- Bergstra J A, Klint P. The ToolBus——A Component Interconnection Architecture[R]. Amsterdam: Programming Research Group, University of Amsterdam, 1994.
- Feray A, Banctel F, Daurensan V, et al. An Object_oriented Software Bus for Supervision Systems: Based on DCOM[C]//Proc. of the 2nd International Enterprise Distributed Object Computing Workshop. 1998: 263-273.
- 周越文, 陈希林. 基于 CORBA 的并行测试软件研究[J]. 微机计算机信息, 2006, 22(25): 32-34.
- 吕强, 钱培德. 一种基于 Java 的分布式对象应用系统[J]. 计算机研究与发展, 2000, 37(6): 738-745.
- 童爱红, 吴盘荣. CORBA 规范及其技术核心[J]. 航空计算技术, 2000, 30(4): 39-43.
- 郑鑫, 陈希林, 周越文. 基于 CORBA 的导弹通用测试平台并行测试实现[J]. 计算机工程, 2007, 28(3): 28-32.

