

# 异步超前进位加法器设计

杨银堂, 徐阳扬, 周 端, 弥晓华

(西安电子科技大学 微电子学院, 陕西 西安 710071)

**摘要:** 提出了一种新的高速加法器电路. 该加法器采用混合握手协议, 将超前进位与异步自定时技术相结合, 根据进位链出现的概率大小来分配进位路径, 可以在保持异步结构低功耗的同时提高运算速度. 仿真结果表明, 在 SMIC 0.18  $\mu\text{m}$  工艺下, 32 位异步超前进位加法器平均运算完成时间为 0.880 932 ns, 其速度是同步串行加法器的 7.33 倍, 是异步串行加法器的 1.364 倍和异步进位选择加法器的 1.123 倍, 且电路面积和功耗开销小于异步进位选择加法器.

**关键词:** 异步; 并行; 超前进位; 加法器; 自定时

**中图分类号:** TP332.2    **文献标识码:** A    **文章编号:** 1001-2400(2009)01-0033-05

## Design of the asynchronous CLA adder

YANG Yin-tang, XU Yang-yang, ZHOU Duan, MI Xiao-hua

(School of Microelectronic, Xidian Univ., Xi'an 710071, China)

**Abstract:** A new adder design is proposed. Combining CLA and asynchronous self-timed techniques, the adder introduces the hybrid handshake protocol and distributes the carry-generating path with the probabilities of the carry chains. It can speed up the asynchronous adder while keeping a low power and area cost. The adder implements the 0.18  $\mu\text{m}$  technique of SMIC. Simulation result shows that the 32-bit asynchronous parallel adder achieves the average delay of 0.880 932 ns. Its speed is 7.33 times faster than the synchronous ripple adder, 1.364 times faster than the asynchronous ripple adder, and 1.123 times faster than the asynchronous carry-select adder. And its area and power cost are less than those of the asynchronous carry-select adder.

**Key Words:** asynchronous; parallel; carry-look-ahead; adder; self-timed

整数加法是数字电路中最常用和最重要的操作. 加法器的速度和功耗对整个电路的速度和功耗有着很大的影响. 不同的应用场合对加法器的速度、面积和功耗要求各不相同, 针对不同的需要产生了很多各具特色的算法<sup>[1]</sup>.

对于如何提高加法器的运算速度, 目前有 3 种策略.

由于加法器的速度瓶颈是进位的产生和传递, 第 1 种策略的主要目标是如何加快进位的传递速度, 缩短传递路径<sup>[2]</sup>. 由此诞生了很多经典的快速加法器设计方案, 如跳跃进位加法器, 使得最坏情况下进位可以从最低位直接跳跃到最高位<sup>[3]</sup>. 另外采用这种策略设计的还有超前进位 (CLA) 加法器, 选择进位加法器等<sup>[4]</sup>. 这一类策略的缺点是当直接优化的数据位宽大于 4 位后, 要么优化结果不明显, 如跳跃进位和选择进位加法器; 要么硬件开销很大, 如超前进位加法器.

第 2 种策略的主要目标是通过减少进位的产生提高加法器的运算速度. 例如算盘式加法器<sup>[5]</sup>和 HC 式加法器<sup>[6]</sup>等都是基于这一类策略的加法器. 通过将 2 基运算提高为高基运算, 该加法器不需要在每一位加法都产生进位, 极大地缩短了运算时间. 这一类策略的缺点是硬件开销和功耗往往比较大.

第 3 种策略则是利用异步电路的自定时特性, 将加法器的速度性能从最坏延时情况提升到平均延时情

收稿日期: 2008-09-12

基金项目: 国家自然科学基金资助 (90407016, 60676009)

作者简介: 杨银堂 (1962-), 男, 教授, 博导, E-mail: ytyang@xidian.edu.cn.

况<sup>[7]</sup>. 最典型的例子是异步串行进位加法器,在不增加任何加速电路的情况下,异步串行进位加法器的平均速度就可以超过同步 CLA 加法器. 这一类策略的缺点是优化的效果往往与应用场合及数据特征有关.

基于以上 3 种策略的技术有不同的特点和效果,但如何能够把它们有效地结合起来,取长补短,却是一个需要解决的问题.

## 1 超前进位加法器和异步串行加法器介绍

### 1.1 同步超前进位加法器

同步超前进位加法器的基本思想是让加法器中每一位全加器的进位输入同时产生,不必像串行进位加法器那样等待下一级的进位到来<sup>[8]</sup>,从而达到加快运算速度的目的.

超前进位加法器的加速电路的逻辑表达式如下:

$$g_i = a_i b_i \quad , \quad (1)$$

$$p_i = a_i \oplus b_i \quad , \quad (2)$$

$$c_0 = g_0 + p_0 c_{in} \quad , \quad (3)$$

...

$$c_i = g_i + p_i g_{i-1} + p_i p_{i-1} g_{i-2} + \dots + p_i p_{i-1} p_{i-2} \dots p_0 c_{in} \quad . \quad (4)$$

从理论上来说,超前进位加法器可以在操作数输入后同时产生所有进位,然后就可以产生相加结果.但是由于逻辑电路固有的延时,超前进位的加速电路超过 4 阶后,电路的延时就会超过串行进位的延时,加速电路就会失去它的作用.所以超前进位加法器通常都是以 4 位加法器为一个基本单元.

### 1.2 异步串行进位加法器

异步逻辑比同步逻辑有速度和功耗上的优势,这是因为异步电路能用较小的硬件开销来实现电路的平均延时<sup>[9]</sup>.异步串行加法器如图 1<sup>[9]</sup>.

异步串行加法器不需要增加任何加速电路就可以实现加法器的速度达到平均性能而不是最坏性能,而且异步串行加法器的平均延迟优势随着操作数位宽的增加变得越来越明显.在操作数为随机数的情况下,5 位宽度的异步串行进位加法器平均延迟为 2.9 个单位,对应的同步串行加法器的延迟为 5 个单位.15 位宽度的异步串行加法器平均延迟为 4.35 个单位延迟,对应的同步串行加法器的延迟为 15 个单位.当操作数位宽为 32 位时,异步串行加法器的延迟为 5.4 个单位,而此时同步串行进位加法器的延迟为 32 个单位延迟.因此,在操作数位宽较大时,异步串行加法器可以以一定的硬件开销代价换取电路的性能极大的提升,其速度甚至比同步超前进位加法器还要快.因此在异步运算电路中应用非常广泛,也是体现异步电路优秀性能最好的例子.

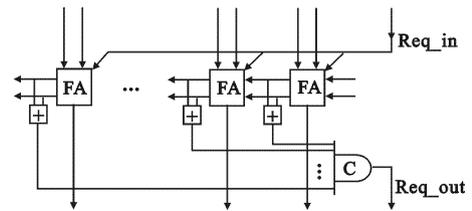


图 1 异步串行加法器

## 2 异步超前进位加法器的设计

异步串行进位加法器有硬件开销小,平均延迟低的优点.但是如果异步加法器的平均延迟不能满足性能需要时,就需要采取新的策略来进一步提高异步加法器的速度.笔者的设计即是同步超前进位技术与异步技术相结合的方法的探索.

同步电路缩短进位传递时间的策略和异步电路实现平均延时的策略有相互矛盾之处,要将二者结合不能简单地相加.在同步电路中决定电路速度性能的因素是最坏情况下延时即  $V_n = 1/\max(T_{op})$ ,因此在设计加速电路时只需要针对最坏情况考虑.而在异步电路中,电路的速度性能体现为平均延时性能,即  $V_n = n/\sum_1^n (T_1 + T_2 + \dots + T_n)$ ,每一种情况都会对电路的平均延时造成影响,而影响的大小与该情况出现的概率大小成正比,因此在设计加速电路时必须针对大概率情况来考虑,而不是只考虑某种特殊情况.

异步单轨电路面积开销和功耗较低,而异步双轨电路自定时特性好.因此,可以将二者相结合,形成混合式握手协议.操作数  $a, b$  和相加结果  $sum$  采用单轨接口,而所有的进位输入输出都采用双轨接口.结果输出有效性由各位全加器的进位输出来判断.由于双轨电路在每一次有效操作前都要进行一次复位,为了节省功耗和电路面积开销,电路全部采用预充式结构,相对于标准的 CMOS 对管结构,可以节省约一半的电路面积和功耗开销.

要提高异步电路的平均性能,应实现操作的弱关联性,即将影响到结果的因素减少到最小.因此,在构成加速电路时,对同步电路中  $c_i$  的输出逻辑进行了改进.在公式(4)的表达式中,只有当  $g_i$  的值为 1 时,  $c_i$  才能优先输出结果,不必等待低一级全加器的结果,这种情况出现的概率只有 25%.

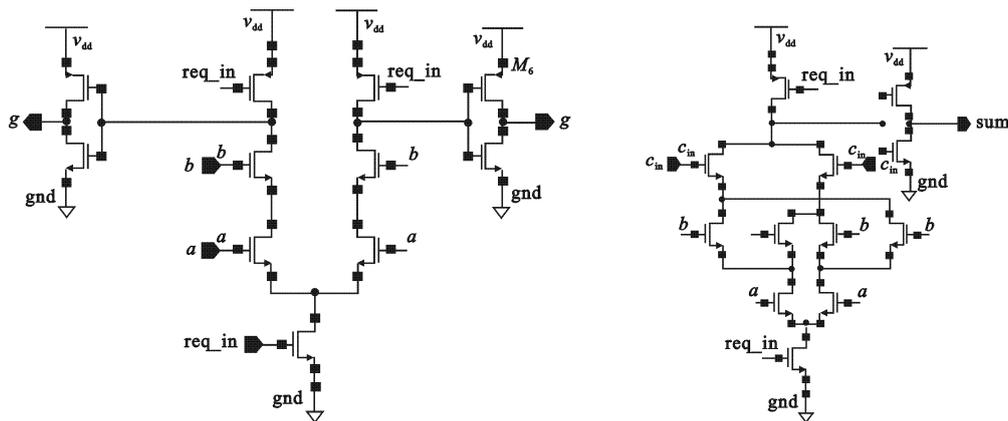


图 2 全加器电路图

利用双轨逻辑的不对称性,在全加器电路中增加对  $g_i$  的生成逻辑,在进位产生电路中加入了判断逻辑,如图 2. 这样可以将每一级  $c_i$  的优先输出提高到 50%. 从而大大提高了电路的平均性能. 为了保证输出结果的稳定,  $sum$  输出的前端由进位输入来控制放电动作,避免了单轨信号  $a$  和  $b$  可能出现的不同步引起  $sum$  输出的多次跳变,造成无谓的功耗.

由于有了加速电路来生成进位输出,笔者设计的全加器电路中没有常用全加器所必须的进位电路. 而是以 4 位为一组,将 4 位加法器的进位产生电路集中在一个模块中来实现. 加速电路的部分电路图如图 3.

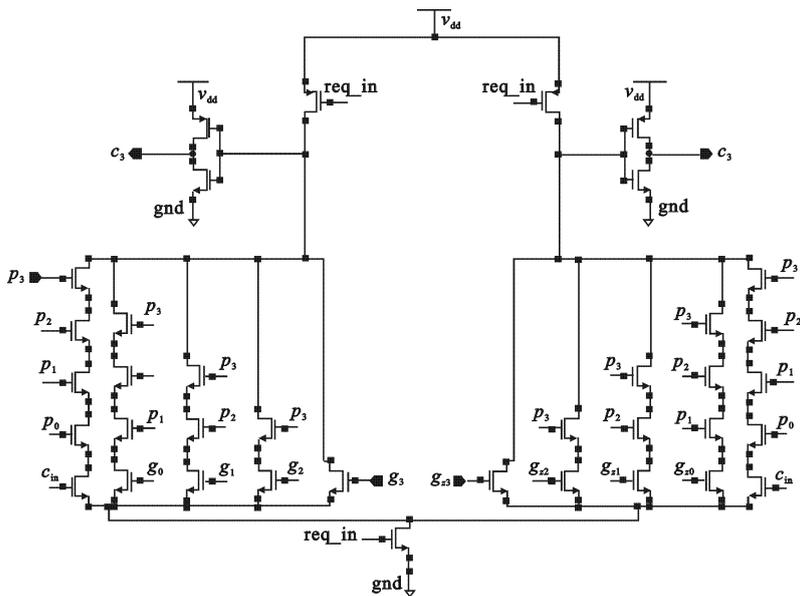


图 3 进位产生模块的部分电路

图 3 中是情况最复杂的一个进位输出产生电路,其中每个并联的放电路径针对了一种可能出现的情况.

为了能够最大限度地缩短进位输出的产生时间,在电路构成时,将出现概率最高的情况用最少的 MOS 管来控制,出现概率最小的情况用最多的 MOS 管来控制,以此类推. 出现概率为 50% 的情况用一个 MOS 来控制放电,出现概率为 25% 的情况用两个 MOS 管来控制,出现概率为 12.5% 的情况用 3 个 MOS 管来控制,两种出现概率为 6.25% 的情况分别用 4 个和 5 个管子来控制. 这样可以使得进位输出的平均延时最小化.

在加法器的总体结构上,各模块依然采用串联结构. 这是因为如果在总体结构上增加加速电路的话,电路面积和功耗开销非常大,而获得的加速比很小. 笔者所设计的加法器位宽为 32 位,共由 8 个模块串行连接而成,如图 4.

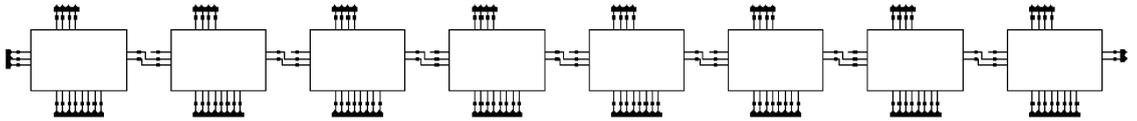


图 4 异步超前进位加法器结构图

### 3 仿真测试结果

笔者所设计的加法器由于采用了异步设计技术,可以根据不同的操作数情况调整运算速度,因此该加法器没有一个确定的运算速度. 在 SMIC 的  $0.18\mu\text{m}$  工艺下,在操作数为随机数的情况下,该异步并行加法器的最好情况运算完成时间、最坏情况运算完成时间、平均运算完成时间及晶体管个数和功耗开销与同步串行进位加法器、异步串行进位加法器和异步选择进位加法器的比较结果见表 1. 表中数据表明,异步超前进位加法器除了最坏情况下略慢于异步选择进位加法器外,其他的运算速度指标均优于另外 3 种加法器. 由于最坏情况出现的概率非常小,不会影响到电路的总体运行速度,因此不必另作优化,以免增加不必要的开销.

表 1 不同的 32 位加法器的延时对比情况

	同步串行进位加法器	异步串行进位加法器	异步选择进位加法器	异步超前进位加法器
最好情况运算时间/ns	6.457 00	0.425 60	0.317 40	0.300 81
最坏情况运算时间/ns	6.457 00	7.038 00	1.579 00	3.336 30
平均运算完成时间/ns	6.457 00	1.201 87	0.988 95	0.880 93
晶体管个数	864	1 056	2 293	1 888
平均功耗/ $\mu\text{W}$	7.582 00	5.453 00	26.371 00	20.804 00

### 4 总 结

笔者设计了一种新的异步超前进位加法器,采用组内并行、组间串行的结构. 以 4 位为一组,增加了改进后的异步加速电路,使得异步加法器的并行运算性能得到了很大的提高. 在 SMIC  $0.18\mu\text{m}$  工艺实现下,该异步并行加法器的平均速度是同步串行加法器的 7.33 倍,是异步串行加法器的 1.364 倍,是异步进位选择加法器的 1.123 倍,而且该异步超前进位加法器的电路面积和功耗开销均优于异步进位选择加法器. 该加法器如果在组间连接的结构上采用优化结构,可以进一步提高电路的运算速度.

#### 参考文献:

- [1] 雷绍充, 邵志标, 梁峰. 一种新颖的乘法器核内建自测试设计方法[J]. 西安电子科技大学学报, 2006, 33(5): 819-823. Lei Shaochong, Shao Zhibiao, Liang Feng. A Novel BIST Technique for Multipliers Cores[J]. Journal of Xidian University, 2006, 33(5): 819-823.
- [2] Lin Jin-Fa, Hwang Yin-Tsung, Sheu Ming-Hwa, et al. A Novel High-Speed and Energy Efficient 10-Transistor Full Adder Design[J]. IEEE Trans on Circuits and Systems, 2007, 54(5): 1050-1059.
- [3] Tung Chiou-Kou, Hung Yu-Cherng, Shieh Shao-Hui, et al. A Low-Power High-Speed Hybrid CMOS Full Adder for

- Embedded System[C]//Design and Diagnostics of Electronic Circuits and Systems. Kraków; IEEE, 2007: 1-4.
- [4] Sun Yan, Zhang Xin, Jin Xi. High-Performance Carry Select Adder Using Fast All-one Finding Logic[C]//Modeling & Simulation. Kuala Lumpur; IEEE, 2008: 1012-1014.
- [5] Zhao Zi-Yi, Lin Chien-Hung, Xie Yu-Zhi, et al. The Novel Chinese Abacus Adder[C]//VLSI Design, Automation and Test. Taipei; IEEE, 2007: 1-4.
- [6] Ndai P, Lu Shih-Lien, Somesekhar D, et al. Fine-Grained Redundancy in Adders[C]//Quality Electronic Design. San Jose; IEEE, 2007: 317-321.
- [7] Obridko I, Ginosar R. Low Energy Asynchronous Architectures[C]//ISCAS IEEE International Symposium of Circuits and Systems. Kobe; IEEE, 2005: 5238-5241.
- [8] Ashmila E M, Dlay S S, Hinton O R. Adder Methodology and Design Using Probabilistic Multiple Carry Estimates[J]. Computers and Digital Techniques, IEE Proceedings, 2005, 152(6): 697-703.
- [9] Liu Yijun, Furber S. The Design of an Asynchronous Carry-Lookahead Adder Based on Data Characteristics[C]//Integrated Circuit and System Design. Heidelberg; IEEE, 2005: 647-656.

(编辑: 郭 华)

(上接第 10 页)

## 4 总 结

针对 OBS 网络拥塞问题,笔者提出了一种基于速率的资源管理分组拥塞反馈控制策略.为了解决单向资源预约机制所造成的 OBS 网络高 DB 丢失率,就必须控制源边缘结点向网络输入的业务流量,而且还要能够随时监视网络中的拥塞状况.RMP 策略通过周期性地发送与接受 RMP 分组,并根据其所携带的沿途各核心结点的拥塞状况信息,源边缘结点按照一定的算法随时调整 DB 的发送速率,将输入网络的最大业务流量控制在所定门限附近.理论分析和计算机仿真结果证实,该策略能够有效地抑制或解除 OBS 网络中的拥塞现象.

### 参考文献:

- [1] Qiao C, Yoo M. Optical Burst Switching (OBS)—a New Paradigm for an Optical Internet [J]. Journal of High Speed Network, 1999, 8(1): 69-84.
- [2] 郭彦涛,文爱军,刘增基,等.光突发交换网络核心结点中数据突发缓存与调度的新策略[J].西安电子科技大学学报, 2006, 33(6): 866-870.
- Guo Yantao, Wen Aijun, Liu Zengji, et al. A New Buffering and Scheduling Policy of Data Bursts for Core Nodes of OBS Networks [J]. Journal of Xidian University, 2006, 33(6): 866-870.
- [3] Zhang Q, Vokkarane V M. Early Drop Scheme for Providing Absolute QoS Differentiation in Optical Burst Switched Networks[C]//HPSR2003. Torino; IEEE, 2003: 153-157.
- [4] Huang Y, Heritage J P, Mukherjee B. Dynamic Routing with Preplanned Congestion Avoidance for Survivable Optical Burst-switched (OBS) Networks: Vol 3[C]//Optical Fiber Communication Conference (OFC2005). Anaheim; OFC/NFOEC, 2005: 3-7.
- [5] Farahmand F, Zhang Q, Jue J P. A Feedback-based Contention Avoidance Mechanism for Optical Burst Switching Networks[CB/OL]. [2007-11-13]. [http://www.broadnets.org/2004/workshop-papers/OBS/WOBS309\\_Farahmand\\_find.pdf](http://www.broadnets.org/2004/workshop-papers/OBS/WOBS309_Farahmand_find.pdf).
- [6] Jain R, Kalyanaraman S. ERICA Switch Algorithm: a Complete Description, ATM Forum [S]. New York: ATM Forum, 1996.
- [7] 王建辉,顾树生.自动控制原理[M].北京:清华大学出版社,2007.

(编辑: 郭 华)