

互连线串扰耦合噪声的 ABCD 矩阵模型

杜小鸣^① 赵凤军^① 吴定允^② 张乐^①

^①(中国科学院电子学研究所 北京 100190)

^②(周口师范学院物理与电子工程系 周口 466000)

摘要: 高频互连线间的相互耦合和相互感应是产生串扰的一个重要因素。已有文献利用二端口网络 ABCD 矩阵从理论上求出了耦合互连线阶跃响应, 但该方法对互感描述不准确, 导致计算复杂, 且对串扰耦合噪声的估计不够准确。该文根据互感的基本定义, 修改了原模型中互感的表示方法, 提出了一个新的 ABCD 矩阵级联模型, 对 LTCC 工艺互连线的串扰耦合噪声进行分析, 并将得到的 ABCD 模型分析结果与 ADS 软件的仿真结果对比, 验证了改进的 ABCD 模型的准确性。

关键词: ABCD 矩阵; 串扰; Padé 近似

中图分类号: TN454

文献标识码: A

文章编号: 1009-5896(2009)01-0242-04

ABCD Modeling of Crosstalk Coupling Noise of Interconnects

Du Xiao-ming^① Zhao Feng-jun^① Wu Ding-yun^② Zhang-le^①

^①(Institute of Electronics, Chinese Academy of Science, Beijing 100190, China)

^②(Physical and Electronical Engineering of Zhoukou Normal School, Zhoukou 466000, China)

Abstract: Coupling capacitance and mutual inductance are important factors of crosstalk losses in high frequency. ABCD models with improper mutual inductance description have been reported to be used to obtain step response of coupling interconnects. In this paper, a more accurate ABCD model with modified mutual inductance is introduced. Finally, crosstalk coupling noise of interconnects in LTCC technology is analyzed using ADS simulation to verify the improved ABCD model.

Key words: ABCD matrix; Crosstalk; Padé-approximation

1 引言

随着系统时钟频率和电路集成度不断提高, 要面临的信号完整性问题越来越多, 互连线已经成为决定系统性能的一个重要因素。高频时互连线自身分布式的电阻、电容、电感以及互连线之间的互容、互感会引起串扰耦合噪声, 使传输的信号产生延迟、过冲、下冲等信号完整性问题。建立一个能准确、方便地预测互连线的信号完整性问题的模型相当重要。

用 ABCD 矩阵级联模型分析串扰简单方便, 已有文献采用这种方法对串扰耦合噪声建模^[1-4]。但是该模型中互感并联在相互耦合的互连线间, 对互感的描述不准确; 而且在最后的计算中互感很难处理, 文献中的实际计算都只考虑了互容, 忽略了互感^[1-5]。在高频电路中由互感引起的串扰耦合噪声非常显著, 不能忽略。本文对该模型进行修改, 提出了一种新的 ABCD 矩阵级联模型, 对互容和互感共同作用下的串扰耦合噪声进行估计, 并且计算简单。

2 串扰耦合噪声的危害

第一, 串扰耦合噪声影响信号的上升/下降沿的时间,

影响信号通过一段互连线所产生的延迟。传统的 Elmore 延迟模型, 没有考虑到互连线间的相互耦合相互感应, 不能满足高频应用, 需要一个更加准确的模型对信号的延迟进行估计。

第二, 串扰耦合噪声可能使输出波形出现过冲和下冲。高频时, 互连线表现出传输线特性, 此时互连线可以用有损传输线的分布式模型来近似, 即由 n 个 RLC 单元级联。如图 1 所示^[1]。其中 r , l , c 分别为单位长度传输线自身的电阻、电感、电容, Z_s , Z_L 分别为源端和负载端阻抗。要使模型带宽达到 BW, 则 n 必须满足 $n \geq 10 \times BW \times TD$, 其中 TD 为传输线延迟^[6]。传输线的特征阻抗为 $Z_0 = \sqrt{\frac{r + sl}{sc}}$

其中 $s = j\omega$ 为复频率。当 $Z_s = Z_L = Z_0$ 时, 根据传输线理论, 源端和负载端都不会对信号产生反射。而在实际的 CMOS 电路中, 源端的驱动电路为了使延迟最小化, 其输出阻抗 Z_s 一般都不等于 Z_0 ; 负载阻抗一般表现为容性。这样的互连线上会存在反射信号, 导致输出电压的波形出现过冲和下冲。过冲会导致电路的稳定性下降。下冲可能产生小的脉冲干扰, 加剧能量的动态分布; 更为严重的下冲可能导致误触发, 引起严重的逻辑错误和时序错误。

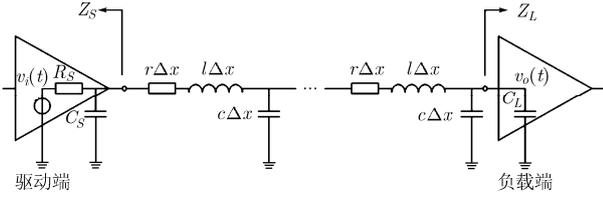


图 1 驱动端-互连线-负载端模型

3 串扰的数学模型

本节采用 ABCD 矩阵级联数学模型推导两条平行的串扰耦合互连线的传输函数, 然后应用 Padé 近似写出串扰耦合互连线阶跃响应的时域表达式^[7]。设互连线长度为 L , 单位长度的电阻、电感、电容和互感、互容分别为 r 、 l 、 c 和 l_m 、 c_m , 干扰线和被干扰线传输线模型如图 2 所示, 其中下标 a 表示干扰, 下标 p 表示被干扰。

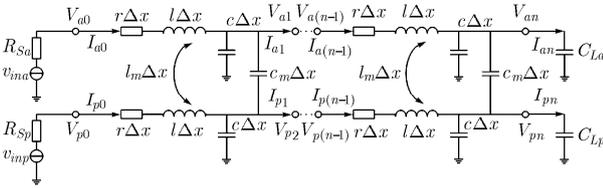


图 2 干扰线与被干扰线传输线模型

首先分析干扰线第 1 个 RLC 单元, 根据电路的基本定理有

$$V_{a0}(s) = (r + sl)\Delta x I_{a0}(s) + sl_m \Delta x I_{p0}(s) + V_{a1}(s) \quad (1)$$

$$V_{p0}(s) = (r + sl)\Delta x I_{p0}(s) + sl_m \Delta x I_{a0}(s) + V_{p1}(s) \quad (2)$$

$$I_{a0}(s) = sc\Delta x V_{a1}(s) + sc_m \Delta x (V_{a1}(s) - V_{p1}(s)) + I_{a1}(s) \quad (3)$$

设 $V_{p1} = KV_{a1}$, $c_e = c + (1 - K)c_m$, $V_{p0} = KV_{a0}$, 得

$$I_{a0}(s) = sc_e \Delta x V_{a1}(s) + I_{a1}(s) \quad (4)$$

$$V_{a0}(s) = (1 + ad)V_{a1}(s) + aI_{a1}(s) \quad (5)$$

其中 $a = \frac{(r + sl)^2 - (sl_m)^2}{r + s(l - Kl_m)} \cdot \Delta x$, $d = sc_e \Delta x$ 。由式(4), 式(5)得

$$\begin{bmatrix} V_{a0}(s) \\ I_{a0}(s) \end{bmatrix} = \begin{bmatrix} 1 + ad & a \\ d & 1 \end{bmatrix} \begin{bmatrix} V_{a1}(s) \\ I_{a1}(s) \end{bmatrix} \quad (6)$$

式(6)用一个 ABCD 矩阵表示了干扰线第 1 个 RLC 单元的输入输出关系, 整条干扰线可看作 n 个这样的 RLC 单元级联而成, 则其输入输出关系可以表示为

$$\begin{bmatrix} V_{a0}(s) \\ I_{a0}(s) \end{bmatrix} = \begin{bmatrix} (1 + ad)^n & a^n \\ d & 1 \end{bmatrix} \begin{bmatrix} V_{an}(s) \\ I_{an}(s) \end{bmatrix} \quad (7)$$

当 n 趋近正无穷大时有

$$\lim_{n \rightarrow \infty} \begin{bmatrix} (1 + ad)^n & a^n \\ d & 1 \end{bmatrix} = \begin{bmatrix} \cosh(\gamma_a L) & Z_a \sinh(\gamma_a L) \\ (1/Z_a) \sinh(\gamma_a L) & \cosh(\gamma_a L) \end{bmatrix} \quad (8)$$

其中 Z_a 和 γ_a 为考虑互感互容后干扰线的特征阻抗和传播常数

$$Z_a = \sqrt{\frac{a}{d}} = \sqrt{\frac{(r + s(l + l_m))(r + s(l - l_m))}{(r + s(l - Kl_m))sc_e}} \quad (9)$$

$$\gamma_a = \frac{\sqrt{ad}}{\Delta x} = \sqrt{\frac{(r + s(l + l_m))(r + s(l - l_m))}{r + s(l - Kl_m)}} sc_e \quad (10)$$

式(8)为长 L 的干扰线在考虑了串扰耦合噪声后的 ABCD 矩阵, 用同样的方法可以求出被干扰线的 ABCD 矩阵。下面用干扰线的 ABCD 矩阵求其传输函数。设互连线源端和负载端都是 CMOS 驱动器和接收器, 如图 3 所示的驱动端-干扰线-接收端模型。

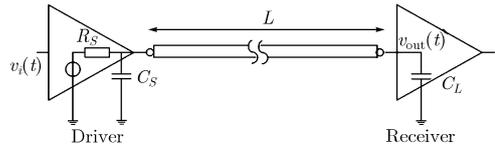


图 3 驱动端-干扰线-接收端模型

CMOS 驱动器的输出阻抗作为源阻抗, CMOS 接收器的容性输入阻抗作为负载, 干扰线的输入输出关系可以表示如下

$$\begin{bmatrix} V_i(s) \\ I_i(s) \end{bmatrix} = \begin{bmatrix} 1 & R_S \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ sC_S & 1 \end{bmatrix} \cdot \begin{bmatrix} \cosh(\gamma_a L) & Z_a \sinh(\gamma_a L) \\ \frac{1}{Z_a} \sinh(\gamma_a L) & \cosh(\gamma_a L) \end{bmatrix} \begin{bmatrix} V_o(s) \\ I_o(s) \end{bmatrix} = \begin{bmatrix} A_0 & B_0 \\ C_0 & D_0 \end{bmatrix} \begin{bmatrix} V_o(s) \\ I_o(s) \end{bmatrix} \quad (11)$$

将 CMOS 接收器看作容性负载 C_L , 则有 $I_o(s) = sC_L V_o(s)$, 代入式(11)得

$$V_o(s) = \frac{V_i(s)}{A_0 + sC_L B_0} \quad (12)$$

由式(11)和式(12)可得到考虑了串扰耦合噪声的干扰线的传输函数

$$H_a(s) = 1 / \left[(1 + sR_S(C_L + C_S)) \cosh(\gamma_a L) + \left(\frac{R_S}{Z_a} + sC_L Z_a (1 + sC_S R_S) \right) \sinh(\gamma_a L) \right] \quad (13)$$

用有理函数进行拟合, 四阶 Padé 近似精度可以达到要求。干扰线输出可以写成如下形式

$$V_o(s) = V_i(s) \frac{1}{1 + b_1 s + b_2 s^2 + b_3 s^3 + b_4 s^4} \quad (14)$$

其中, 有理函数分母系数 b_1, b_2, b_3, b_4 可以由 Matlab 编写 Padé 近似函数求得。求 $V_o(s)$ 的 4 个极点 p_1, p_2, p_3, p_4 , 则式(14)可以写成

$$V_o(s) = \frac{V_i(s)}{b_4 (s - p_1)(s - p_2)(s - p_3)(s - p_4)} \quad (15)$$

实际的阶跃函数有一定的上升时间, 设上升时间为 d , 则时域的阶跃函数可以表示为 $v_{\text{rise}}(t) = (t/d)[u(t) - u(t - d)] +$

$u(t-d)$; Laplace 变换到复频域,并用二阶 Taylor 展开式 $e^{-sd} = 1 - ds + (ds)^2/2$ 近似,可以得到 $V_{\text{rise}}(s) = (2 - ds)/(2s)$ 。当 $d = 0$ 时, $V_{\text{rise}}(s) = 1/s$,即为理想的阶跃响应。则上升时间为 d 的阶跃信号的响应为

$$V_o(s) = \frac{2 - ds}{2b_4s(s-p_1)(s-p_2)(s-p_3)(s-p_4)} \quad (16)$$

为了方便求输出电压的时域表达式,可将式(16)分解

$$V_o(s) = \frac{1}{2b_4} \left(\frac{k_0}{s} + \frac{k_1}{s-p_1} + \frac{k_2}{s-p_2} + \frac{k_3}{s-p_3} + \frac{k_4}{s-p_4} \right) \quad (17)$$

对等式(17)两边进行 Laplace 反变换,得到阶跃响应的时域表达式

$$v_o(t) = \frac{1}{2b_4} [k_0 + k_1e^{p_1t} + k_2e^{p_2t} + k_3e^{p_3t} + k_4e^{p_4t}] \quad (18)$$

得到的输出电压时域表达式简单而且意义明确,用该式对延迟、过冲、下冲进行估计非常方便。

4 ADS 仿真并验证 ABCD 矩阵级联数学模型

本节用 ABCD 矩阵级联数学模型和 ADS 软件分别仿真 LTCC(Low Temperature Co-fired Ceramic) 工艺 3mm 长互连线的串扰耦合噪声,验证 ABCD 矩阵级联数学模型的正确性。干扰线输入信号为上升时间 0.1ns 的阶跃函数,被干扰线输入信号为下降时间 0.1ns 的阶跃函数,即 $K = -1$ 。LTCC 工艺参数如下:相对介电常数 $\epsilon_r = 5.9$,介质厚度 $H = 0.1\text{mm}$,则特征阻抗 $Z_0 = 50\Omega$ 的互连线线宽 $W = 0.137\text{mm}$ 。设平行的干扰线与被干扰线的间距 $S = W = 0.137\text{mm}$,如图 4 所示。

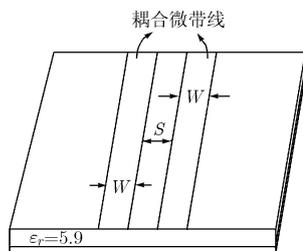


图 4 LTCC 工艺互连线

用 Ansoft Q3D Extractor 软件提取互连线参数,单位长度的电阻、电感、互感、电容、互容分别为 $r = 12.27 \times 10^{-6}\Omega/\mu\text{m}$, $l = 0.696\text{pH}/\mu\text{m}$, $l_m = 0.365\text{pH}/\mu\text{m}$, $c = 0.122\text{fF}/\mu\text{m}$, $c_m = 0.006\text{fF}/\mu\text{m}$ 。下面用 4 种模型求出干扰线的输出波形:

(1)图 2 所示的 ABCD 矩阵级联模型(不用 Padé 近似)。长 3mm 的互连线由 150 个长 $20\mu\text{m}$ 的单元级联而成,每个单元的 ABCD 矩阵如式(6)。ADS 仿真干扰线输出电压波形如图 5 所示。

(2)文献[1-4]中的 ABCD 模型。ADS 仿真干扰线输出电压波形如图 6 所示。

(3)图 4 所示耦合微带线模型。ADS 仿真干扰线输出电

压波形如图 7 所示。

(4)四阶 Padé 近似的 ABCD 矩阵级联模型。计算得到干扰线的输出电压波形如图 8 所示。

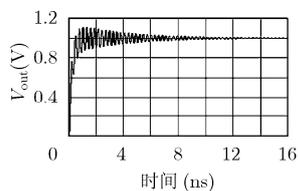


图 5 ABCD 矩阵级联模型仿真结果(ADS)

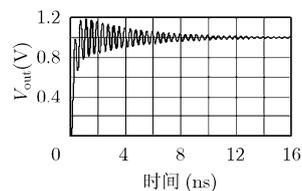


图 6 文献[1-4]中的模型仿真结果(ADS)

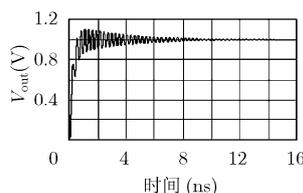


图 7 耦合微带线仿真结果(ADS)

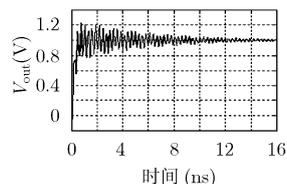


图 8 应用 Padé 近似后 ABCD 矩阵级联数学模型计算结果(Matlab)

仿真结果分析如下:

(5)将图 5、图 6 和图 7 对比,可以看出图 5 的结果和图 7 更接近,即本文提出的 ABCD 级联模型比文献[1-4]中的模型能更加准确地估计耦合微带线。

(6)比较图 5 和图 8,可以得出:采用四阶 Padé 近似对 ABCD 矩阵级联模型的近似计算,得到的干扰线的输出电压波形对输出信号的延迟以及过冲、下冲发生的时间有比较理想的估计,整个波形的振荡趋势和没有用 Padé 近似时 ABCD 模型的仿真结果相同,振荡幅度较 ADS 仿真结果偏大。过冲和下冲幅度比 ADS 仿真结果偏大约 0.08V。

5 结束语

本文用 Padé 近似的 ABCD 矩阵级联数学模型分析了互连线的串扰耦合噪声,给出了存在串扰耦合噪声时互连线的传输函数和阶跃响应的时域表达式,形式简单,计算量小;并对受串扰耦合噪声影响的信号的延迟、过冲和下冲进行估计,得到比较理想的结果。本文只讨论了干扰线输入和被干扰线上传输极性相反阶跃函数,即 $K = -1$ 的情况。在后续工作中将针对下面几个问题进行研究:(1)互连线的源端的阻抗(R_s , C_s)对串扰噪声的影响;(2)干扰线和被干扰线输入不同频率信号时串扰噪声的估计;(3)结合常用的滤波手段,讨论如何较小串扰噪声。

参考文献

- [1] Palit Ajoy K and Anheier Walter. Reduced order long interconnect modeling. Proc. of 15th GI/GMM/ITG

- Workshop on Testmethoden und ZuverLässigkeit von Schaltungen und Systemen, 23-25, Timmendorfer Strand, Germany, 23.03.2003 – 25.03.2003: 42–47.
- [2] Palit Ajoy K and Anheier Walter. Estimation of signal integrity loss through reduced order interconnect model. Proc. IEEE-SPI, Siena, Italy, 2003: 163–166.
- [3] Palit Ajoy K and Anheier Walter. Test pattern generation based on predicted signal integrity loss through reduced order interconnect model. 16-ITG-GI-GMM-Workshop Testmethoden und Zuverl Sigkeit von Schaltungen und Systemen, Dresden, Germany, 29.02.2004–02.03.2004: 84–88.
- [4] Palit Ajoy K, Anheier Walter, and Meyer V. Modeling and analysis of crosstalk coupling effect on the victim interconnect using the ABCD network model. 19th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, Cannes, France, 10-13. Oct. 2004: 174–182.
- [5] Palit Ajoy K, Anheier Walter, and Schloeffel J. A new, flexible and very accurate crosstalk fault model to analyze the effects of coupling noise between the interconnects on signal integrity losses in deep submicron chips. Proceedings of 14th IEEE-Asian Test Symposium, Calcutta, India, 18.12.2005 – 21.12.2005: 22–27.
- [6] Bogatin Eric 著, 李玉山译. 信号完整性分析. 电子工业出版社, 2006.1: 124–128.
- [7] Banerjee K and Mehrotra A. Analysis of on-chip inductance effects for distributed RLC interconnects. *IEEE Trans. on CAD of Integrated Circuits and Systems*, 2002, 21(8): 904–915.
- 杜小鸣: 女, 1983 年生, 硕士, 研究方向为射频微波电路、信号完整性分析.
- 赵凤军: 男, 1963 年生, 研究员, 研究方向为雷达系统、射频微波技术.
- 吴定允: 男, 1959 年生, 高级实验师, 研究方向为通信与信息系统.