

低功耗 Clock-Gating 技术在 SAR 实时成像处理中的应用

陈冰冰 邵洁* 王贞松 赵荣彩**

(中国科学院计算技术研究所 北京 100080)

*(北京市遥感信息研究所 北京 100085)

** (解放军信息工程大学 郑州 450002)

摘要: 功耗问题在 SAR 实时成像系统中是不容忽视的。该文以实时成像系统中的输入分机为研究平台, 测试了信号处理中常用芯片 DSP, SBSRAM, FPGA 在采用 Clock-gating 技术前后, 功耗的变化。通过大量的实验结果, 验证了 Clock-gating 技术在 SAR 实时信号处理中的可行性, 对降低 SAR 实时成像系统, 尤其是星载实时成像系统的功耗有一定的指导意义。

关键词: SAR 实时成像处理, 低功耗, Clock-gating 技术

中图分类号: TP752

文献标识码: A

文章编号: 1009-5896(2005)03-0449-05

Low Power Clock-Gating Method and Its Applications in SAR Real-Time Processor

Chen Bing-bing Shao Jie* Wang Zhen-song Zhao Rong-cai**

(Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100080, China)

*(Beijing Remote Sensing Information Institute, Beijing 100085, China)

** (PLA Information & Engineering University, Zhengzhou 450002, China)

Abstract Power consumption has to be taken into consideration in an applied SAR real-time processor. The power consumption is measured before and after clock-gating method had been applied to DSP, SBSRAM and FPGA of an air-borne SAR real-time preprocessor board respectively by software. It has been proved that clock-gating method is feasible for low power design in the SAR especially the future space-borne SAR real-time processor.

Key words SAR real-time processor, Low power dissipation, Clock-gating method

1 引言

机载和星载合成孔径雷达 (SAR) 实时成像处理器从本质上说就是一个运算能力强大的计算系统。其中 DSP 芯片和大容量存储器是系统功耗的主要来源^[1-3]。降低系统功耗的方法有许多种, 文献[1]中给出了不同的方法可引起功耗降低的参考数据。中科院计算所研制的机载 SAR 实时成像处理器中有 8 个 TMS320C6201-200DSP, 1 个 TMS320C6701-167DSP。在方位向做 8 倍降采样时, 可以在雷达脉冲重复频率 (PRF) 为 2200Hz 的条件下, 实现 8192x2048 点幅面的实时成像。在星载 SAR 实时成像处理中, 由于雷达照射幅面大, 加上星载 SAR 卫星的运动速率是机载系统的几百倍。为了保持必要的分辨率, 处理时方位向通常没有降采样的可能性。因此星载 SAR 实时成像处理器要求的处理能力要比

机载 SAR 增加十几倍至几十倍。此外星载 SAR 数据在做实时处理时, 考虑到地球自转和无人职守等因素的影响, 必须要做距离迁移校正和自动聚焦处理, 这也大大增加了对处理能力的需求。在不降采样的条件下, 采用 Chirp-scaling 算法完成我国星载 L-SAR 的信号实时处理, 需要 44~50 个 TMS320C6201-200 或者 TMS320C6701-167DSP^[4]。目前 C6201 DSP 的功耗在 2W 左右, C6701 DSP 的功耗在 2.7W 左右。那么星载实时成像处理器在正常运转条件下, 仅 DSP 芯片消耗的功率就高达 100—150W 之间。为了满足信号处理大容量存储的需求, 实时成像系统中还包含了海量的片外存储器。根据体系结构的不同, 星载实时成像处理需要的随机存储器容量在十几到几十个 GB 之间。卫星上, 由于供电能力的限制, 对星载设备的体积功耗和重量都有严格的限制。因此研究如何降低整个实时成像系统的功耗意义重大。

2 SAR 实时信号处理流程和动态降低功耗的原理

在机载正侧视条件下，通常可以认为 SAR 的二维原始数据矩阵的行向量之间，以及列向量之间是相互独立的。在此种条件下的实时处理过程，通常是先对一个二维数据流矩阵的行向量依次进行处理，然后对二维数据矩阵加以转置，再对转置后矩阵的行向量依次进行处理。这种处理方法被称为向量处理、矩阵转置模型，如图 1 所示。在星载条件下，矩阵的行向量和列向量之间不再相互独立。但采用 Chirp-scaling 算法仍然符合这一处理模型。

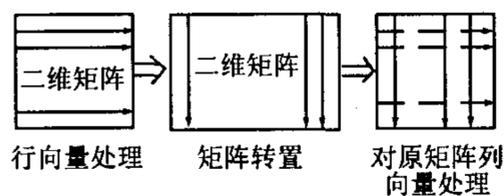


图 1 向量处理-矩阵转置模型

图 2 是一个典型的带有降采样预处理的 SAR 距离-多普勒 (RD) 实时成像处理机的体系结构。实时成像处理器根据 RD 算法的流程将成像分成 5 个相对独立的任务进行。即方位向 M 倍降采样滤波、距离向脉冲压缩、矩阵转置、方位向脉冲压缩、矩阵逆转置。这五项任务分别交给输入分机、距离向处理分机、转置分机 (CTM)、方位向处理分机、逆转置分机 (ICTM) 并行流水作业完成。表 1 是为了完成实时成像处理，每个分机向量处理的时间上限。其中的 N_r 为距离向样本点数， N_a 为方位向样本点数。

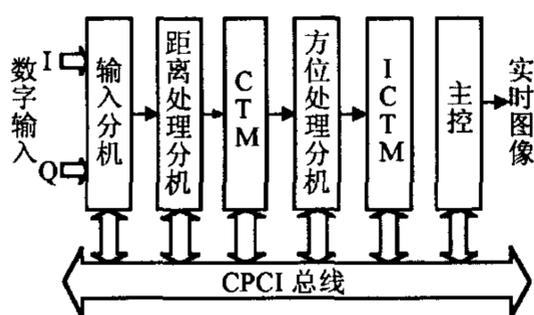


图 2 典型 SAR 实时成像系统的体系结构

表 1 各处理分机并行流水作业需满足的时间限制

| 各分机的任务 | 完成向量处理的时间上限 (s) |
|---------|-------------------------------------|
| 输入分机 | $1/PRF$ |
| 距离向处理分机 | M/PRF |
| 转置分机 | $(N_a \times M) / (PRF \times N_r)$ |
| 方位向处理分机 | $(N_a \times M) / (PRF \times N_r)$ |
| 逆转置分机 | M/PRF |

无论是 SAR 信号处理的哪一级任务，实际都是对矩阵向量的连续处理过程。任一向量的处理都可以分为 4 个过程，即向量接收过程，占用时间为 T_r ；向量处理过程，占用时间为 T_p ；处理后向量向下发送过程，占用时间为 T_x ；和空闲过

程，占用时间为 T_i 。这 4 个过程构成了一个完整的向量处理周期，总占用时间为 T_v 。并满足

$$T_v = T_r + T_p + T_x + T_i \quad (1)$$

通常，实时处理的周期 T_v 不同。但对同一个任务，如完成距离向脉冲压缩，其向量处理的周期是相同的。由于 SAR 实时信号处理存在明显的周期性，而且对应的空闲期也存在明显的周期性。无论在什么处理阶段，只要在处理的空闲期 T_i ，根据 Clock-gating 的原理^[5,6]对相关的处理单元关闭时钟，就可以达到降低系统功耗的目的。

3 DSP 系统低功耗实验

3.1 Clock-gating 技术对 DSP 芯片的运用

按照向量处理、矩阵转置方式建立起来的 SAR 实时成像处理器中的每个 DSP 芯片负责一条向量的独立处理，因此其处理流程是满足图 3 的向量处理模型的。这个模型可以进一步抽象为图 4 的时序。我们在输入分机上对周期性向量处理的空闲期 T_i ，采用 Clock-gating 的方法关闭时钟，来降低系统的功耗。图 4 中 T_w 为总处理时间。图 5 为 DSP 系统的低功耗测试平台示意图。

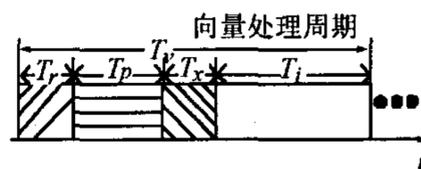


图 3 SAR 信号处理的向量处理时序

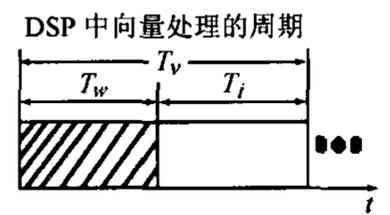


图 4 DSP 系统低功耗测试时序图

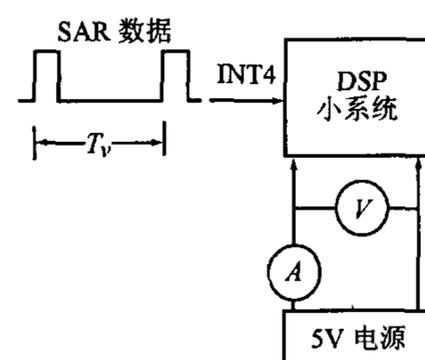


图 5 DSP 系统功耗测试平台示意图

3.1.1 DSP 芯片的功耗控制方法 由于我们的 SAR 实时成像系统中大量采用了 TI TMS320C6xxx DSP 芯片，因此我们就以它作为实验对象。TI 公司的 C6000 系列 DSP 有 3 种不同级别的 powerdown 功耗控制方法^[7]。表 2 是 powerdown 模式的特性。从表中可以看出，C6000 DSP 提供的 powerdown 模式，实质上就是利用 Clock-gating 的原理，不同程度地将芯片内部的时钟树关闭，来起到降低功耗的作用。对于输入分机中的 DSP 小系统，根据实际需要，采用了低功耗 PD1 模式。

表2 powerdown 模式的特性

| Powerdown 模式 | 触 发 | 唤醒方式 | 对芯片的影响 |
|--------------|---|------------------|---|
| PD1 | 向 CSR bit 15 - 10 中写入 001001b 或 010001b | 内部,外部中断 reset | CPU 挂起 (除了中断逻辑) |
| PD2 | 向 CSR bit 15 - 10 中写入 011010b | reset | PLL 停止输出时钟, 片内时钟电路停止切换, 整个芯片被挂起 |
| PD3 | 向 CSR bit 15 - 10 中写入 11100b | reset | PLL 停止产生时钟信号, 片内时钟电路停止切换, 整个芯片被挂起, 复位时, PLL 需重新入锁 |

3.1.2 实验原理和测试方法 实验过程是利用一个周期为 T_v 的外部信号模拟 SAR 数据向量的到达时序, 当 SAR 数据到达时触发 DSP 外部中断源 INT4。在 INT4 中断触发后, DSP 响应中断, 并进入相应的中断服务子程序。中断服务子程序模拟 SAR 向量的处理过程, 完成一系列的数据接收、处理及发送, 总的处理时间为 T_w 。中断服务子程序的工作时间是程序可以调整 and 控制的。在中断服务程序返回后, 主程序调用低功耗子程序, 该子程序利用 C6701 提供的 powerdown 功能, 采用 PD1 模式在向量处理的空闲期 T_i 将芯片内部时钟关闭, 使 DSP 进入低功耗状态。DSP 的低功耗状态将通过 INT4 中断, 被下一个 SAR 数据到达信号脉冲唤醒, 从而 DSP 又开始工作, 如此周而复始。定义工作占空比为

$$R_w = \frac{T_w}{T_v} = \frac{T_w}{T_w + T_i} \quad (2)$$

我们所进行的测试是, 在 SAR 信号的周期 T_v 一定的条件下, 调整 DSP 工作时间 T_w 与进入 powerdown 模式的时间 T_i 的比例关系, 来观察 DSP 系统的功耗变化。测试程序全部放在片内存储器中执行, 没有用到外部存储器。

3.1.3 实验结果分析 图 6 就是采用 Clock-gating 技术后, DSP 芯片下降的功耗与 DSP 工作占空比的关系曲线。从图中可以看出, 在对 DSP 系统的供电电压一定, 时钟频率一定的条件下, 采用 Clock-gating 方法后, DSP 芯片下降的功耗与工作占空比呈线性关系。在工作占空比越小的情况下, DSP

芯片下降的功耗越低。所以在工作占空比越小的时候, 采用 Clock-gating 的方法, 降低功耗的效果越明显。

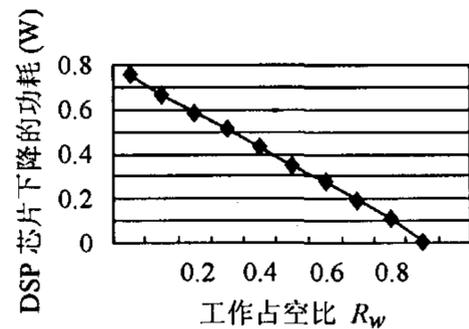


图6 采用 Clock-gating 后 DSP 芯片下降的功耗与工作占空比的关系

3.1.4 对输入分机功耗降低的效果 在输入分机中 DSP 完成杂波锁定功能。DSP 在做杂波锁定的时候必须接收 N_a 个 (如 2048) 方位样本点才可进行。由于相邻方位样本点的到达时间间隔 $T_v=1/PRF$, 在 PRF 为 2000Hz 时, $T_v=0.5ms$ 。而 CPU 对一个方位样本点的接收及分离只需几十纳秒, 工作占空比 $R_w \ll 0.1$, 在 T_i 的时间片内都是在等待下一个方位样本点的到来, 因此对输入分机中的 DSP 实施 Clock-gating 的方法会起到显著的效果。对于 SAR 实时成像处理器, PRF 的变化范围为 500~2000Hz, 表 3 是在 PRF=500, 1000, 1500, 2000Hz 下, 即 $T_v=2, 1, 0.7, 0.5ms$ 时, $T_w=82ns$, 对 DSP 采用 Clock-gating 和不采用 Clock-gating 方法时, 对输入分机进行功耗测试的结果。

表3 对 DSP 采用和不采用 Clock-gating 技术的测试结果

| PRF(Hz) | 无 Clock-gating | | | 加入 Clock-gating | | | 功率下降 (W) |
|---------|----------------|--------|--------|-----------------|--------|--------|----------|
| | 电压 (V) | 电流 (A) | 功率 (W) | 电压 (V) | 电流 (A) | 功率 (W) | |
| 500 | 4.82 | 0.978 | 4.714 | 4.86 | 0.818 | 3.975 | 0.739 |
| 1000 | 4.81 | 0.998 | 4.800 | 4.85 | 0.838 | 4.064 | 0.736 |
| 1500 | 4.81 | 1.005 | 4.834 | 4.85 | 0.846 | 4.103 | 0.731 |
| 2000 | 4.81 | 1.012 | 4.868 | 4.85 | 0.852 | 4.132 | 0.736 |

从实验结果可以看出,在 PRF 从 500Hz 变化到 2000Hz 的范围内,工作占空比 $R_w \ll 0.1$ 时,对输入分机中的 DSP 应用 Clock-gating 技术,功耗下降较明显,在不同 PRF 的条件下,输入分机的平均功耗均下降 0.7W。

3.2 Clock-gating 技术对片外存储器 SBSRAM 的运用

SAR 成像处理是数据密集型的应用,需要大容量的存储器支持,在 DSP 芯片内部已经集成了程序 RAM 和数据 RAM,但往往还是不能满足 SAR 成像的需求。因此,在开发 DSP 程序时,还需要外部存储器的支持。SBSRAM 是 DSP 系统中很常用的一种外部静态存储器。在我们的系统中,选用了 CY7C1339 SBSRAM,它工作在 133MHz。

3.2.1 SBSRAM 功耗控制方法 CY7C1339 SBSRAM 器件提供了 sleep input 端口。将该输入端口置 1 时, SBSRAM 处于睡眠模式,这时 SBSRAM 的功耗会比正常工作时的功耗有显著的降低。将该端口清 0, SBSRAM 又会恢复正常的工作。通过对 SBSRAM 的 sleep input 端口赋相应的值,就可以在适当的时候使 SBSRAM 处于低功耗状态。

3.2.2 实验原理和测试方法 我们结合对 DSP 芯片使用的 Clock-gating 的方法,在空闲期 T_i 内将 DSP 芯片的内部时钟关闭的同时,也将 SBSRAM 的 sleep input 端置 1,使 SBSRAM 处于睡眠状态。在数据处理期 T_w 内,将 DSP 芯片的时钟树打开时,同时使 SBSRAM 的 sleep input 端口清 0。从而让 DSP 芯片和 SBSRAM 都处于工作状态。这样就利用了 Clock-gating 的原理,实现了对 SBSRAM 功耗的控制。同样,我们测试了工作占空比 R_w 与 SBSRAM 功耗的关系。将测试程序放到 SBSRAM 中,并执行寻址密集型的操作,包括 FFT、矩阵转置及向量的乘法累加。在 SAR 向量数据的到达周期 T_v 不变的条件下,改变向量处理时间 T_w ,来观测对 SBSRAM 使用 Clock-gating 技术前后, DSP 系统功耗的变化。

3.2.3 实验结果分析 图 7 为使用 SBSRAM 前后, DSP 系统功耗变化图。其中白色柱表示将测试程序放在片内存储器,不使用 SBSRAM 时 DSP 系统的功耗。斜线柱表示将测试程序放到 SBSRAM 中, DSP 系统的功耗。对比图中的白色柱和斜线柱,我们发现,将测试程序放在片外存储器中比放在片内存储器中,功耗增加了 0.7W。

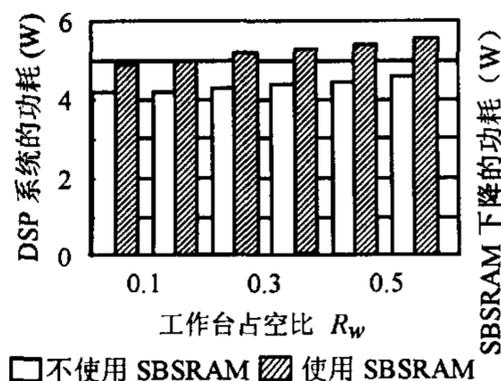


图7 使用 SBSRAM 前后, DSP 系统功耗与占空比的关系

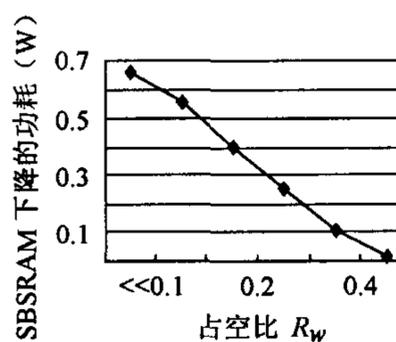


图8 采用 Clock-gating 后 SBSRAM 下降的功耗与工作占空比的关系

图 8 的曲线是采用 Clock-gating 技术后, SBSRAM 下降的功耗与工作占空比的关系。从图中我们可以看出, SBSRAM 的功耗下降幅度随着占空比的增大而减小。占空比越小,采用 Clock-gating 技术后, SBSRAM 的功耗下降越明显。

3.2.4 对输入分机功耗降低的效果 对于输入分机, PRF 的变化范围在 500~2000Hz 时, 由于占空比 $R_w \ll 0.1$, 所以对 SBSRAM 采用 Clock-gating 技术后, 功耗显著下降了 0.66W。

4 FPGA 芯片低功耗实验

在 SAR 实时信号处理系统中, 目前普遍采用了大规模 FPGA 芯片作为处理单元。我们的实验选用了 Altera 的 ACEX1k100FC484-3 器件, 该 FPGA 具有 10 万门的逻辑量。其内部综合了二维 FIR 滤波器, 约占有 7 万门的逻辑量, 工作时钟设置在 25MHz。

4.1 实验原理和测试方法

为了能够测试该 FPGA 在时钟门控下的行为, 我们编写了 Clock-gating 逻辑模块, 对 FPGA 内部综合的所有逻辑模块的时钟进行控制。实验流程和实验平台与 DSP 相同。

4.2 实验结果分析

如图 9 所示, 加入 Clock-gating 模块后, 在电压和时钟频率一定的条件下, FPGA 下降的功耗和工作占空比 R_w 基本上成线性关系。工作占空比越小, 使用 Clock-gating 技术后, FPGA 的功耗下降越明显。同时我们发现, 对一个 FPGA 使用 Clock-gating 技术前后, 功耗下降的幅度并不太大, 即使在 $R_w \ll 0.1$ 的情况下, 功耗只下降 0.23W。

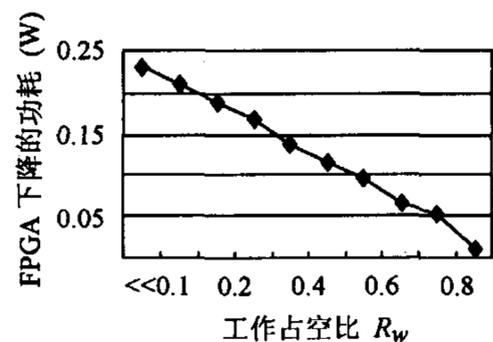


图9 使用 Clock-gating 后 FPGA 下降的功耗与工作占空比的关系

4.3 输入分机功耗降低的效果

具体到飞行中 Ku 波段的 SAR 系统, 输入分机 $T_w = 276.84 \mu s$, 在 PRF=2000Hz 的情况下, 占空比 $R_w = 0.55$, 由于占空比较大, FPGA 功耗下降并不明显, 仅有 0.1W。

5 结论

根据 SAR 信号特有的时序关系, 结合 SAR 成像的算法, 建立了向量处理模型。发现各阶段向量处理的空闲期是周期性的。以输入分机为测试平台, 对 SAR 信号处理中的常用芯片 FPGA, DSP 及 SBSRAM, 采用 Clock-gating 方法将空闲

期的时钟关闭,测试了功耗的变化。得到了 FPGA、DSP 及 SBSRAM 的功耗随工作占空比变化的曲线。发现占空比越低,用 Clock-gating 方法降低功耗的效果越明显。对输入分机中的 FPGA, DSP, SBSRAM 采用 Clock-gating 技术后,输入分机的功耗下降了 1.46W,降低了 30%的功耗。以上实验结果只是对一片 FPGA,一个 DSP 和一片 SBSRAM 测试的。在一个拥有数十片 DSP 与十几 GB 存储容量的星载 SAR 实时成像系统中,这一结果对降低系统工作时的功耗是有积极意义的。

参 考 文 献

- [1] Albonesi D H. An architectural and circuit-level approach to improving the energy efficiency of microprocessor memory structures, 10th International Conference on VLSI (VLSI'99), Hyderabad, India, December 1999: 192 – 205.
- [2] Su C, Despain A. Cache design trade-offs for power and performance optimization: A case study. In IEEE Symposium on Low Power Electronics, California, United States, 1995: 63 – 68.
- [3] Shimazaki et al Y. An automatic-power-save cache memory for low-power RISC processors. In IEEE Symposium on Low Power Electronics, Monterey, California, United States, 1995: 58 – 59.
- [4] 陈冰冰. SAR实时信号预处理和高分辨率实时成像系统的研究. [博士论文], 北京: 中国科学院电子学研究所, 2002年3月.
- [5] Borah M, Owens R M, Irwin M J. High-throughput and low power DSP using clocked-CMOS circuitry. In Int.Symposium on Low Power Design, Dana Point, California, United States, April 1995: 139 – 144.
- [6] Benini L, Siegel P, de Micheli G. Saving power by synthesizing gated clocks for sequential circuits. IEEE Design & Test of Computers, Winter 1994: 32 – 41.
- [7] 任丽香, 等. TMS320C6000 系列 DSPS 的原理与应用. 北京: 电子工业出版社, 2000: 144 – 145.

陈冰冰: 男, 1974 年生, 助理研究员, 主要研究方向为微波遥感信息处理.

邵 洁: 女, 1979年生, 硕士, 曾在中科院计算所从事低功耗优化技术的研究, 现主要从事遥感信息处理的研究.

王贞松: 男, 1945 年生, 研究员, 主要研究方向为合成孔径雷达系统、微波遥感信息处理和计算机体系结构.

赵荣彩: 男, 1957年生, 教授, 曾在中科院计算所从事先进编译技术和低功耗多线程优化技术的研究.