

基于 FPGA 的多通道高速 CMOS 图像采集系统

孙春风,袁峰,丁振良

SUN Chun-feng, YUAN Feng, DING Zhen-liang

哈尔滨工业大学 自动化测试与控制系, 哈尔滨 150001

Department of Automation Measurement and Control, Harbin Institute of Technology, Harbin 150001, China

E-mail: amysun01@sina.com

SUN Chun-feng, YUAN Feng, DING Zhen-liang. Design of multi-channels high-speed CMOS image acquisition system based on FPGA. Computer Engineering and Applications, 2008, 44(21): 46-48.

Abstract: This paper researches a design project of CMOS image sensor data acquisition system based on FPGA chip. The system uses the module structure design, LVDS and ping-pang store technologies, and ensures the real-time performance of data acquisition and transmission. It introduces the operating principles and realization methods of image acquisition, data transition, sequential control and data deserializing modules. The experiment certifies the system realizes image acquisition, transmission and memory to 590 MPixels/s data size, and makes for the design and realization of the subsequent circuit greatly.

Key words: FPGA; image acquisition; data transition; sequential control

摘要: 基于图像采集系统高速、大容量的特点, 提出了一种以 FPGA 芯片为核心处理器件的 CMOS 图像传感器数据采集系统的设计方案。系统将模块化结构设计、LVDS 与乒乓存储等多项技术应用于设计过程中, 保证了数据采集和传输的实时性。详细介绍了图像采集、数据传输、时序控制和数据解串等模块的工作原理及实现方法。实际应用证明, 该系统实现了对数据量达 590 MPixels/s 的图像序列的数据采集、传输和存储, 大大方便了后续图像处理电路的设计与实现。

关键词: FPGA; 图像采集; 数据传输; 时序控制

DOI: 10.3778/j.issn.1002-8331.2008.21.012 **文章编号:** 1002-8331(2008)21-0046-03 **文献标识码:** A **中图分类号:** TP274

1 引言

近年来, 越来越多的高速图像采集系统采用 CMOS 图像传感器作为图像采集器件。随着集成电路设计技术和工艺水平的提高, CMOS 图像传感器像素单元的数量和采集速度不断增大, 单位时间内图像传感器采集的图像数据量成倍地增加, 因此对于整个高速图像采集系统的数据传输、控制和处理等都提出了更高的要求^[1]。目前情况下, 传统的单通道数据传输方式和单片机实现的系统控制和处理功能已经远远无法满足高速图像采集系统的设计要求, 必须采用新的数据传输方式和设计方法来实现图像采集、传输和存储功能。

本文设计了一种以 FPGA 芯片为核心处理器件的多通道高速 CMOS 图像采集系统, 将 LVDS 技术和乒乓技术应用于图像数据传输和存储过程中, 大大提高了整个系统的图像采集速度和实时性。

2 CMOS 图像采集系统的系统结构

多通道高速 CMOS 图像采集系统设计的主要目的是对空间快速运动目标进行实时的图像采集、数据传输和存储, 以便

于后续的计算机或图像处理系统进行图像分析、目标提取等进一步处理。针对被测目标高速运动的特点, 系统选用 Fillfactory 公司的 LUPA1300 型高速 CMOS 图像传感器作为图像采集器件。全分辨率下图像传感器采集的数据量可达 590 MPixels/s, 输出的离散模拟像素数据需要经过多通道高速 A/D 转换器转换才能成为存储和处理单元能够存储和处理的离散数字信号。高速数据传输过程中, 采用 LVDS 技术进行通道合并, 以较宽的传输频带进行数据传输, 可以大大提高整个系统的集成度和可靠性。同时, 系统采用两片大容量的 SDRAM 以乒乓操作的方式进行数据存储, 保证能够实时地接收图像传感器产生的图像数据和实时地向后续的图像处理系统和计算机传送图像数据。

图 1 所示为整个多通道高速 CMOS 图像采集系统的整体结构框图。其中, LUPA1300 型 CMOS 图像传感器输出的 16 路并行离散模拟信号经过差分放大器, 由单端信号转化为差分信号, 再经过高速 A/D 转换器转换, 成为 16 路 LVDS 信号输入 FPGA 芯片。FPGA 将串行差分数据转换成为并行数据, 以乒乓操作的方式分别存入 2 片大容量的 SDRAM 中, 保证了图像数据的实时接收, 使 FPGA 在进行数据收集和传输过程中不至于

基金项目: 国家质检总局青年科技基金(the Natural Science Foundation for Young Scientists of General Administration of Quality Supervision, Inspection and Quarantine, China under Grant No.Q01-07)。

作者简介: 孙春风(1976-), 女, 博士, 主要研究方向: 高速视觉测量, 图像处理; 袁峰(1963-), 男, 教授, 博士生导师, 主要研究方向: 光电检测技术、惯性导航测试技术; 丁振良(1941-), 男, 教授, 博士生导师, 主要研究方向: 传感器与传感系统、自动化测试与精密计量。

收稿日期: 2008-01-28 **修回日期:** 2008-03-07

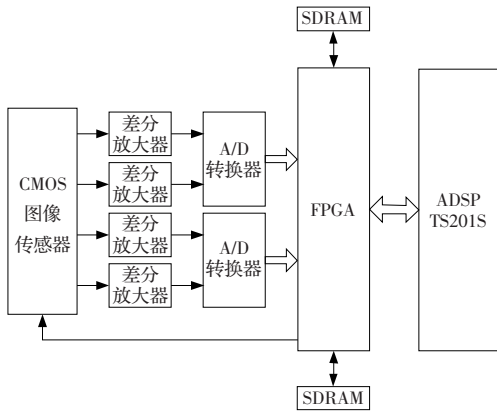


图1 多通道高速 CMOS 图像采集系统结构

出现数据丢失的情况。同时,FPGA 还要提供 CMOS 图像传感器的驱动、时序控制和地址加载等功能。FPGA 与 ADSP TS201S 之间通过链路口(Link Port)和并行总线/簇总线(Cluster Bus)进行数据通信。

3 FPGA 的图像采集逻辑电路设计

FPGA 作为多通道高速 CMOS 图像采集系统的核心器件,主要负责整个系统各个器件之间的通讯和逻辑控制功能。图 2 所示为 FPGA 的逻辑电路结构图。串行的数字图像数据经过串行数据解串模块转化成为并行图像数据,再通过输入 FIFO,以乒乓控制的方式存入 SDRAM 中。当 ADSP TS201S 需要时,图像数据通过输出 FIFO 和接口模块输出。图像传感器时序控制模块主要是提供图像传感器工作所需的各种时序和驱动信号。SPI 接口模块将传感器扫描的初始地址发送给传感器的内部寄存器。A/D 时钟控制模块主要是控制 A/D 转换器和差分放大器的时钟,使 A/D 转换器和差分放大器的转换速率与图像传感器的采集速率同步。

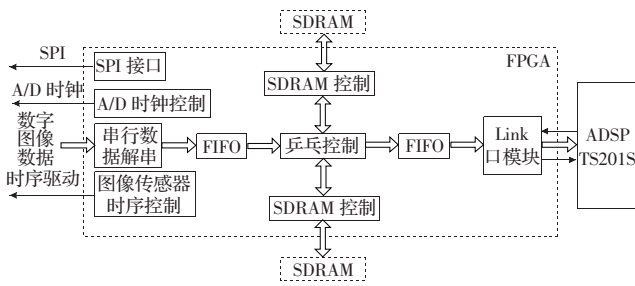


图2 FPGA 逻辑电路结构

3.1 图像传感器时序控制模块

CMOS 图像传感器的时序主要包括两个部分:第一部分是与像素阵列有关的时序,即对积分时间的控制、同步式开关模式以及对每个像素单元内部的存储单元的像素信息的采样。另一部分是像素读取时序,包括同步信号、线选信号和控制行消隐时间信号。

图 3 是与像素阵列有关信号的时序图,图中所示的信号均为由 FPGA 产生的图像传感器外部信号,其中 Reset_ds(复位)只在双斜率情况下才使用。像素阵列的时序是直接的,帧读取以前,光电二极管的信息需要存储到像素单元内部的存储单元内。通过图像传感器内部的 Vmemory(存储电压)信号的预充电和采样来实现。Vmemory 信号由 FPGA 产生的 Mem_HL(外部

存储)信号来控制。Precharge(预充电)对存储单元设置一个参考电压,Sample(采样)是将光电二极管的信息存储到存储单元。Mem_HL 信号的使用可以减少信号在像素内的损耗,同时预充电和采样的有效信号必须在 Mem_HL 信号的低电平期间。在 Mem_HL 信号再次处于高电平之后,开始像素阵列的读取。表 1 列出像素阵列的典型时序。

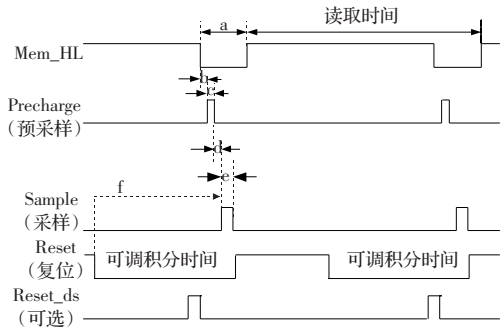


图3 与像素阵列有关信号的时序

表 1 像素阵列的典型时序

符号	名称	值
a	存储时间	>5 μs
b	存储开始与预充电时间间隔	>200 ns
c	预充电时间	>500 ns
d	预充电与采样时间间隔	>400 ns
e	采样时间	>3.9 μs
f	积分时间	>2 μs

一旦光电二极管的信息存储到每个像素的存储单元,所有的 1 280×1 024 像素阵列需要在 2 ms 以内读取(2 ms-帧结构开销时间=1 995 μs)。另外,由 X 和 Y 同步脉冲控制下载的起始地址和终止地址,可以读取整帧图像中的一部分。读取过程本身也是直接的,由 sync_Y 和 Clock_Y 信号实现线选。选中一条新线以后,在线信息稳定以前需要一个行消隐时间。在行消隐时间结束以后,数据分成 16 组输出,sync_X 和 Clock_X 可以实现分组功能。图 4 所示为 Y 向移位寄存器和 X 向读取时间的时序图。表 2 列出像素阵列读取的典型时序。

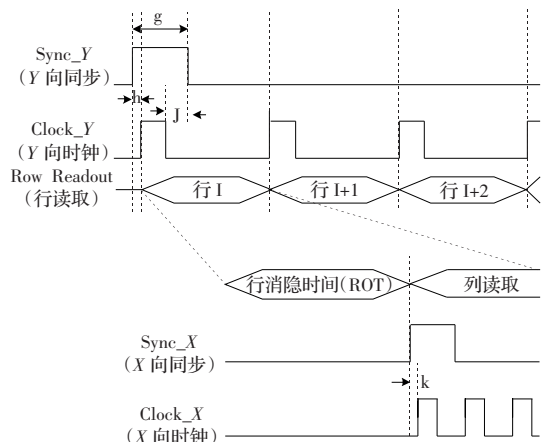


图4 像素阵列的读取时序

由于行结构开销时间(ROT)在时间上是一种损失,因此 FPGA 通过采样保持的方法来尽可能地减少。图像传感器的时序控制模块通过 Pre_col、Norow_sel 和 Sh_col 三个信号来控制

表2 像素阵列读取的典型时序

符号	名称	值
g	Y 向同步	>100 ns
h	Y 向同步与 Y 向时钟时间间隔	>50 ns
j	Y 向时钟与 Y 向同步时间间隔	>50 ns
k	X 向同步与 X 向时钟时间间隔	>50 ns

行结构开销时间,其中,Sh_col 信号的保持时间等于 ROT,而且 Sh_col 信号保持时间越短,ROT 越短。

3.2 串并行接口(SPI)模块

串并行接口主要用于将 X 和 Y 地址上载到 X 和 Y 地址寄存器。上载的地址是开窗的起始点,需要通过相应的同步脉冲信号上传到移位寄存器中。图像传感器的 SPI 接口由 16 路基本单元并行连接组成,通过共用的下载使能信号(Load_address)、地址(address)和时钟信号(Clock_spi)形成完整的可上传地址组。Load_address 信号的上升沿将已上传的地址送到图像传感器地址寄存器中。图 5 所示为 SPI 接口输入信号的时序图。X 地址为 6 位,Y 地址为 10 位,A1 与 Y 地址的最低有效位相对应,A16 与 X 地址的最高位相对应。由于 CMOS 图像传感器的初始地址配置和 A/D 转换器都是采用特殊的 3 线 SPI,因此本设计过程中,采用近似的方法,即可完成所需要的设计。

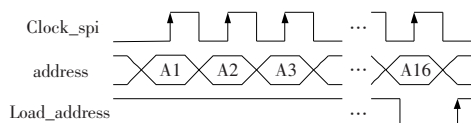


图5 SPI接口输入信号时序

3.3 串行数据解串模块

目前,新型的 FPGA 器件大多支持 LVDS 电平,因此采用 LVDS 方式的 A/D 转换器输出数据可以大大提高整个系统的速度,并减小 PCB 的面积。大量的串行数据进入 FPGA 以后需要将其转化成并行数据,以便于数据的存储和读取。串并转换电路主要是将数据依次存入串行移位寄存器中,然后并行输出。图 6 所示为串行转换电路的工作原理图。

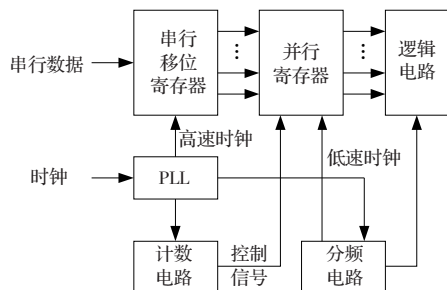


图6 串行转换电路工作原理

串并转换电路由一个串行的移位寄存器和一个并行的移位寄存器构成,其高速时钟通过锁相环 PLL 提供,PLL 产生的高速时钟再通过分频电路得到 16 分频的低速时钟。串行移位寄存器在 PLL 产生的时钟的控制下,依次将接收到的数据存放在串行移位寄存器中,然后在计数电路产生的控制信号的作用下,将数据存入并行寄存器。并行寄存器在低速时钟的控制下将数据送入后续的逻辑电路。由于数据、同步信号以及时钟信号从 A/D 转换器传到 FPGA 接口的时候会产生 90°的相移,

即使在设计中数据信号和时钟信号线在 PCB 上保证严格的等距离,也会产生不同程度的相移,因此在解串模块设计过程中,采用一种自动相位调整的数字时钟管理单元(DCM)来保证相位的同步。

3.4 乒乓操作控制

乒乓操作是一种用于数据流控制的处理技巧。典型的乒乓操作方法如图 7 所示。乒乓操作的处理流程:输入数据流通过输入数据选择单元等时地将数据流分配到两个数据缓冲区。在第一个缓冲周期,将输入的数据流缓存到数据缓冲模块 1;在第 2 个缓冲周期,通过输入数据选择单元的切换,将输入的数据流缓存到数据缓冲模块 2,同时,将数据缓冲模块 1 缓存的第 1 个周期的数据通过输出数据选择单元的选择,送到运算处理单元进行处理。在第 3 个缓冲周期,再次切换数据的进入与输出缓冲模块。如此循环,周而复始^[2]。本文设计的乒乓切换控制模块中,数据由输入区域的控制信号写入,再由输出区域的控制信号将数据读出。也就是说,读写指针的变化由不同的时钟信号控制,而空满标志要由比较读写指针来实现。因此,对 FIFO 空或满的判断是跨时钟域的。为了解决跨时钟域信号传输的亚稳态问题,系统采用同步器的方法,即异步空满信号产生后,异步满信号同步到写时钟域,异步空信号同步到读时钟域,并向外部输出同步空满信号^[3]。

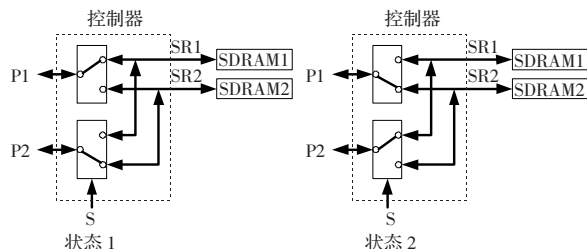


图7 乒乓操作示意图

3.5 与 ADSP TS201S 的接口模块

FPGA 与 ADI 公司的 TigerSHARC 系列 ADSP TS201S 芯片可以通过链路口(Link Port)和并行总线/簇总线(Cluster Bus)进行数据的传输和通信控制^[4]。由于 ADSP TS201S 芯片的链路口通信有自己的通信协议,因此本文的 FPGA 接口模块只需要按照链路口的通信协议设计,就可以实现 ADSP TS201S 与 FPGA 的通信和数据传输。

ADSP TS201S 片上有 4 个独立的双向链路口,在发送数据的同时可从对方接收数据。本文设计的接口模块链路口数据传输采用 4 位传输模式,用 LxCLKOUTT/N、LxACKI、LxCLK-INP/N 和 LxACKO 信号来控制数据传输,LxBCMPI 和 LxBCM-PO 用于描述块传输是否完成。链路口通信协议采用通用规则(如图 8):

- (1)第一个数据总在链路口时钟的上升沿发送;
- (2)最后的数据总在链路口时钟的下降沿发送;
- (3)当链路口停止时 LxCLKOUTP 为低;
- (4)每次传输最少为 4 个字。

FPGA 设计的接收链路口逻辑电路和发送链路口逻辑电路都由两部分组成:接收/接收缓冲模块和发送缓冲/发送模块。接收模块是用来与 ADSP TS201S 链路口发送通道进行接口和数据拆包处理,发送模块是用来与 ADSP TS201S 链路口接收通道进行连接和数据打包处理。接收缓冲/发送缓冲模块分别