

前后端协同的时钟树设计方法

王 兵, 彭瑞华, 傅育熙

(上海交通大学计算机科学与技术系, 上海 200030)

摘要: 提出一种新的高平衡、高可靠性的前端可控时钟树设计方法, 解决时钟树需要在后端工具中多次反复以达到满足性能和功耗要求的问题。阐述了从前端优化和后端约束 2 个方面入手解决时钟树设计中经常会遇到的问题。在此基础上, 将前后端方法结合起来完成时钟树设计。结果验证该方法可以减少大约 20% 的功耗, 同时节省了设计时间, 该方法可以广泛应用于基于时钟的同步数字电路设计中。

关键词: 时钟树; 平衡; 协同设计; 后端

Clock Tree Design Method with Front-end and Back-end Combined

WANG Bing, PENG Rui-hua, FU Yu-xi

(Department of Computer Science and Technology, Shanghai Jiaotong University, Shanghai 200030)

【Abstract】 This paper proposes a new methodology to design highly-balanced and highly-reliable front-end controllable clock tree, and solves the problem that clock tree has to be designed iteratively until performance and power dissipation requirements are met in back-end flow. This paper introduces the problems which may occur in clock tree design, and solutions are proposed from aspects of both front-end optimization and back-end constraints. On the basis, front-end and back-end is combined to form a methodology to achieve clock tree design targets. Results from taped-out chips prove that about 20% of power consumption and design time is saved with this method. This methodology can be used freely in the synchronous design based on clock signals.

【Key words】 clock tree; balance; co-design; back-end

1 概述

时钟树设计的目标主要有 3 个: 高平衡性, 即每个时钟到达需要同步的 D 触发器和不同时钟到达需同步的 D 触发器的时间应该尽量一致; 低功耗, 即使消耗在时钟树翻转上的功耗最少; 可靠性, 即芯片时钟控制电路应该尽量产生等周期的理想方波, 杜绝时钟毛刺或采样不稳定状态的出现^[1]。

时钟树综合和优化需要在后端工具中完成, 但其速度较慢, 如一个 50 万门的后端设计大约需要 15 天~20 天时间^[2]。现在通用的实现方法是在后端工具中多次反复; 每一次反复结束后针对出现的问题重现设定约束, 直到实现时钟树设计目标, 这极大拖延了芯片后端工作时间乃至设计周期。

如果能够在前端设计就考虑后端可能遇到的问题, 在后端实现重点注意前端的影响, 就可以在保证时钟树设计高效和稳定的前提下节省后端工作时间。在这个思路下, 本文提出了前后端协同的时钟树设计方法, 其基本流程如图 1 所示。其中 RTL coding 和 Set constraints 属于前端工作, 流程中其他步骤都需要后端工具完成。

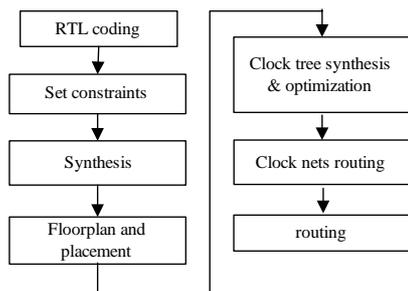


图 1 时钟树设计和实现流程

2 提高平衡性

2.1 clock 信号的平衡

如图 2(a)所示, 从 Clock source 经过组合逻辑出来的 2 个时钟 clk1 和 clk2 分别到达 D 触发器的 ck 端, reg2 经过组合逻辑产生的 q3 由 clk1 来采样。

假设 clk1 和 clk2 有相同的时钟周期 5 ns, 不考虑时钟建立时间, clk2 到 D 触发器 reg2 的时间比 clk1 到达 D 触发器 reg1 的时间晚 1 ns, 如图 2(b)所示。这就相当于留给组合逻辑 Combinational logic3 的时间只剩下约 4 ns, 如果其执行时间需要大于 4 ns, 就会造成 clk1 采样错误。qout 在 clk1 的第 3 个上跳沿采到正确的值, 比预定晚了 1 个周期。Synopsys®后端工具 Astro™有着极强的时钟树综合和优化性能, 对如上所示单一时钟域可达到较高的平衡性, 如小于 0.1 ns 的时钟扭斜。

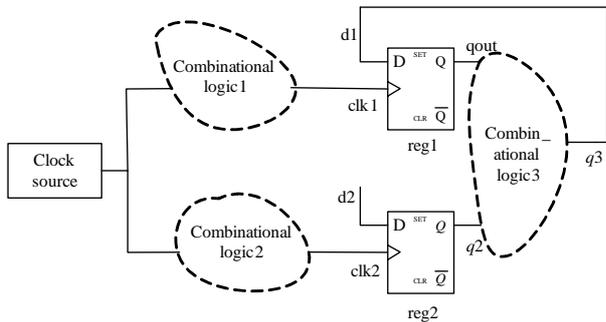
在实际电路设计中, 要考虑的问题往往不只是平衡单一时钟的时钟树。现在哪怕是最简单的芯片也要有分频电路, 由此就会产生多个时钟。如何在尽量少影响整个电路平衡的前提下平衡各个分频电路的 D 触发器是需要认真研究的问题。为了降低后端实现的难度, 下面提出了一种时钟分频电路的结构, 如图 3 所示。其中, clk_{in} 为输入的待分频的时钟信号; div_ratio 为分频数; scan_mode 为工作模式选择。在这个分频器电路中, 对于没有对齐边沿的 RTL 模型来说, 时

基金项目: 国家部委预研基金资助项目

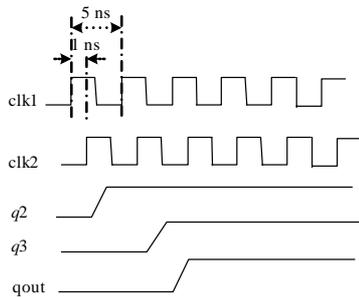
作者简介: 王 兵(1979 -), 男, 硕士, 主研方向: 超大规模集成电路设计; 彭瑞华, 硕士; 傅育熙, 教授、博士生导师

收稿日期: 2007-07-04 E-mail: wangbing@ic.sjtu.edu.cn

钟扭斜只能依赖后端工具控制，这种模型的时钟扭斜在 RTL 级别是不可控制的。边沿对齐的机制就是为了建立 RTL 级别可控制的时钟扭斜模型，该电路结构利用了 1 个下沿触发的寄存器 $divclk_n$ 产生 1 个周期的高电平，通过 3 个信号的逻辑操作，产生 1 个 RTL 级别可控制时钟扭斜的时钟。这里称 1 个时钟输出在 RTL 级别上是“时钟扭斜是可控制的”，是指相对于时钟源 clk_{in} 而言，时钟输出的时钟扭斜是一些固定逻辑门的延时。图中的 $divclk$ 相对于 clk 的 skew 是 1 个二输入与门和 1 个二输入或门的延时。这给电路的后端物理设计带来了很大的方便，在生长时钟树以及布线的时候，只需要保证该模块物理电路的内部时钟扭斜控制在 clk_{in} 周期的一半就可以保证实际电路的时钟输出和时钟输入的延时控制在 1 个相对小的范围，以便于以后的全局时钟树生长和全局布线。



(a) 时钟平衡性示意图



(b) 时钟不平衡波形图

图 2 时钟信号的平衡

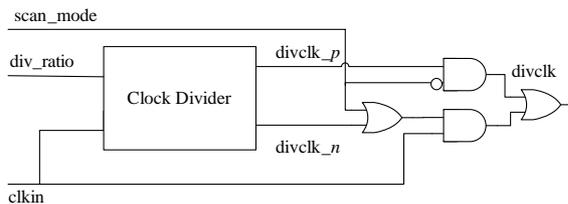


图 3 时钟分频电路

此电路结构的典型仿真波形如图 4 所示。由仿真波形可以看出，通过该逻辑电路结构实现了分频时钟和源时钟的沿对齐，避免毛刺和时钟扭曲。

为了控制模块物理电路内部的内部时钟扭斜在 clk_{in} 周期的一半并平衡时钟分频电路内部的寄存器，在后端 Synopsys® 流程中，有 2 种方法：方法 1 是先作局部平衡(local balance)，再对整个芯片作全局平衡(global balance)；方法 2 是将通过设置最大延迟和最小延迟来约束最大与最小时延。如表 1 所示，在用 Astro™ 分别就这 2 种约束作时钟树与不加约束比较。从中可以发现，就减少时钟扭斜，提高平衡性上

来说，方法 1 和方法 2 相差不多，都比传统方法有了较大的提高。

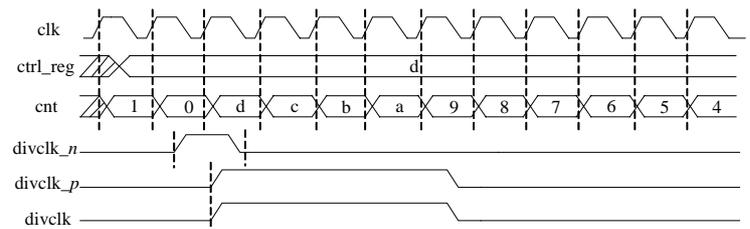


图 4 分频时钟波形图

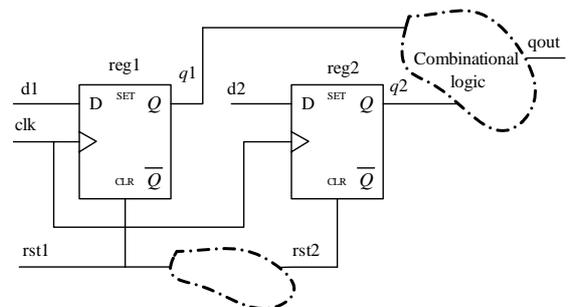
表 1 时钟扭斜比较

不加约束	方法 1	方法 2
0.43	0.12	0.13

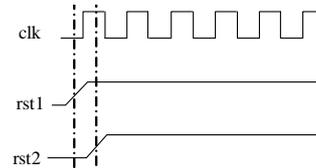
2.2 复位信号的平衡

与 clock 信号一样，复位也是直接连到 D 触发器上，它们之间的扭斜虽然不会像 clock 那样大地影响 D 触发器的工作状态。但在有流水线结构的芯片系统中，复位的扭斜可能会造成信号丢失。

如图 5(a)所示， $rst1$ 和 $rst2$ 分别是 D 触发器 $reg1$ 和 $reg2$ 的异步 CLR 信号。 $rst1$ 和 $rst2$ 均由同一个源 rst 产生， $reg1$ 的 $q1$ 和 $reg2$ 的 $q2$ 送到 Combinational logic 中。假设 $rst2$ 比 $rst1$ 延时了超过一个时钟周期的时间， $rst1$ 和 $rst2$ 都是低电平有效。如果 $rst1$ 和 $rst2$ 没有时钟扭斜，当 $rst1$ 由 0 变为 1 的下一个 clk 上跳沿， $q1$ 将取到 $d1$ 的值， $q2$ 将取到 $d2$ 的值。这样整条流水线将流动起来达到正常工作状态。如果如图 5(b)所示，在第 1 个 clk 的上跳沿 $rst2$ 仍然保持为 0， $q2$ 的值不能送入 Combinational logic；只有在 clk 的第 2 个上跳沿， $rst2$ 为 1 时， $q2$ 才能送入。但这时 $q1$ 的值可能已经被改变，也就是说流水线的第 1 个值丢失了。因为在芯片设计中这第 1 个值一般是指令的取指起始地址，所以它的丢失可能会使处理器取到的指令全部错误，使芯片工作异常。



(a) 复位扭斜示意图



(b) 复位信号波形图

图 5 复位信号的平衡

通过设定约束可以解决复位信号扭斜过大的问题。将 D 触发器的复位信号做时钟树之前设定约束，使芯片的所有复位信号最大时延低于复位信号所控 D 触发器时钟的 1 个周期，即复位信号不能跨在同 1 个 clk 的上跳沿两边。在不影响时钟信号时钟树的前提下，后端工具不难做到这个约束。

3 提高可靠性和降低功耗

3.1 不稳定状态的消除

现在高性能芯片一般都有 2 个或 2 个以上的时钟域。这些时钟域有可能在频率和同步上是毫无关系的，然而可能存在于这 2 个时钟域之间的数据交换，即一个时钟域产生的数据被另一个时钟域的时钟去采样。除了数据能否被及时采样到外，时钟之间的无关性可能带来数据采样的不稳定。

如图 6 所示，D 触发器 reg1 由时钟 clk1 采样产生的信号 q1 被 clk2 采样。假设 clk1 和 clk2 没有同步关系。如果 clk2 的上跳沿刚好落在了 clk1 上跳沿的建立时间(setup time)内，如图 6 所示，因为此时 reg1 的 q1 尚处于不稳定状态，D 触发器 reg2 的输出 qout 也是不稳定的值。

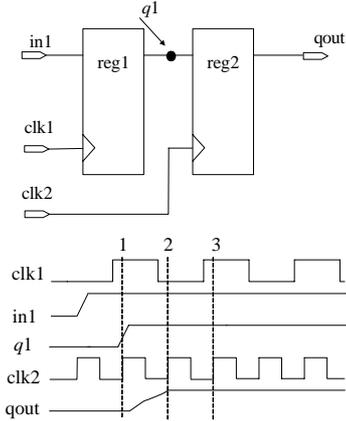


图 6 2 时钟域采样

解决这一不稳定问题的最好方法是在前端设计时就避免这一问题。如图 7 所示，将 reg2 的输出 q2 再用一级 D 触发器做一次锁存操作，因为 reg2 和 reg3 为同一时钟 clk2，不存在不同步的问题，最后的输出 qout 将是一个稳定的值。改进以后的波形如图 7 所示，可见加了一级 D 触发器以后不稳定状态被消除了，qout 能取到正确的值。通过这种方法，较好地解决了多时钟域数据采样的错误问题。经理论证明，该系统可正常工作 30 年以上^[3]。

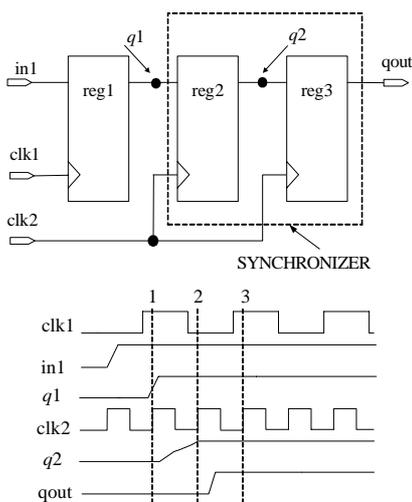


图 7 改进的 2 时钟域采样

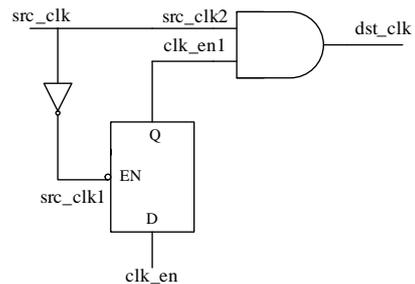
3.2 低功耗设计和毛刺的消除

根据业界经验，大约有 30% 的功耗发生在时钟树翻转上^[4]，这是因为其极高的翻转率和很大的负载。为了降低芯片的功耗，门控时钟(gated clock)被大量地用在芯片设计中。

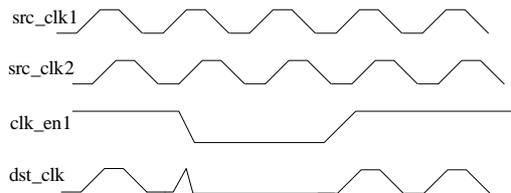
通过关闭不工作电路的时钟，可以大量减少消耗在时钟树翻转和不工作的 D 触发器上的功耗。

最简单的门控时钟电路仅有一个与门，目标时钟由源时钟和控制信号逻辑与产生。此电路开销几乎可以忽略不计，可以用于一些对时序要求不太严格的门控电路中，被认为是一切时钟控制的原型。从时钟完整性的角度看，这种门控设计有一个极大的缺陷。当源时钟为 1 时，如果时钟使能信号变为低电平，目标时钟将立刻变为 0，一个时钟的下跳沿将提前出现，即产生一个类似于毛刺(glitch)的不完整时钟信号。这会极大影响一些既使用上跳沿又使用下跳沿的电路，给其时钟树的平衡带来很大困难。

为了避免出现上述问题，使用如图 8(a)所示电路，锁存器为负电平有效。从图中可以看到，由于只有当 src_clk 的下跳沿时 clk_en 才能传到与门的输入端，当 clk_en 由 1 变为 0 时，不会使 dst_clk 随之发生变化，这相当于 clk_en 信号被锁了半个周期，生成的 dst_clk 信号将不会出现时钟信号完整性的问题。但应注意的是，src_clk 到达与门的延迟大于使能信号 clk_en 到达与门的延迟不能超过半个周期。令 src_clk1 为输入锁存器的时钟，src_clk2 为输入与门的时钟，则 src_clk2 不能太晚到达，否则使能信号落入 src_clk2 的正半区，而产生如图 8(b)所示的毛刺，造成时序电路特别是流水线电路的工作异常。造成此毛刺的原因主要是 src_clk2 在物理实现时插入了太多的缓冲器或其与源端有太长的线上延迟。



(a)基于锁存器(latch)的门控时钟电路



(b)过度延迟引起的毛刺

图 8 基于锁存器(latch)的门控时钟

除了在前端使用门控时钟单元外，在后端实现中也需要充分考虑降低 Tdelay1 以消除毛刺。具体可行的方法如在满足时钟上升时间约束的前提下将 src_clk 到达与门的线设为不可插入缓冲器，或者尽量减小门控时钟单元中几个元件之间的距离。为了更高效地解除过度延迟带来的毛刺问题，一个更好的方法是将门控时钟单元设计成标准单元(standard cell)。在充分考虑前面提到的功耗和毛刺问题的基础上，门控单元的标准化将极大地降低设计复杂度和芯片功耗。

4 性能和功耗分析

本文所介绍的方法应用于某款高性能 DSP 芯片的设计，该芯片采用中芯国际(SMIC)0.18 μm 1P6M 铝制程，已流片成功并通过了上海集成电路研究中心(ICC)的测试，DSP 参数如表 2 所示。
(下转第 232 页)