

一种高性能 QAM 解调器的设计与实现

李 庆, 吴 川, 邓运松, 曾晓洋

LI Qing, WU Chuan, DENG Yun-song, ZENG Xiao-yang

复旦大学 专用集成电路与系统国家重点实验室, 上海 201203

State-Key Lab of ASIC and System, Fudan University, Shanghai 201203, China

E-mail:xyzeng@fudan.edu.cn

LI Qing, WU Chuan, DENG Yun-song, et al. Design and implementation of high-performance DVB-C demodulator. Computer Engineering and Applications, 2008, 44(12): 85-87.

Abstract: A high-performance DVB-C Quadrature Amplitude Modulation (QAM) demodulator has been presented. By adopting optimal demodulation algorithm and optimizing VLSI implementation architecture, this demodulator achieves high performance at low hardware costs. It supports 4/16/32/64/128/256QAM constellations with symbol rate ranging from 1 MSps to 7 MSps. The demodulator features large carrier offset acquisition range (± 700 kHz) and high sensitivity. Experimental results demonstrate the robustness of the proposed demodulator.

Key words: QAM demodulator; VLSI implementation; carrier recovery; adaptive equalization

摘 要: 提出了一种适用于 DVB-C 标准的高性能 QAM 解调器。通过采用改进的解调算法并优化其 VLSI 实现结构, 该设计在现场测试中不仅取得良好的性能并且节约了硬件资源。该解调器支持 4/16/32/64/128/256QAM 六种调制模式, 符号率 1~7 MSps 范围内连续可调, 具有高灵敏度以及可捕获最大达 ± 700 kHz 的载波频偏。实现结果表明该文设计的解调器非常适合于低成本的有线电视系统。

关键词: QAM 解调器; VLSI 实现; 载波恢复; 自适应均衡

文章编号: 1002-8331(2008)12-0085-03 **文献标识码:** A **中图分类号:** TN432

1 引言

QAM (Quadrature Amplitude Modulation), 即正交幅度调制, 是一种频谱利用率较高的调制方式。因此这种调制方式被广泛应用于高清晰度电视广播 (HDTV)^[1]、电缆调制/解调器^[2]以及其它许多高速数字通信收发器中。为了满足有线电视系统应用中低成本及高可靠性的要求, 高性能 QAM 解调器的 VLSI 设计实现显得尤为重要。

文献[3]提出的 QAM 解调器支持符号率间隔和分数间隔两种均衡模式, 载波频偏捕获范围为 80 kHz, 但其电路实现面积较大; 文献[4]中的 QAM 解调器集成度较高, 但载波频偏捕获能力不理想; 文献[5]主要针对低功耗 QAM 解调器的设计, 但解调算法以及 VLSI 实现结构均较复杂; 文献[6]实现了一个符号率可达 8 MSps 的 64/256QAM 解调器, 但芯片集成度不高。

针对有线信道的传输特性, 本文提出了一个适用于 DVB-C^[1]标准的高性能 QAM 解调器。该解调器支持 4/16/32/64/128/256 QAM 六种调制模式, 符号率 1~7 MSps 范围内连续可调, 同时支持符号率间隔及分数间隔两种均衡模式。与现有的 QAM 解调器相比较, 本文设计的 QAM 解调器具有灵敏度高、载波频偏捕获范围大等特点, 同时硬件实现复杂度较低。

本文结构如下: 第 2 章介绍了该解调器关键模块的实现结

构, 并详细描述了其中各个控制环路; 第 3 章给出该解调器 VLSI 实现与现场验证结果; 最后是文章的总结。

2 解调器结构

如图 1 所示, 本文设计的 QAM 解调器包含以下四个关键模块: 自动增益控制电路 (AGC), 定时恢复环路, 自适应均衡器以及载波恢复环路。

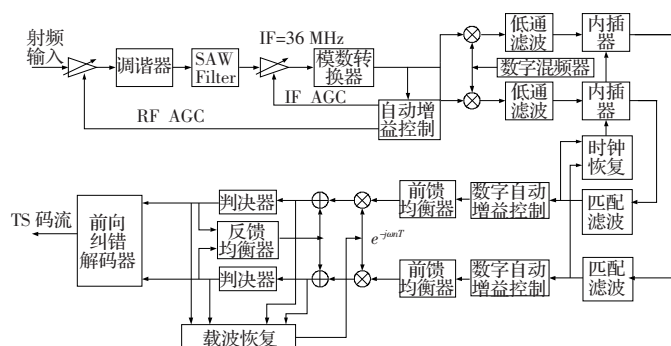


图 1 QAM 解调器的结构框图

QAM 调制的射频信号经过信道传输后由调谐器 (TUNER)

作者简介: 李庆 (1980-), 男, 硕士, 主要研究领域为数字集成电路设计与测试; 吴川 (1983-), 男, 硕士, 主要研究领域为数字集成电路设计与测试; 邓运松 (1982-), 男, 硕士, 主要研究领域为数字集成电路设计与测试; 曾晓洋 (1972-), 男, 博士, 复旦大学微电子系副教授, 研究领域为数字集成电路设计与测试。

收稿日期: 2007-08-22 修回日期: 2007-11-26

下变频至中频,然后通过声表面波滤波器(SAW Filter)滤除通带外的噪声和干扰。10 比特模数转换器(ADC)以固定的时钟频率(28.8 MHz)对中频信号进行采样,得到的 10 比特数字信号送入全数字 QAM 解调器进行解调。这一过程说明本文设计的解调器无需外部反馈电路就能正常工作。为了使输入信号能够覆盖 ADC 转换范围而不溢出,自动增益控制(AGC)电路动态调整前端射频增益(RF AGC)和中频增益(IF AGC),将 ADC 输入信号电平维持在一个合理工作范围内。图 1 中由 TUNER、SAW Filter、可变增益放大器(VGA)、ADC 组成的模拟前端电路没有集成到本文设计的 QAM 解调器中。

数字混频器将 ADC 输出的中频采样信号下变频转换为基带信号,同时将接收到的信号分离为两路正交的数据序列,然后通过一对低通滤波器滤除镜像分量。定时恢复环路在基带信号中检测定时误差并恢复出正确的采样时钟,其中的抛物线内插器通过内插获得正确的符号采样值。然后两路数据分别通过一个匹配滤波器来限定信号带宽。匹配滤波器(包括同频干扰)的能量滤波作用和内插器引入的增益变化等影响因素会使得解调出来的 QAM 星座图与实际发送的相比会扩大或缩小,这样就会影响均衡器以及符号判决的性能进而导致误码率(BER)的增加,因此需要数字自动增益控制(DAGC)电路来动态调整解调信号的幅度。载波恢复环路的作用是移除载波频率偏差和相位抖动。自适应均衡器用来消除由有线信道回波导致的码间干扰。每个传输符号的硬判决信息从判决器输出,然后将其送入前向纠错解码器进行解交织并由 Reed-Solomon 解码器完成解码工作,最后解调器送出 TS(Transfer Stream)码流至 MPEG 解码器进行信源解码。本设计中采用 I2C 总线接口电路配置和管理解调器的内部寄存器。

2.1 自动增益控制电路

自动增益控制电路(AGC)通过调整模拟前端电路的 VGA 的增益,使 ADC 的输入信号电平维持在其正常工作范围内。为了使 AGC 具有更大的动态范围和更小的信号失真度,本设计采用双 AGC 控制方案,即同时控制射频增益和中频增益。如图 2 所示,信号功率检测器根据 ADC 采样信号的幅度值估算其功率,然后估计功率与参考功率进行比较,两者差值送入积分环路滤波器得到误差信号,两个 1 比特 $\Sigma-\Delta$ 数模转换器(DAC)根据误差信号的大小动态调整两个输出脉宽调制(PWM)信号的占空比,最后经模拟低通滤波后得到的直流电压去控制射频增益和中频增益。图 3 为双 AGC 动态增益控制范围^[7],若

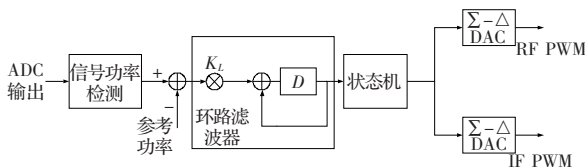


图 2 自动增益控制电路

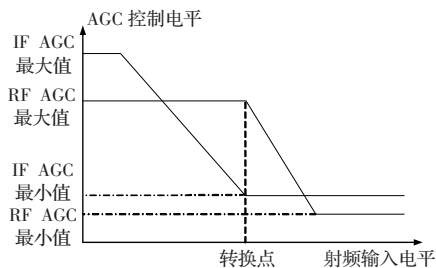


图 3 双 AGC 动态增益控制范围

输入信号的电平低于转换点,则状态机将控制射频增益的 RF AGC 固定在最高电平上,动态调整中频增益;若输入信号的电平高于转换点,则状态机将控制中频增益的 IF AGC 固定在最小电平上,动态调整射频增益。双 AGC 相互协调的工作方式充分利用了环路的动态范围,从而大大提高了 QAM 解调器的灵敏度。

2.2 定时恢复环路

QAM 解调器能够正确解调的前提是接收机精确知道抽样时刻,并能准确地在这个时刻进行采样,因此需要在低通滤波后采用定时恢复环路完成这种同步采样的操作。如图 4 所示,定时恢复环路包括定时误差检测器、环路滤波器、数控振荡器(DCO)、分数间隔计算模块以及进行符号采样的内插器^[8]。内插器根据 DCO 提供的定时信息从非同步的采样数据中恢复出与符号率同步的数据。ADC 对中频信号的采样率固定,而采样率与符号率之比通常不为整数,因此内插器必须支持分数间隔插值。在 DCO 的控制下,一个 4 抽头的分段二次内插器在采样值之间进行插值从而获得正确的符号值,然后经匹配滤波器滤波后送入均衡器。定时误差检测器从匹配滤波器的输出中检测出当前采样时刻是超前还是滞后^[9],并将此误差值送入比例积分环路滤波器然后控制 DCO 产生与符号率同步的时钟。而分数间隔计算模块则根据 DCO 的当前振荡频率计算出插值相位并送至内插器完成内插操作。

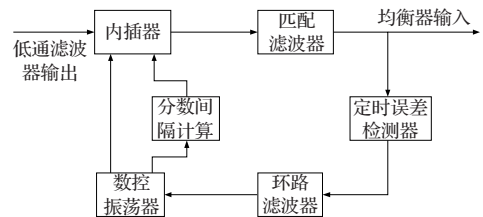


图 4 定时恢复环路

匹配滤波器是固定系数的 FIR 滤波器,本设计采用 CSD 码(Canonic Signed Digit)^[10]表示每个抽头系数,这样滤波过程中的乘法运算可用移位和加、减法代替实现,即实现无乘法滤波器;通过采用交织结构,即同相与正交两路信号交替送入运算单元,定时误差检测器与内插器的工作频率可提高一倍。通过采用上述方法降低了硬件实现复杂度并提高了滤波器的运算速度。

2.3 自适应均衡器与载波恢复环路混合实现结构

由于受到信道失真,以及由模拟前端电路引起的载波频率偏差和相位漂移的影响,解调器接收到的 QAM 信号星座图弥散且旋转,因此在定时恢复环路锁定后,解调器需要消除载波频率偏差和相位偏差并补偿信道失真。然而在有载波频率偏差的情况下对信道失真进行补偿或者是当接收信号在信道中严重失真的情况下去消除载波频率偏差都是比较困难的,尤其是在高阶 QAM 模式下。因此本设计采用了自适应均衡器和载波恢复环路的混合结构,即自适应均衡器和载波恢复环路并行工作。均衡器采用经过载波恢复补偿过的信号进行自适应均衡操作,而在一个收敛的均衡器的协助下,载波恢复环路的性能可以得到较大的提高。其混合结构的具体实现如图 5 所示,自适应均衡器采用判决反馈结构(DFE),包括前馈均衡器和反馈均衡器;载波恢复环路由鉴频器、鉴相器、环路滤波器和数控振荡器(DCO)组成。图中,I、Q 分别表示输入同相与正交的两路 QAM

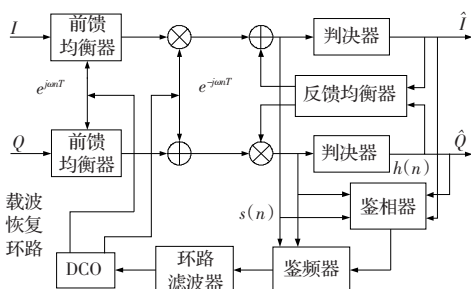


图5 自适应均衡器与载波恢复环路混合实现结构

信号, 因此均衡器与载波恢复环路的实现结构均是复数结构。输入 QAM 信号经过均衡器的信道补偿后由判决器得到其硬判决 $h(n)$, 而判决器的输入即为信号的软判决 $s(n)$ 。载波恢复环路中的鉴频器和鉴相器用来估计相位误差, 误差信号通过环路滤波器来控制 DCO 产生用于消除载波频偏的解旋信号 $e^{-j\omega T}$ 。

自适应均衡器初始时采用一种盲均衡算法 CMA (Constant Modulus Algorithm) 来更新均衡器的抽头系数。初步均衡之后暂停系数更新并采用鉴频器进行鉴频运算, 快速捕获载波频率偏差。载波频率偏差消除后, 载波恢复环路启用鉴相器来移除残余相位偏差。最后在消除了载波频率偏差和相位偏差后, 载波恢复环路进入相位跟踪模式, 而均衡器的系数更新算法切换至 LMS (Least Mean Squares) 算法, 并重新启动均衡器系数更新, 进而精确地补偿信道失真以获得均衡的全局收敛。

混合结构中的自适应均衡器不仅可以处理符号率间隔均衡还可以进行分数间隔均衡, 其中分数间隔均衡应用于前馈均衡器。由于分数间隔均衡具有比较宽的带宽^[1], 其性能要明显优于符号率间隔均衡, 并且在采样时钟相位偏离了正确采样点的情况下分数间隔均衡器仍然能够对输入信号进行均衡。图 6 为支持两种均衡模式的均衡器结构图, 其中均衡器工作频率为四倍符号率, 并采用一个多路选择器在两种模式之间切换。由于引用两个使能信号 phase1 和 phase2 使输出信号同步, 在分数间隔均衡模式下无需同步两个滤波器组的输出。在符号率间隔均衡模式下, 输入信号以符号率间隔输入, 此时前馈均衡器构成转置型 FIR 滤波器, 其中符号率间隔采样的数据与 C_{β} 和 C_{β} 出来的系数相乘, 然后将所有乘法器输出数据之和作为输出结果; 在分数间隔均衡模式下, 输入信号以两倍符号率输入, 此时均衡器通过多路选择器构成多相均衡器, 如图 7 所示, 均衡器由奇数抽头组和偶数抽头组构成, 其中由使能信号 phase1 采到的数据送入奇数抽头组, 而由使能信号 phase2 采到的数据送入偶数抽头组, 这样在两个使能信号的控制下, 所有数据都确保能在四倍符号率时钟上升沿进行处理。

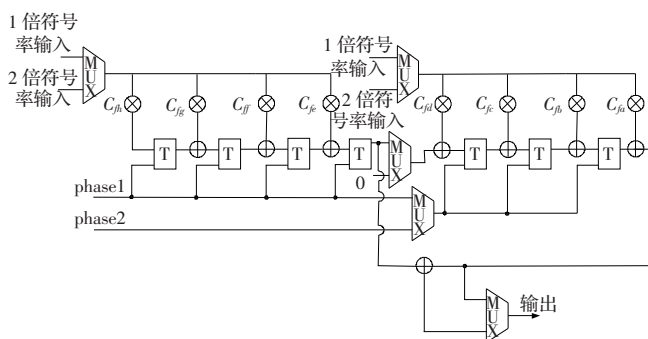


图6 双模均衡器的实现结构

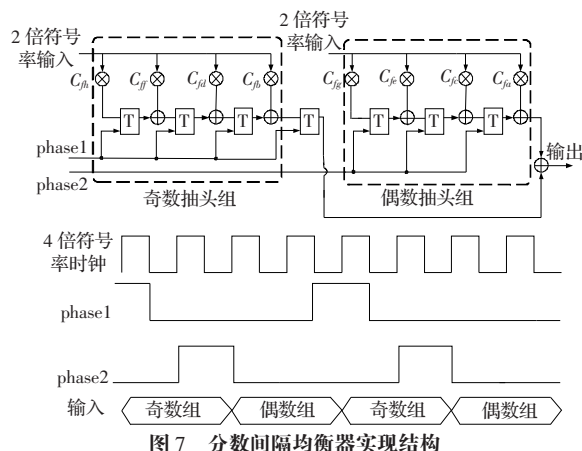


图7 分数间隔均衡器实现结构

3 实现结果

为了设计一个高性能的 QAM 解调器, 本设计首先制定了一套详细的设计标准, 包括符号率的范围、QAM 调制模式、载波频率偏差捕获范围等等。然后采用 C 语言对 QAM 解调器各个功能模块进行系统级建模并对解调算法进行深入研究, 从而得到一个高性能的 QAM 解调器的算法。最后进行解调器的 VLSI 实现以及结构的优化, 包括系统控制接口、模块化、时钟策略等等。本文的解调器使用 Verilog 硬件描述语言设计并采用 Altera 开发板上的 Stratix 1PES80 FPGA 器件实现, 系统由 32 位嵌入式微处理器通过 I2C 总线控制, 整个系统完全支持 DVB-C 标准。如图 8 所示, 该系统的发送端由 DVD 播放机、MPEG2 编码器以及 QAM 调制器组成; 输出的调制信号由同轴电缆传输; 模拟前端电路板、FPGA 开发板、MPEG2 解码器与电视机构成系统的接收端。在实际信道条件下使用 Rohde & Schwarz 数字视频记录发生器和 TV 测试发射机对解调器进行性能测试。表 1 列出了在 64QAM 调制模式下, 符号率为 6.9 Msps 和 RF 频率为 658 MHz 的测试结果。现场测试显示的高清晰视频画面以及测试结果表明本文设计的解调器具有优异的性能。采用 SMIC 0.18 μm CMOS 工艺综合, 该解调器工作频率可达 60 MHz, 其电路实现面积约为 357 k 门。

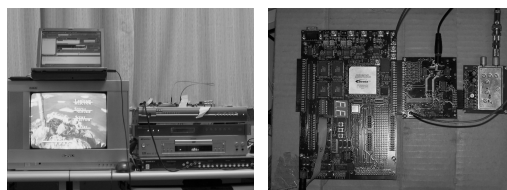


图8 QAM 解调器系统验证环境

表1 QAM 解调器的实验数据表

载噪比门限	23 dB
灵敏度	38.5 dB μV
载波频偏	± 700 kHz
符号率漂移	1 700 ppm
后向回波	-8 dBm@2.1 μs
前向回波	-5 dBm@0.2 μs

4 结论

采用上述 VLSI 实现结构, 本文设计了一个全数字低成本并具有高性能的 QAM 解调器, 该解调器完全支持 DVB-C 标

(下转 97 页)