

基于 FPGA 的串行 RapidIO-PCI 转接桥设计

高裕谷, 王 浩, 倪 明

(华东计算技术研究所, 上海 200233)

摘 要: 针对传统总线 PCI 存在的问题, 提出异步 FIFO 存储转发模式的串行 RapidIO-PCI 转接桥方案, 介绍 RapidIO 高速总线的体系结构及其性能优势, 根据 PCI 和 RapidIO 协议, 给出转接桥关键部分结构的设计, 并在 FPGA 上的进行验证与实现。实验结果表明, 该方案是有效的。

关键词: 高速总线; RapidIO 互联技术; 转接桥; FPGA 平台

Design of Serial RapidIO-PCI Bridge Based on FPGA

GAO Yu-gu, WANG Hao, NI Ming

(East China Institute of Computer Technology, Shanghai 200233)

【Abstract】 Aiming at the problem existed in traditional PCI bus, a scheme of serial RapidIO-PCI bridge in mode of asynchronous FIFO memory is proposed. The structure and its performance of high speed bus for RapidIO are introduced. According to the protocol of PCI and RapidIO, the key section of this bridge is designed, which is inspected and implemented. Experimental results show this scheme is effective.

【Key words】 high speed bus; RapidIO interconnected technology; bridge; FPGA platform

1 概述

在过去 30 年中, 总线技术飞速发展, 从最初的 8 bit PC/XT、16 bit ISA 总线、32 bit EISA 和 MCA、VL 总线, 到现在流行的 PCI 总线, 总线性能大致每 3 年提升一倍。然而面对摩尔定律(芯片集成度每 18 个月翻一番), 总线频率的发展仍落后于处理器频率的增长, 主流 PCI 总线显得越来越力不从心, 并暴露出越来越多的缺点和不足。

随着 RAID 阵列、千兆以太网等一些高带宽设备在消费级系统上的出现, 系统对 PCI 总线频率提出了更高要求, 为满足这些要求, 每段总线所能支持的设备数只能减少, 而为了连接同等数量的设备, 就需要更多的总线段、更高的总线性能、更多的器件扇出能力和更大的器件分隔。尽管 PCI-PCI 桥接设备可以解决这一问题, 但是它只能应用在树形体系结构中, 而且系统延时也会因此而增加, 并且需要的 PCI 器件也更多, 系统成本也相应增加。RapidIO 作为新一代总线, 其目标应用就是高性能嵌入式系统间的互连通信。RapidIO 的诞生弥补了 PCI 总线在性能上的不足。但由于 PCI 总线在过去 10 年中处于不可替代的主流地位, 应用非常广泛, 而 RapidIO 作为新兴互连架构, 许多外设、处理器、存储器并不支持 RapidIO 直接接口。因此, 设计一个 RapidIO-PCI 转接桥用于两代总线的过渡显得尤为重要。FPGA 在数字电路设计上非常灵活, 在不改变外围电路的情况下, 可以编写不同的片内电路逻辑, 以实现不同功能或进行功能扩展。近年来, FPGA 技术飞速发展, 已经能在片内集成 ARM, PPC, NiosII 等处理器内核, 其开发工具也日渐成熟、功能日益强大。

2 RapidIO 互连技术

RapidIO 互连架构是个开放的标准, 基于交换结构, 具有较小的延迟和较大的带宽, 能满足嵌入式基础设施在应用方面的广泛需求。RapidIO 主要作为系统内部互连, 支持芯片到

芯片通信和板到板通信, 可以实现从 1 Gb/s~60 Gb/s 的性能水平^[1]。

传统 PCI 总线接口上引脚数目很多, 由于半导体器件构造的原因, 还需要增加大量的电源和接地引脚, 因此总线引脚就更多了, 这无疑增加了半导体器件的封装测试成本以及电路设计与印刷板布局布线的复杂性和难度, 还更易引入噪声、信号恶化等问题, 造成成本上升。

目前, 嵌入式系统特别是高性能嵌入式系统的功能在不断增强, 系统规模在不断增大, 而许多系统要求各种功能分割成可以现场替换的单元模块, 所以, 一些系统中可能具有数十到上百个、甚至上千个器件。对于这些器件的互连, 目前主流的 PCI 显然远不能满足要求, 因此, 对高性能嵌入式系统互连技术的渴望造就了 RapidIO 互连技术的诞生。

RapidIO 互连技术分为 2 类:

(1) 面向高性能微处理器及系统互连的并行接口;

(2) 面向串行背板、DSP 和相关串行控制平面应用的串行接口。

串行和并行 RapidIO 具有相同的编程模型、事务处理和寻址机制。本系统是针对串行 RapidIO 设计的转接桥。RapidIO 支持的编程模型包括基本存储器映射 I/O 事务、基于端口的消息传递和基于硬件一致性的全局共享分布式存储器。

RapidIO 也提供各种错误检查机制, 还提供定义良好的硬件和基于软件的架构以报告并纠正传输错误。RapidIO 定义了 2 种器件寻址模式:

(1) 小系统模式提供 8 bit 器件 ID, 最多可容纳 256 个单独器件;

作者简介: 高裕谷(1983 -), 男, 硕士研究生, 主研方向: 嵌入式计算机技术; 王 浩, 硕士研究生; 倪 明, 研究员

收稿日期: 2008-06-10 **E-mail:** gaoyugu@gmail.com

(2)大系统模式提供 16 bit 器件 ID,最多可在一个系统中容纳 65 536 个器件。

RapidIO分为 3 层体系结构^[2]:逻辑层,传输层和物理层。逻辑层位于最高层,定义全部协议和包格式,为端点器件发起和完成事务提供必要的信息。传输层在中间层,定义 RapidIO地址空间和和端点器件之间传输包所需要的路由信息。物理层在整个结构的底部,包括器件级接口的细节,如包传输机制,流量控制,电气特性和低级错误管理等。

串行 RapidIO-PCI 转接桥可以用于 PCI-PCI 透明桥接,允许扁平结构并使用较少的引脚传输更远的距离。其典型应用如图 1 所示。

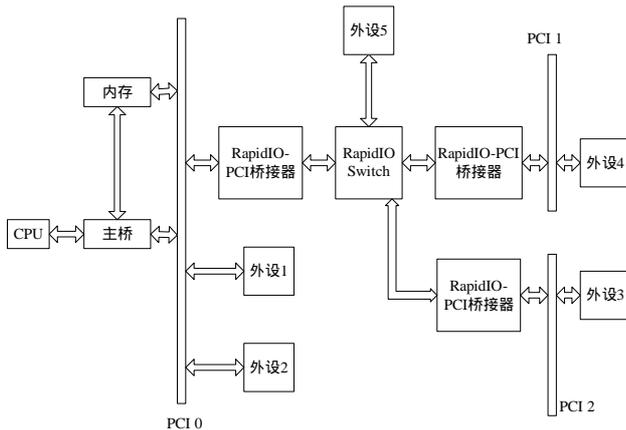


图 1 RapidIO-PCI 桥接器的典型应用

3 整体结构设计

整个桥接器由 2 个部分组成:PCI_Target Unit 和 RapidIO_Slave Unit。PCI_Target Unit 负责处理由 PCI 向 RapidIO 发起的操作,在这个过程中,桥接器在 PCI 一侧作为目标器件,在 RapidIO 一侧作为主控器件;RapidIO_Slave Unit 负责处理由 RapidIO 向 PCI 发起的操作,在这个过程中,桥接器在 RapidIO 一侧相当于接收器件,在 PCI 一侧相当于主控器件。2 个部分相互独立工作,其整体结构如图 2 所示。

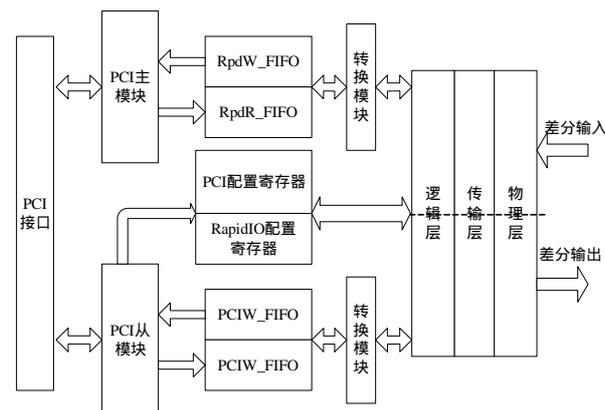


图 2 桥接器结构

4 模块设计

4.1 时钟设计

时钟好比数字逻辑中的血液,几乎所有信号都要依靠时钟来向前传递。该桥接器主要分为 2 个时钟域,分别驱动 PCI 接口一侧和 RapidIO 接口一侧。

在 RapidIO 一侧,系统时钟驱动传输逻辑作为串行收发器 PLL 的参考时钟,并由该 PLL 生成高速串行发送器的时钟和接收器解串时钟,同时作为接收器时钟恢复单元的参考

时钟。

接收器时钟恢复单元从接收的数据恢复出时钟驱动接受单元逻辑。RapidIO 时钟结构如图 3 所示。

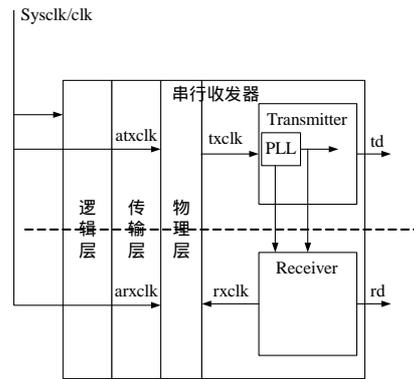


图 3 串行 RapidIO 时钟结构

4.2 FIFO 设计

桥接器中一共有 4 个缓冲区,每一个缓冲区的结构是相同的,都是一个环状异步 FIFO(见图 4)。

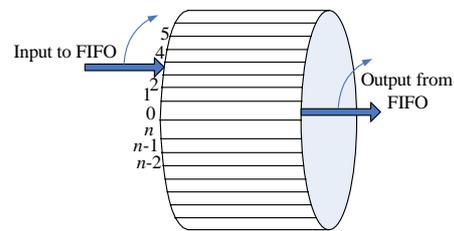


图 4 环状 FIFO 结构

在图 4 中,输入指针(input pointer)总是指向最新写入的地址,并随着新数据的写入而移动;输出指针总是指向最新读出的地址,并随着数据读出而移动。通过 2 个指针的比较逻辑,可以知道缓冲区的空/满状态。为有效减少亚稳态的发生,输入指针和输出指针采用格雷编码^[3-4]。

缓冲区的大小可以通过配置寄存器进行配置,每一个地址对应一个由 4 bit 控制位、4 bit 命令/字节使能位和 32 bit 地址/数据位组成的存储结构(见图 5)。

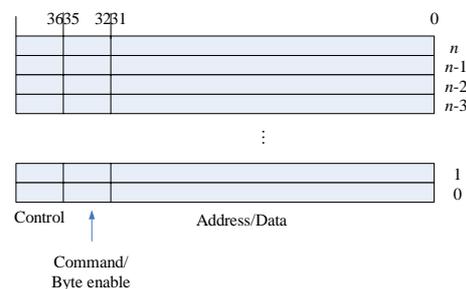


图 5 单条 FIFO 结构

由于缓冲区的异步时钟分别由 PCI 接口和 RapidIO 接口提供,因此缓冲区的读写速度可以与链接模块匹配。

4.3 地址转换映射逻辑

PCI 定义了 3 种物理地址空间:存储器空间,I/O 空间和配置空间。而 RapidIO 仅支持存储器空间和配置空间,在 RapidIO 中,I/O 空间被当作是存储器空间。因此,为使 PCI 总线上的器件能与通过 RapidIO 连接的其他器件通信,必须提供一个存储器地址空间映射函数。从 PCI 一方来看,任何

发送到此总线段且匹配 RapidIO-PCI 桥接器地址窗口的事务都会被桥接器捕获接收并存储到 FIFO，然后从 FIFO 读取，转换成正确的 RapidIO 上下文，最后再发到 RapidIO 接口。因为 RapidIO 使用源寻址(器件 ID)，所以转换逻辑必须把 PCI 地址转换成一个目标器件 ID 和一个对应的偏移地址。桥接器窗口定义的地址空间可能会表示不止一个 RapidIO 目标器件。类似地，从 RapidIO 总线传输到 PCI 总线的事务也必须通过一个反向转换逻辑将地址转换成适当的 PCI 地址。

4.4 事务转换映射逻辑

PCI 到 RapidIO 事务映射关系如表 1 所示。

表 1 事务转换映射表

PCI 命令	RapidIO 事务	说明
中断确认	NREAD	
特殊周期	NWRITE	
读 I/O	NREAD	
写 I/O	NWRITE_R	
读存储器、线存储器读取、多重存储器读取	NREAD 或者 IO_READ_HOME	PCI 读存储器事务能用 NREAD 事务表示，如果操作是指向硬件维护的全局一致性存储器地址空间，则必须使用读 I/O 操作。
写存储器、写存储器且使其无效	NWRITE、NWRITE_R 或者刷新(FLUSH)	PCI 写存储器和写存储器且使其无效率用 NWRITE 事务表示。如果一个单独的写事务需要可靠传递，则使用 NWRITE_R 操作。如果操作是指向硬件维护的全局一致性存储器地址空间，则必须使用数据高速缓存刷新操作。
读配置	NREAD	
写配置	NWRITE_R	

在表 1 中，PCI 存储器事务并不指定大小，PCI 主控器可能会从目标器件连续读取数据流或往目标器件连续写入数据流，而 RapidIO 定义最多具有 256 Byte 的有效数据载荷。因此，比 256 Byte 更长的 PCI 事务必须被分割成多个对应的 RapidIO 操作。

4.5 事务流

PCI 事务分为 2 类：邮递的 (posted) 和非邮递的 (non-posted)^[1]。对于邮递的写事务，一旦请求从总线上 PCI 主控器发出，就被桥接器捕获，桥接器将其转换成 RapidIO 请求；对于非邮递的事务，如果桥接器不能在要求的超时周期内完成对该事务的处理，该事务会在 PCI 总线中重传。这种情况下，事务被作为一个延时事务完成。此时，事务被转换成适当的 RapidIO 操作在 RapidIO 端口发出一段时间后，桥接器接收到 RapidIO 响应，响应结果被转换成 PCI 格式。当 PCI 主控器随后重传事务时，返回延时的响应结果，操作完成。另外，由于 RapidIO 没有字节使能，因此不支持稀疏字节事务，必须把此类事务分割成多个操作。

对于 RapidIO 主控的操作，桥接器接受 RapidIO 的请求事务，把请求转换成适当的 PCI 命令，然后在 PCI 总线上发出。PCI 可能将其当作邮递的、非邮递的或延时的非邮递的事务完成，这取决于 RapidIO 命令的类型。一旦命令在 PCI 总线中成功完成，结果就被转换回 RapidIO 格式，并发出一个 RapidIO 响应事务回到 RapidIO 主控器。

5 设计验证

仿真结果如表 2 所示。仿真结果表明，桥接器双向收发数据功能正常，时序满足要求。

表 2 仿真结果

功能仿真			
PCI 读配置	正确	PCI 写 Men	正确
PCI 写配置	正确	RapidIO NREAD	正确
PCI 读 I/O	正确	RapidIO NWRITE	正确
PCI 写 I/O	正确	RapidIO NWRITE_R	正确
PCI 读 Mem	正确		
时序仿真			
Type	Slack/ns	Required Time/ns	Actual Time/ns
Worst-case tsu	N/A	None	6.155
Worst-case tco	8.646	10.000	8.613
Worst-case tpd	N/A	None	1.354
Worst-case th	N/A	None	4.412
Worst-case Maximum Data Arrival Skew	2.500	2.500	0.000
Clock Setup: 'clk'	1.420	8.000	6.580
Clock Hold: 'clk'	0.018	8.000	N/A
Recovery: 'clk'	2.352	10.629	8.277
Removal: 'clk'	2.885	2.859	5.744

在进行 FPGA 验证时，选用 Altera 的 Stratix II GX 系列 EP2SGX60DF780C3 芯片，该芯片具有 8 路串行收发器 (SERDES)，每一路支持 600 Mb/s~6.375 Gb/s 的数据传输速率，支持 71 路差分 I/O 接口，多达 16 个全局时钟和 32 个局部时钟，支持 4 个增强型锁相环 (Enhanced PLL) 和 4 个快速锁相环 (Fast PLL)^[5]。该芯片集成的 SEDDES 硬核使得 RapidIO 物理层可以直接移植到芯片中而无需在片外增加 PHY 芯片，这样能提高桥接器性能，降低功耗，减少印刷板复杂度。在 30 MHz 的工作频率下，RapidIO 一侧采用自回环，从 PCI 一侧进行读写测试，测试结果表明：PCI 配置读写，Mem 读写，I/O 读写功能均正常，传输速率接近 100 MB/s，达不到 RapidIO 理论传输速度，这是由于 PCI 一侧传输速率的限制。桥接器的实现结果如表 3 所示。

表 3 桥接器实现结果

目标平台	器件类型	占用资源/ALUTs	系统频率/MHz
FPGA	Altera Stratix II GX	11 154	30

6 结束语

RapidIO-PCI 桥接器是连接两代总线的关键，特别是在 PCI 总线仍然广泛应用而 RapidIO 作为新互连总线技术越来越普及的时代。基于 FPGA 平台的设计使得 RapidIO-PCI 转换桥具有非常大的灵活性和可扩展性。随着 FPGA 器件性能的提高、开发工具功能日益强大以及可编程片上系统 (SOPC) 技术越来越成熟，基于 FPGA 的数字电路设计将具有不可限量的发展空间。

参考文献

- [1] Sam F. The Embedded System Interconnect[M]. 北京: 电子工业出版社, 2006.
- [2] RapidIO Interconnect Specification[Z]. (2005-06-21). <http://www.rapidio.org>.
- [3] Clifford E. Cummings, Simulation and Synthesis Techniques for Asynchronous FIFO Design[C]//Proc. of SNUG'02. San Jose, CA, USA: [s. n.], 2002.
- [4] Frank G. Pulse Code Communication[Z]. (1953-03-17). http://en.wikipedia.org/wiki/Pulse-code_modulation.
- [5] Stratix II GX Device Handbook[Z]. (2007-05-16). <http://www.altera.com>.